

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA
CATARINA - CÂMPUS FLORIANÓPOLIS
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE ENGENHARIA ELETRÔNICA**

AUGUSTO DANIEL RODRIGUES

**INVESTIGAÇÃO EXPERIMENTAL DA INFLUÊNCIA DOS PARÂMETROS DE
PROCESSO NA INTERLIGAÇÃO DE CHIPS RÍGIDOS DE SILÍCIO EM
SUBSTRATOS**

FLORIANÓPOLIS, 2021.

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA
CATARINA - CÂMPUS FLORIANÓPOLIS
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE ENGENHARIA ELETRÔNICA**

AUGUSTO DANIEL RODRIGUES

**INVESTIGAÇÃO EXPERIMENTAL DA INFLUÊNCIA DOS PARÂMETROS DE
PROCESSO NA INTERLIGAÇÃO DE CHIPS RÍGIDOS DE SILÍCIO EM
SUBSTRATOS**

Trabalho de Conclusão de Curso
submetido ao Instituto Federal de
Educação, Ciência e Tecnologia de Santa
Catarina como parte dos requisitos para
obtenção do título de engenheiro
eletrônico.

Orientador: Prof. Dr. Daniel Lohmann

FLORIANÓPOLIS, 2021.

Ficha de identificação da obra elaborada pelo autor.

Rodrigues, Augusto

Investigação experimental da influência dos parâmetros de processo na interligação de chips rígidos de silício em substratos / Augusto Rodrigues ; orientação de Daniel Lohmann. - Florianópolis, SC, 2021.

63 p.

Trabalho de Conclusão de Curso (TCC) - Instituto Federal de Santa Catarina, Câmpus Florianópolis. Bacharelado em Engenharia Eletrônica. Departamento Acadêmico de Eletrônica.

Inclui Referências.

1. Otimização de parâmetros. 2. Ligação Termossônica.
3. Ligação Termocompressiva. 4. Substratos flexíveis.
5. Chips de silício. I. Lohmann, Daniel. II. Instituto Federal de Santa Catarina. Departamento Acadêmico de Eletrônica. III. Título.

**INVESTIGAÇÃO EXPERIMENTAL DA INFLUÊNCIA DOS PARÂMETROS DE
PROCESSO NA INTERLIGAÇÃO DE CHIPS RÍGIDOS DE SILÍCIO EM
SUBSTRATOS**

AUGUSTO DANIEL RODRIGUES

Este trabalho foi julgado adequado para obtenção do título de Engenheiro Eletrônico,
e aprovado na sua forma final pela banca examinadora do Curso Superior de
Engenharia Eletrônica do Instituto Federal de Santa Catarina.

Florianópolis, 27 de abril de 2021.



Prof. Daniel Lohmann, Me

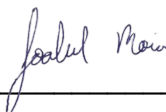
Orientador

Instituto Federal de Santa Catarina



Prof. Fernando Pedro Henriques de Miranda, Me.

Instituto Federal de Santa Catarina



Prof. Joabel Moia, Dr

Instituto Federal de Santa Catarina

RESUMO

Tendo em vista a constante evolução do setor da eletrônica e a crescente demanda de aplicações cada vez mais sofisticadas e complexas, como dispositivos inteligentes, móveis, flexíveis, biocompatíveis e miniaturizados, e sabendo que a viabilização desses avanços passa pelos processos de interligação de *chips* com circuitos integrados nos mais diversos substratos, é evidenciada a necessidade de um método para seleção de parâmetros dos processos de ligação que valide conceitos investigados, otimize indicadores de resultados e idealmente diminua custos. Dessa forma, esta pesquisa apresenta a aplicação prática de um método experimental e investigativo de seleção de parâmetros para otimização de interligação *flip chip* de *chips* de silício com substratos, baseado no mecanismo de conexão do *chip*, no tipo de substrato e na técnica de interligação utilizada, validando o método de acordo com a resistência de contato, resistência mecânica ao cisalhamento e qualidade da interface de conexão via inspeção microscópica resultantes. Este trabalho é decorrente de um projeto de pesquisa desenvolvido na empresa *Silicon Austria Labs*. Para sua realização, foram planejados os experimentos com base em extensa revisão bibliográfica dos conceitos envolvidos e de trabalhos similares da área. Após a definição, os experimentos foram executados em um laboratório certificado, com as condições necessárias para esse tipo de procedimento. Por fim, foi validado o método com a análise dos resultados de cada um dos experimentos descritos, de acordo com os indicadores citados, descartando as opções de mecanismos de ligação, tipos de substratos e técnicas de interligação que não apresentaram resultados satisfatórios condizentes com a bibliografia, e sugerindo posteriores experimentos e análises para as configurações que apresentaram resultados promissores.

Palavras-chave: Otimização de parâmetros. Ligação termossônica. Ligação termocompressiva. Substratos flexíveis, *Chips* de silício.

ABSTRACT

Considering the constant evolution in the electronics area and the growing demand for more sophisticated, complex applications, as smart, mobile, flexible, biocompatible and miniaturized devices, and knowing that the viability of these advances rely on the process of bonding integrated circuit chips in various different substrates, it is clear the need of a method to choose the bonding process parameters that validate the investigated concepts, optimize result indicators and ideally reduces cost. This way, this work present the practical application of a experimental and investigative method for parameter selection, aimed to optimize the flip chip interconnection of silicon chips with substrates, based on the chip connection mechanism, on the substrate type and the bonding technique used, validating the method with contact electrical resistance and mechanical shear strength measurements, as well as bond interface quality assessment by means of optical and electronic microscopy. This work derives from a research project conducted at the Silicon Austria Labs company. To perform it, experiments were planned based on extensive bibliographical review of pertinent concepts and also on similar investigations in this subject. After definition, the experiments were conducted at a cleanroom certified laboratory, with the necessary conditions for these kind of processes. Finally, the method was validated by analysing the results of each experiment, according to the cited indicators, discarding the options that did not provided good results consistent with the bibliography and suggesting further experiments, investigations and analysis for the experiment settings that showed promising results.

Keywords: Parameters Optimization. Thermosonic Bonding. Thermocompression Bonding. Flexible Substrate. Silicon Chips.

LISTA DE FIGURAS

- Figura 1 - Processo de separação do wafer de silício em *chips* individuais
- Figura 2 - Processo de encapsulamento de um *chip* em seu frame
- Figura 3 - Processo de coleta, posicionamento e junção do *chip* ao substrato
- Figura 4 - Ilustração do princípio de funcionamento da técnica *Flip-Chip*
- Figura 5 - Ilustração feita por interferômetro de luz branca dos *bumps* do *chip* de silício do experimento citado
- Figura 6 - Ilustração do parâmetro de *pitch* da técnica *flip-chip*
- Figura 7 - Ilustração de uma ligação termocompressiva na prática
- Figura 8 - Demonstração esquemática de uma ligação *flip-chip* termossônica
- Figura 9 - Princípio de funcionamento do preenchimento de interface
- Figura 10 - Ilustração de ligação de *chip* de silício à substrato flexível com uso de pasta adesiva não-condutora (NCP)
- Figura 11 - Imagem de microscópio do *chip* de teste usado nos substratos flexíveis
- Figura 12 - Aspecto final de uma amostra de substrato flexível (a) e visão microscópica do terminal de prata impresso no substrato de papel (b)
- Figura 13 - Imagem do equipamento Fineplacer utilizado na realização dos experimentos de interligação dos *chips* e substratos
- Figura 14 - *Chip* interligado ao substrato flexível com circuito impresso em prata
- Figura 15 - Placas FR-4 de teste utilizadas como substrato de ligação para *chips* de silício com *bumps* de ouro
- Figura 16 - Amostra de interligação de *chip* rígido de silício com *bumps* de ouro em placa de circuito impresso FR-4 com uso de adesivo NCP
- Figura 17 - Imagem de microscópio do *chip* de teste com pilares de cobre
- Figura 18 - Imagem de microscópio eletrônico dos pilares de cobre do *chip*
- Figura 19 - Modelo tridimensional da simulação de temperatura na interface dos *chips* com pilares de cobre
- Figura 20 - Relação entre temperatura da interface e temperatura da plataforma aquecida, segundo simulação
- Figura 21 - Gráfico de relação entre parâmetros de ligação e resistência média de contato resultante

Figura 22 - Gráfico de relação entre parâmetros de ligação e força de resistência ao cisalhamento

Figura 23 - Relação entre potência ultrassônica e resistência de contato entre *chip* e substrato (Papel e PET); Efeito do tipo de substrato(a) e efeito da temperatura do processo de ligação(b) na resistência de contato

Figura 24 - Modelo proposto de interligação de *bumps* de ouro em substratos impressos com tinta de prata

Figura 25 - Superfícies fraturadas das amostras unidas por ligação termocompressiva (a) e termossônica (b)

Figura 26 - Superfícies fraturadas de 3 *bumps* de ouro com prata residual (a) e imagem aproximada em um dos *bumps* de ouro (b)

Figura 27 - Gráfico de relação entre parâmetros de força de compressão e resistência média de contato

Figura 28 - Microscopia eletrônica da ligação entre os *bumps* de ouro do *chip* e o terminal ENIG do substrato rígido com preenchimento de NCP (a) e ACP (b)

Figura 29 - Mapeamento de elementos químicos na interface da amostra interligada com ACP

Figura 30 - Relação entre potência ultrassônica e pressão de cisalhamento obtida, de acordo com a compressão usada

Figura 31 - Relação entre temperatura da plataforma e pressão de cisalhamento obtida, de acordo com a compressão e forma de ligação usada

Figura 32 - Imagem microscópica mostrando ligação bem sucedida entre pilares de cobre

Figura 33 - Imagem microscópica de corte transversal das amostras interligadas com 200 °C (a) e 350 °C (b) e 6W de potência ultrassônica

Figura 34 - Vista superior microscópica de região com pilares de cobre fraturados após teste de cisalhamento

Figura 35 - Ilustração esquemática de sugestão de versão industrial para o experimento adicional, com etapa inicial de *tacking* (a) e posterior termocompressão global (b)

Figura 36 - Pressão de cisalhamento obtida, com relação às temperaturas e pressões utilizadas no pós-processamento por recozimento (*annealing*)

Figura 37 - Evolução microestrutural após posterior processamento por recozimento e ilustração do mecanismo proposto para tal evolução

LISTA DE ABREVIATURAS E SIGLAS

ACA - Anisotropically Conductive Adhesive

BGA – Ball Grid Array

COB – Chip-on-Board

CSP – Chip Scale Packaging

CTE - Coefficient of Thermal Expansion

EBSD - Electron Backscatter Diffraction

ENIG - Electroless Nickel Immersion Gold

FR - Flame Retardant

ICA - Isotropically Conductive Adhesive

IEEE - Institute of Electrical and Electronic Engineers

I/Os – Terminais de Entradas e Saídas

MCM – Multi Chip Modules

MEMS – Micro-Electrical-Mechanical Systems

NCA - Non-Conductive Adhesive

PET – Polietileno tereftalato

SOP - System on Paper

SOPE - System On PET

TAB – Tape Automated Bonding

TC - Ligação Termocompressiva

TS - Ligação termossônica

US - Ligação ultrassônica

UV - radiação ultravioleta

WLP - Wafer-Level Packaging

SUMÁRIO

1	INTRODUÇÃO	10
1.1	Justificativa	12
1.2	Definição do Problema	13
1.3	Objetivo geral	14
1.4	Objetivos Específicos	14
2	CONCEITOS FUNDAMENTAIS DE EXPERIMENTOS INVESTIGATIVOS DE PROCESSO DE INTERLIGAÇÃO DE CHIPS	15
2.1	Tecnologias de interligação de chips	15
2.1.1	Interligação Flip Chip (Flip Chip Bonding)	18
2.1.2	Técnicas complementares de interligação de chips	20
2.1.2.1	Ligação termocompressiva	20
2.1.2.2	Ligação Termossônica	22
2.1.2.3	Preenchimento de interface e Junção por Adesivo	23
3	METODOLOGIA	26
3.1	Interligação de chip de silício com bumps de ouro em substratos flexíveis de papel e PET	27
3.2	Interligação de chip de silício com bumps de ouro em substratos rígidos do tipo FR-4	32
3.3	Interligação entre chips de silício com micropilares de cobre	33
4	ANÁLISE E DISCUSSÃO DOS RESULTADOS	37
4.1	Interligação de chip de silício com bumps de ouro em substratos flexíveis de papel e PET	37
4.1.1	Resistência de Contato	37
4.1.2	Força de resistência ao cisalhamento	39
4.1.3	Microscopia eletrônica de varredura e ótica	41
4.2	Interligação de chip de silício com bumps de ouro em substratos rígidos do tipo FR-4	43
4.2.1	Resistência de Contato	44
4.2.2	Microscopia eletrônica de varredura e ótica	45
4.3	Interligação entre chips de silício com micropilares de cobre	47
4.3.1	Influência da força de compressão na resistência ao cisalhamento	47
4.3.2	Influência da temperatura de ligação na resistência ao cisalhamento	49
4.3.3	Microscopia eletrônica das interfaces de ligação obtidas	51
5	CONSIDERAÇÕES FINAIS	56
	REFERÊNCIAS	59

1 INTRODUÇÃO

É consenso que aplicações que fazem uso das técnicas avançadas de encapsulamento e montagem microeletrônica e estão na vanguarda do setor terão uma fatia considerável no futuro do mercado de dispositivos eletrônicos. Para atingir um nível de desenvolvimento para este tipo de tecnologia que proveja confiabilidade e praticidade nos dispositivos e processos, é necessário implementar procedimentos bem definidos para executar a montagem e teste de componentes eletrônicos para tais dispositivos, buscando ao mesmo tempo otimizar índices de qualidade e custo (REHMAN; CHOWDHURY, 2019). Para tal, é preciso garantir a credibilidade dos procedimentos de validação relativos às técnicas de produção desses dispositivos.

Encapsulamento e montagem microeletrônica podem ser considerados as duas bases para processos industriais relativos à pesquisa, desenvolvimento e produção de componentes eletrônicos, principalmente circuitos integrados semicondutores. Dentre as diversas classificações de técnicas, métodos e processos existentes, a interligação *flip chip* vem ganhando destaque devido as suas numerosas vantagens. Atualmente, a técnica de interligação *flip chip* é uma das mais difundidas no setor de montagens microeletrônicas, devido suas vantagens em relação às técnicas concorrentes, como TAB (do inglês *Tape Automated Bonding*) e *wire bonding* (BEICA, 2013).

Além disso, as técnicas complementares de interligação termocompressiva e interligação termossônica podem ser citadas por suas vantajosas aplicabilidades (FU-LIANG; HAN, 2013, p.336; PANIGRAHI *et al.*, 2017, p. 86). Não obstante, ainda valem ser citados os métodos auxiliares de utilização de adesivos e de resinas nas interfaces entre *chip* e substrato, que possibilitam aprimoramentos de características mecânicas, elétricas e térmicas, de acordo com a aplicação pretendida (GOULD, 2004).

Existem tantos pormenores nas técnicas de montagem de micro e nanoeletrônica que, atualmente, as técnicas mais avançadas podem ser classificadas como tecnologias de montagem híbridas, já que utilizam diferentes métodos de forma conjunta, buscando fazer uso das vantagens de cada um.

Tendo como base este cenário apresentado, a pesquisa acadêmica que deu origem a este trabalho buscava definir, empiricamente, o intervalo ideal dos parâmetros de temperatura, pressão e energia ultrassônica para realizar a interligação *flip chip* de um circuito integrado semiconductor com terminais em *bumps* de ouro a um substrato flexível e a interligação entre um *chip* com acabamento em pilares micrométricos de cobre e um substrato com mesmo acabamento. Partindo-se dessa premissa, desdobrou-se uma série de outros experimentos que tinham como objetivo fornecer dados práticos para servir de base para a definição do processo de interligação.

A partir desses experimentos foram escritos três artigos científicos, que foram aprovados para publicação em duas revistas científicas e em um congresso e que foram usados, também, como base para a elaboração deste trabalho. O primeiro artigo foi apresentado em 9 de janeiro de 2020, na 22ª Conferência Européia de Encapsulamento e Microeletrônica, da IEEE (do inglês *Institute of Electrical and Electronics Engineers*), com o título de “*Low-Temperature fine-pitch flip-chip bonding by using snap cure adhesives and Au stud bumps*”, e diz respeito aos experimentos com os *chips* com *bumps* de silício nos substratos rígidos do tipo FR-4 (do inglês *Flame Retardant*, classificação 4) e uso de adesivos na interface de interconexão para assistência ao processo de ligação. Já o segundo artigo, chamado “*Thermosonic fine-pitch flipchip bonding of silicon chips on screen printed paper and PET substrates*”, foi publicado pela *Elsevier* na revista científica *Microelectronic Engineering*, volume 228, em 1º de maio de 2020, e foi produzido a partir dos experimentos de ligação dos *chips* com *bumps* de ouro nos substratos flexíveis de papel e plástico PET (do inglês *Polyethylene terephthalate*). Finalmente, o terceiro artigo foi elaborado a partir dos experimentos de interligação dos *chips* com pilares de cobre, com nome de “*Thermosonic direct Cu pillar bonding for 3D die stacking*”, e foi publicado pela *Springer* na revista *SN Applied Sciences*, em 17 de maio de 2020.

Então, dentre as amostras feitas nos experimentos citados, foram realizadas interconexões de *chips* de silício com terminais de acabamento ENIG (do inglês *Electroless Nickel Immersion Gold*) à placas rígidas de circuito impresso do tipo FR-4 e a circuitos impressos por tecnologia *inkjet* com tinta de prata em lâminas de papel

e de plástico PET. Dentre essas conexões, foram utilizadas técnicas de ligação termocompressiva e termossônica, com e sem assistência de pastas adesivas nas versões não-condutivas e aniso-condutivas.

Foram realizadas, também, interconexões de *chips* de silício com pilares micrométricos de cobre a substratos de mesmo acabamento, com banho químico prévio de ácido clorídrico. Dentre essas conexões, foram usados os métodos de ligação termocompressiva e termossônica em cada uma e também alguns testes com etapas adicionais de aderência (*tacking*) e termocompressão.

Em suma, o propósito deste trabalho é apresentar, usando como base os experimentos e artigos publicados anteriormente citados, uma investigação experimental dos procedimentos de montagem e teste de *chips* rígidos de silício em substratos rígidos e flexíveis, utilizando diversos materiais e técnicas de ligação, identificando mecanismos de influência dos principais fatores envolvidos no processo de interligação de *chips* e substratos, e expor os resultados obtidos, fazendo a análise e comparação pertinente com trabalhos da mesma área.

1.1 Justificativa

A inovação tecnológica está cada vez mais baseada em soluções que saem da competência das áreas tecnológicas tradicionais. Com a microeletrônica não é diferente. Assim, para tentar buscar entendimento nas soluções tecnológicas que usam dispositivos com circuitos eletrônicos que se valem de técnicas híbridas de encapsulamento microeletrônico, este trabalho faz um estudo de experimentos práticos, realizados com tecnologias híbridas de interconexão de *microchips* à substratos rígidos e flexíveis, com o intuito de prover informação para melhorar processos, conseqüentemente viabilizando redução de custos e a utilização de tais processos com tecnologias híbridas na indústria já existente.

Assim, este trabalho mostra sua importância porque pretende gerar informações de referência para a contribuição na implementação de novos processos no segmento de montagem e encapsulamento de *chips* em diversos tipos de substratos, por meio de técnicas *flip chip* híbridas, assim como a otimização dessas técnicas por meio da utilização de configurações de parâmetros que

garantem uma maior produtividade e economia, com processos de duração reduzida, menor consumo de energia e melhores valores dos indicadores de qualidade, em relação aos valores dos processos tradicionais.

1.2 Definição do Problema

Com a constante evolução da complexidade das demandas do setor de aplicações da eletrônica, cada vez mais é necessário ter processos robustos e confiáveis e ao mesmo tempo econômicos e produtivos nesta área. Como a maioria dos dispositivos eletrônicos na vanguarda do setor utiliza técnicas avançadas de montagem e encapsulamento microeletrônico em sua concepção e fabricação, é impreterível que formas de criação e melhoria dos processos deste segmento sejam continuamente buscadas.

Dessa forma, a pesquisa na qual este trabalho acadêmico é baseada, por ser executada em um dos centros de excelência de pesquisa e desenvolvimento da Áustria e de toda a Europa, em parceria com grandes empresas da indústria eletrônica, busca compreender quais são os problemas e limitações atuais da área de microeletrônica, com ênfase no encapsulamento e ligação de *chips* de silício com diferentes acabamentos em substratos variados. Com o panorama do atual contexto da área, investigam-se então os aprimoramentos possíveis nas técnicas emergentes, que já são responsáveis, como dito antes, pelas aplicações de ponta do setor e, com o passar do tempo, representarão cada vez mais a maior parcela de técnicas de montagem e encapsulamento microeletrônico usados na indústria.

Assim, considerando o âmbito do desenvolvimento da pesquisa com múltiplos casos de estudo experimentais que originaram os dados apresentados nesta obra acadêmica, este trabalho de conclusão de curso tem o intuito de responder a seguinte questão:

Como é feito o processo de investigação experimental para melhoria dos parâmetros de interligação de *chips* e substratos, levando em conta as diferentes técnicas utilizadas para diferentes materiais, de acordo com a aplicação final pretendida? Os resultados apresentados pela utilização deste processo são satisfatórios, ou são necessárias correções?

1.3 Objetivo geral

O objetivo geral deste trabalho consiste em validar o método experimental de investigação de melhorias de processos de interligação de *chips* eletrônicos a substratos rígidos e flexíveis, por meio de avaliação de resultados dos testes experimentais das técnicas de interligação usadas.

1.4 Objetivos Específicos

Para cumprir o objetivo geral, os seguintes objetivos específicos foram definidos e usados como métrica do sucesso da pesquisa desenvolvida neste trabalho:

- a) avaliar a influência dos métodos termocompressivo e termossônico de ligação de chips em substratos flexíveis e substratos rígidos na confiabilidade e robustez final da montagem;
- b) ponderar o efeito da utilização de adesivos não-condutivos e adesivos anisotropicamente condutivos na interface de ligação entre chips rígidos de silício e substratos flexíveis e substratos rígidos;
- c) analisar a consequência do uso de chips com matriz de conexão em pilares de cobre e chips com matriz de conexão de pads com acabamento em gold stud bump;
- d) Definir os valores dos parâmetros de entrada do processo de interligação de chips com substratos rígidos e flexíveis, nomeadamente temperatura, pressão, energia ultrassônica e duração das etapas;
- e) caracterizar mecânica e eletricamente as amostras resultantes dos processos experimentais de interligação de chips com substratos rígidos e flexíveis, por medição de resistência de contato e força de resistência ao cisalhamento;
- f) verificar a qualidade da interface atômica de interligação dos chips aos substratos rígidos e flexíveis, por meio de microscopia óptica e eletrônica.

2 CONCEITOS FUNDAMENTAIS DE EXPERIMENTOS INVESTIGATIVOS DE PROCESSO DE INTERLIGAÇÃO DE CHIPS

Nesta seção, é feita a introdução dos fundamentos da área de encapsulamento e montagem microeletrônica, com apresentação das principais técnicas, métodos e materiais usados neste campo. Entende-se que para os tópicos de interligação *flip chip*, ligação termocompressiva, ligação termossônica e preenchimento de interface com adesivos envolvidos neste trabalho, um aprofundamento dos conceitos se faz necessário.

2.1 Tecnologias de interligação de chips

Na produção de circuitos integrados eletrônicos, após a criação dos *wafers* de silício e deposição dos circuitos integrados sobre esses, é feita a separação do *wafer* em peças individuais chamadas de *chips*, *chip dies* ou *microchips* (ZHANG, 2018). A Figura 1 mostra um esquema simplificado do processo citado.

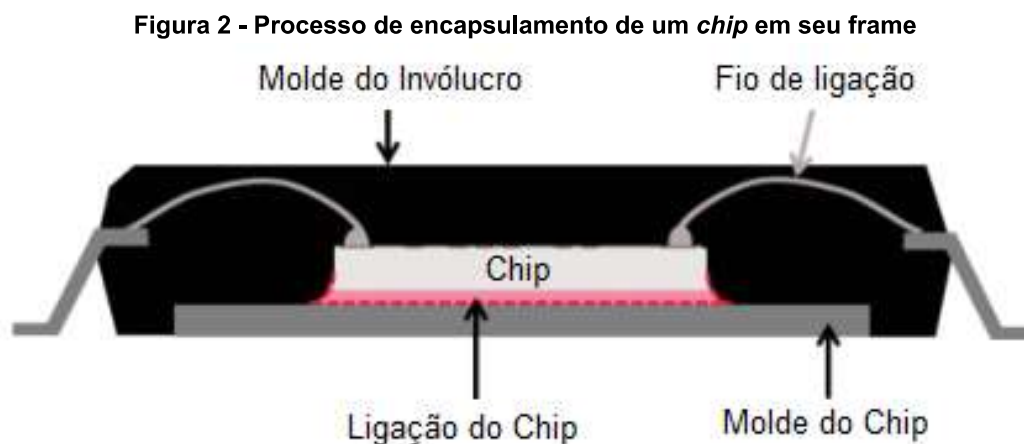
Figura 1 - Processo de separação do wafer de silício em chips individuais



Fonte: Adaptado de DISCO Technology (2021).

Basicamente, depois que a fabricação do *wafer* é concluída, este é polido até uma espessura termicamente ideal. Em seguida, uma lâmina de serra em diamante corta o *wafer* em *chips* individuais, em um processo totalmente

automatizado. Assim que os processos de fabricação e teste de validação são finalizados, os *chips* são separados do *wafer* e montados no seu invólucro final, conforme ilustrado na Figura 2. Este processo de encapsulamento provê um meio de proteger os *chips* e inseri-los em um nível de integração superior (QUIRK; SERDA, 2001, p.571, tradução nossa).



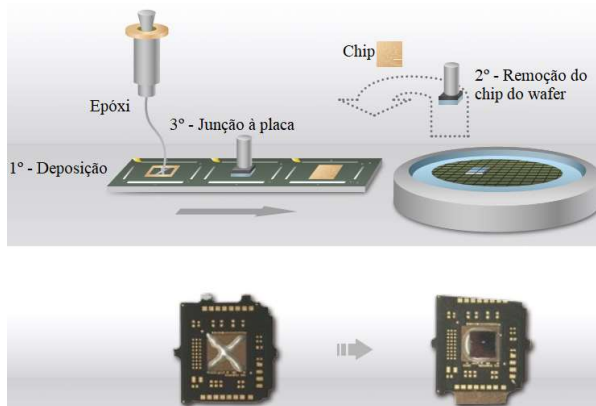
Fonte: Adaptado de Pflugler *et al.* (2018).

Para fixar o *chip* no frame do invólucro, a melhor opção de método de junção é escolhida de acordo com a aplicação e os materiais usados. Dentre as opções é possível listar solda, abrasão, difusão, interdifusão, sinterização, adesivos de epóxi, resinas alternativas, junção eutéticas, solda macia e materiais prata-vidro, termocompressão e termosom, entre outras (MANIKAM; CHEONG, 2011, p. 459; LARSSON, 2019, p. 9).

Para fazer a conexão desses *chips* ou componentes eletrônicos encapsulados com placas e outros possíveis substratos, como mostra a Figura 3, por exemplo, são necessários métodos de interligação.

Um desses métodos de interligação é usado para estabelecer uma conexão mecânica e elétrica entre os terminais do substrato do invólucro e os terminais do molde ou *chip* integrado. Dentre tais métodos, destacam-se a interligação termocompressiva (TC), ligação ultrassônica (US) e ligação termossônica (TS).

Figura 3 - Processo de coleta, posicionamento e junção do *chip* ao substrato



Fonte: Adaptado de Bonotec Adhesives (2021).

Quirk e Serda (2001) relembram que é possível separar montagem e encapsulamento eletrônico entre tradicional e avançado. O método tradicional foi usado por uma porcentagem estimada de 95 % dos circuitos integrados durante o final da década de 1990, consistindo em polimento (em inglês, *backgrind*), separação do molde (em inglês, *die separation*), anexação do molde (em inglês, *die attach*) e ligação à fio (em inglês, *wire bonding*).

Com a evolução da tecnologia, novas funcionalidades foram demandadas de componentes eletrônicos e aprimoramentos nos métodos de produção começaram a ser implementados. Com isso, emergiram as técnicas avançadas de montagem e encapsulamento eletrônico, como *flip chip*, matriz de esferas (BGA, do inglês *Ball Grid Array*), *Chip-on-Board* (COB), ligação por fita automatizada (TAB), módulos *multichip* (MCM, do inglês *Multi Chip Modules*), *Chip Scale Packaging* (CSP) e encapsulamento à nível de *wafer* (WLP, do inglês, *Wafer-Level Packaging*) (TUMMALA, 2005).

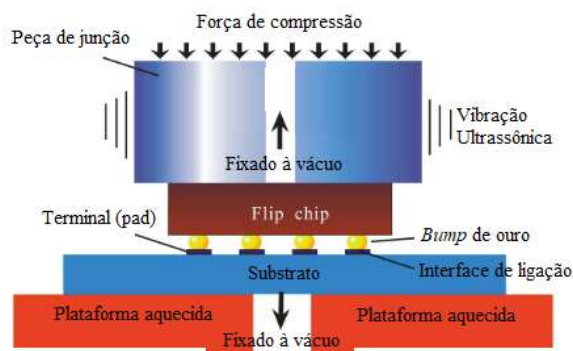
Devido à rápida evolução das demandas de eletrônicos, e conseqüentemente, da indústria semicondutora, essas técnicas vêm sendo aperfeiçoadas e cada vez mais aplicações demandam soluções híbridas, que utilizam mais de uma dessas técnicas avançadas ao mesmo tempo, de forma a usar suas vantagens e mitigar seus pontos negativos (BEICA, 2013, p.2).

2.1.1 Interligação *Flip Chip* (*Flip Chip Bonding*)

Flip Chip é uma técnica de montagem de *chips* cujo lado com terminais do *chip* está virado para o substrato durante o processo de interligação.

O método recebe este nome porque, comparado com a técnica previamente dominante - interligação à fio ou *wire bonding* -, a orientação vertical do *chip* está invertida e as conexões com o substrato estão na interface inferior, conforme ilustra a Figura 4.

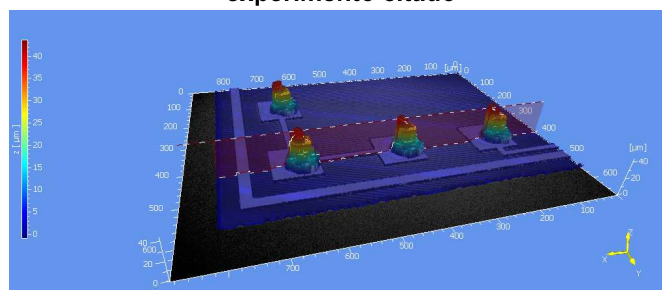
Figura 4 - Ilustração do princípio de funcionamento da técnica *Flip-Chip*



Fonte: Adaptado de Fu-Liang e Han (2013, p. 337).

As conexões elétricas são providas por *bumps*, que são unidos aos terminais do *chip* por meio da aplicação exclusiva ou conjunta de pressão, calor e/ou energia ultrassônica (JAMES; DALE, 2011). A Figura 5 ilustra um *bump* de ouro, presente no *chip* usado em um dos experimentos deste trabalho.

Figura 5 - Ilustração feita por interferômetro de luz branca dos *bumps* do *chip* de silício do experimento citado



Fonte: Autoria Própria (2021).

A conexão elétrica pode, ainda, ser assistida por uma pasta, adesivo ou filme condutivo na interface entre *chip* e substrato (YOON; LEE; PAIK,

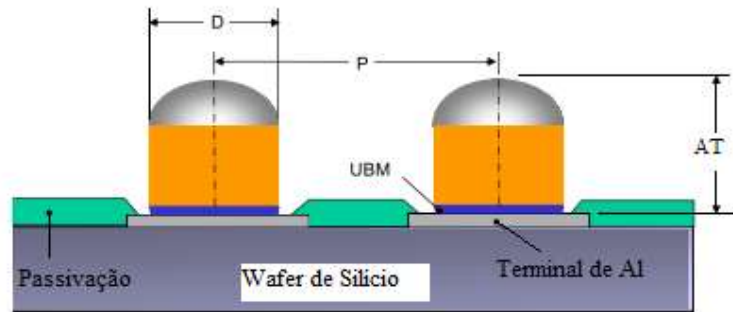
2018). A robustez mecânica da ligação *chip*-substrato pode ser aprimorada com o uso de resina de preenchimento, adesivo, pasta ou filme não condutivos na interface de ligação (MIN *et al.*, 2005, p. 799). Compressão, calor e energia ultrassônica permitem uma ampla variedade de perfis de cura e interligação à serem usados nessas resinas, dependendo dos materiais utilizados e da aplicação final (SZENDIUCH, 2011).

A densidade espacial de terminais de entrada e saída de um *chip* é normalmente limitada pela distância entre terminais adjacentes e a quantidade de área do semicondutor que pode ser dedicada à interconexão. A abordagem *flip-chip* é, atualmente, a que possui o menor caminho elétrico entre *chip* e substrato e suas principais vantagens, conforme citado por Bogatin, Potter e Peters (1997), no capítulo 9 da obra *Roadmaps of Packaging Technology*, são:

- a) maior possibilidade de I/O (do inglês *Inputs and Outputs*);
- b) menor custo por *chip*, permitido pelo tamanho diminuído do *chip* em um *design* de terminais limitado;
- c) menor ruído de chaveamento devido mais terminais de alimentação e referência e menor indutância de terminal;
- d) menores *footprints* possíveis no substrato, possibilitando novas formatações de produtos;
- e) menores custos de montagem devido à aplicação de processo em lotes, e dispensa custo extra de um encapsulamento.

Considerando que a distância entre terminais, denominada *pitch* e indicada pela letra P na Figura 6, é o principal limitador de design desta técnica, em um projeto com uma quantidade de I/O definida, o tamanho do *chip* pode ser otimizado, e para um tamanho pré-definido, a quantidade de I/O pode ser aumentada.

Figura 6 - Ilustração do parâmetro de *pitch* da técnica *flip-chip*



Fonte: Adaptado de Gerber *et al.* (2011).

Bigas e Cabruja (2006 *apud* Zhong *et al.*, 2007) informam que um *pitch* entre 40 e 50 μm podia ser obtido na época com eletrodeposição de liga estanho-prata, e esses valores eram muito menores do que o padrão de 150 μm usado em serigrafia (*screen printing*).

Em período mais atual, Kim e Kim (2016) obtiveram ligação *flip chip* assistida por adesivo não condutor na faixa de 20 μm . Como pode ser visto, esta técnica possibilita ótimos resultados, que dependem mais do *design* e material utilizados, do que da aplicação do método de ligação em si.

2.1.2 Técnicas complementares de interligação de *chips*

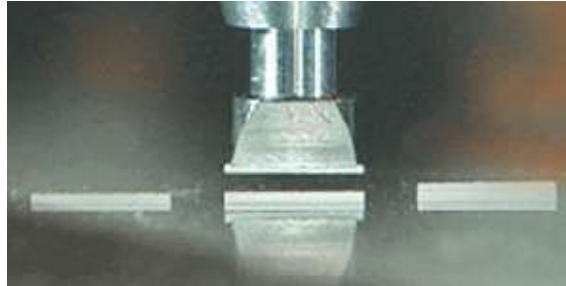
A seguir, apresentam-se as técnicas de interligação de *chips* que complementam e servem de suporte às técnicas principais, auxiliando na obtenção de melhores resultados e otimização de processos.

2.1.2.1 Ligação termocompressiva

Raghavan (2009, p. 25) diz que a ligação termocompressiva consiste no aquecimento e aplicação de pressão térmica e mecânica a dois corpos metálicos - terminais do *chip* e terminais do substrato - em contato físico. Sob essas condições, a difusão dos elementos pode acontecer, formando ligação metalúrgica entre as duas interfaces metálicas, e a interação atômica varia, obviamente, com as mudanças dos parâmetros do processo de interligação. A Figura 4 já ilustrou o

conceito da ligação termocompressiva juntamente com o conceito de *flip-chip*, porém, a Figura 7 ilustra o aspecto de uma interligação termocompressiva na prática.

Figura 7 - Ilustração de uma ligação termocompressiva na prática



Fonte: Palomar Technologies (2021).

Além disso, a oxidação da superfície reduzirá a confiabilidade dos pontos de junção, então o modo de proteção das superfícies metálicas se torna um importante ponto de estudo para garantir uma ligação por termocompressão com baixas temperaturas em circuitos integrados tridimensionais (PARK; KIM, 2020, p.2).

A ligação por termocompressão encontrou aplicação principalmente em montagens *flip chip* com pilares de cobre e com *bumps* em ouro. Durante o processo de interligação, o *chip* é levantado por uma braço móvel e alinhado aos terminais do substrato aquecido, com sua face virada para baixo. Quando a ferramenta de ligação pressiona o *chip* para baixo contra o substrato, os *bumps* metálicos se deformam e entram em contato direto com os terminais a serem unidos, causando a ocorrência de uma solda puramente metálica (ROSHANGIAS; RODRIGUES, 2020).

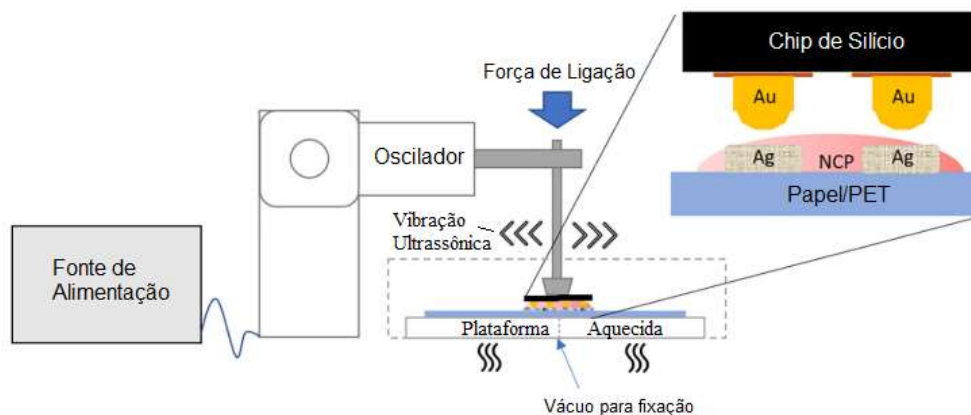
Quirk e Serda (2001) afirmam que os terminais de alumínio não são indicados devido à sua oxidação de superfície. Preenchimento de interface com resinas ou adesivos não é necessariamente requerido. A ligação termocompressiva requer uma máquina de ligação de *chips* que produza temperatura de cerca de 300 °C, pressão de até 100 cN/*bump*, e um alto nível de paralelismo entre *chip* e substrato. Para uma alta taxa de rendimento nos processos de interligação, a força e temperatura de junção devem ser bem controladas. Para evitar danos ao material semiconductor, a força de ligação deve ser aplicada gradativamente. Força excessiva pode causar

quebras no *chip* e, ocasionalmente, curto-circuitos entre os *bumps* ocorrem em *chips* com distanciamento menor, devido à deformação excessiva.

2.1.2.2 Ligação Termossônica

A ligação termossônica, desenvolvida em meados de 1960, é utilizada para unir diferentes materiais metálicos, formando junções com grande resiliência e boa condução térmica e elétrica, a partir da aplicação de calor e vibrações de alta frequência na interface planar de dois corpos metálicos sob compressão moderada. O movimento relativo de alta frequência entre as partes gera um cisalhamento progressivo e a junção localizada das partes. (ELANGOVA; PRAKASAN; JAIGANESH, 2010, p. 163). O princípio é ilustrado na Figura 8.

Figura 8 - Demonstração esquemática de uma ligação *flip-chip* termossônica



Fonte: Adaptado de Roshangias; Rodrigues; Holzmann (2020).

O aumento da temperatura de 70 °C a 80 °C na superfície de contato devido à fricção dessas é pequeno se comparado ao ponto de fusão dos metais geralmente usados, como ouro, cobre e alumínio. O processo de aquecimento é localizado e o tempo de junção varia de milissegundos até alguns segundos (RAHMAN, 1997 *apud* JUNHUI *et al.*, 2012, p. 525).

Comparada à ligação termocompressiva, a ligação termossônica requer menos força e menor temperatura devido à energia ultrassônica adicional aplicada pela ferramenta de ligação. Vale lembrar que a coplanaridade entre as superfícies a serem unidas é um fator importante aqui. Assim sendo, é mais indicada para *chips* a

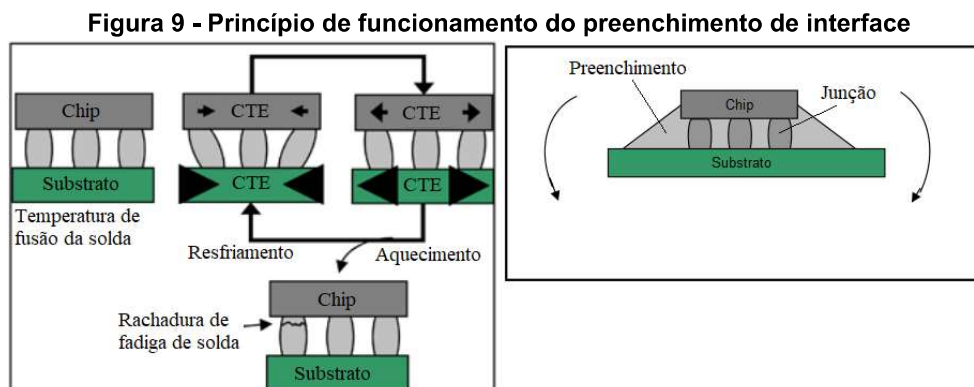
serem ligados que sejam finos, frágeis, ou intolerantes à altas temperaturas, tais como estruturas de dispositivos de Arsenieto de Gálio ou microsistemas eletromecânicos (MEMS, do inglês *Micro Electrical Mechanical Systems*) (KIM *et al.*, 2009).

Kim *et al.* (2009, p.462-464) ainda afirmam que a energia ultrassônica pode ajudar a quebrar a oxidação na superfície dos metais, possibilitando uma solda concisa entre os terminais. Isso aumenta o número de opções para a ligação de terminais e metalurgia dos *bumps*. Assim como a ligação *flip chip* termocompressiva, a ligação termossônica se vale do processo de soldagem puramente metálica.

Em comparação com a ligação termocompressiva, a ligação termossônica pode reduzir tempo e temperatura do processo de ligação, além de aumentar significativamente a confiabilidade da junção feita, já que o efeito ultrassônico proporciona energia adicional para reconstruir a estrutura interfacial. Mas aplicações de alta densidade com pilares de cobre ainda são poucas (WU *et al.*, 2018).

2.1.2.3 Preenchimento de interface e Junção por Adesivo

Segundo Ding (2006), o preenchimento de interface normalmente é feito com um polímero que ocupa o espaço entre o *chip* e o substrato, depois da interligação feita, conforme Figura 9. Usualmente o preenchedor contém partículas como sílica, para alterar propriedades do conjunto *chip*-substrato, como força, robustez, condutividade térmica e coeficiente de expansão térmica (CTE, do inglês *Coefficient of Thermal Expansion*).



Fonte: Adaptado de DING (2006).

Ding (2006) continua, afirmando que este processo reduz o estresse de cisalhamento nos pontos de junção, ao espalhar o estresse por toda a camada intermediária, conforme mostra a Figura 9. Ao utilizar o preenchimento de interface, pode ser obtido um aumento de 10 a 100 vezes na vida útil das junções até o momento da rachadura por fadiga. O preenchimento é feito pelas laterais do *chip* usando um sistema de deposição e, se não for adequadamente controlado, pode criar bolhas de ar na região de interface.

Sendo uma das classificações de preenchimento de interface, a ligação por adesivo na indústria eletrônica é extensiva. Os adesivos podem ser líquidos, em pastas ou como películas. Geralmente, *chips* e outros componentes eletrônicos são colocados sobre pequenas porções de adesivo, e o processo de cura é feito com calor ou radiação ultravioleta (UV), aprimorando as propriedades da estrutura final. Dependendo da função exata do adesivo, este pode ser elétrica ou termicamente condutivo, ou não. Seus tipos também variam entre acrílico, epóxi e acrilato de uretano. O método de aplicação do adesivo, que varia entre serigráfico, transferência por pinos e aplicação por seringa, também tem muita importância, com ênfase na quantidade e local de deposição corretos. Aplicação por seringa é o método mais popular, geralmente associado a um dispensador pneumático digitalmente controlado (GOULD, 2004).

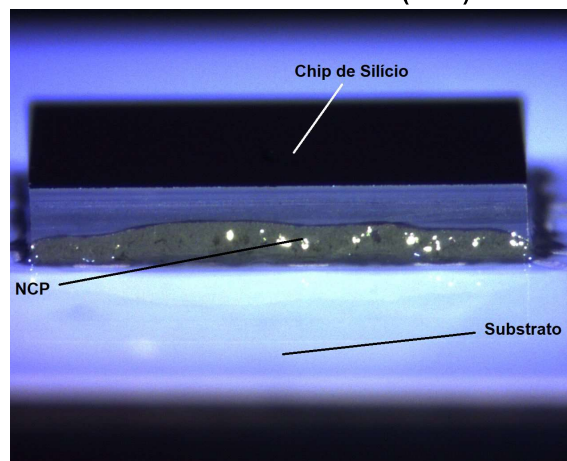
Gould (2004) também informa que além do adesivo não condutor, (NCA ou NCP, do inglês *Non-Conductive Adhesive/Paste*), existem dois tipos de adesivos eletricamente condutores, isotrópico (ICA ou ICP, do inglês *Isotropically Conductive Adhesive/Paste*) e anisotrópico (ACA ou ACP, do inglês *Anisotropically Conductive Adhesive/Paste*). O primeiro conduz em todas as direções e o segundo conduz unidirecionalmente, normalmente no eixo vertical. A condução normalmente é feita por micropartículas metálicas.

Segundo Quirk e Serda (2001), junção *flip chip* por adesivo é usualmente associada com *bumps* de ouro, apesar de *bumps* de cobre ou níquel com revestimento em ouro também serem usados com adesivos condutores. A conexão elétrica da ligação *flip chip* é feita com partículas condutivas presas entre os terminais do *chip* e os do substrato. Devido ao número variante de partículas condutoras presas, junções *flip chip* com adesivo aniso-condutor normalmente tem

uma grande variação de resistência de contato. Esse contraponto limita algumas aplicações com este tipo de adesivo em interligações *flip chip*.

Quirk e Serda (2001) ainda afirmam que no caso do NCA, após a aplicação no substrato por estêncil ou seringa, o *chip* com *bumps* a ser conectado é pressionado contra os terminais do substrato com força suficiente para garantir que nenhum adesivo reste na interface dos terminais. Enquanto o adesivo é curado termicamente, a retração da resina resulta em uma força de contração juntando o *chip* e o substrato fortemente e criando contato metálico direto entre os terminais do substrato e os *bumps* do *chip*. Na Figura 10, é exibida uma montagem microeletrônica de um *chip* de silício sobre um substrato flexível, com uso da técnica *flip chip* termocompressiva e adesivo do tipo pasta não-condutiva (NCP).

Figura 10 - Ilustração de ligação de *chip* de silício à substrato flexível com uso de pasta adesiva não-condutora (NCP)



Fonte: Autoria Própria.

Outras técnicas complementares, assim como combinações de duas ou mais técnicas, podem ser usadas. A escolha depende da aplicação final, opções de processo e materiais disponíveis.

3 METODOLOGIA

Este trabalho de conclusão de curso foi elaborado a partir de experimentos de projetos de pesquisa na área de encapsulamento e montagem microeletrônica, desenvolvidos na empresa *Carinthian Tech Research*, posteriormente renomeada *Silicon Austria Labs*, em Villach, na Áustria, durante o ano de 2019. É possível caracterizar a pesquisa relacionada a este trabalho como aplicada, qualitativa, exploratória, bibliográfica, experimental e laboratorial.

Os projetos em questão visavam definir, empiricamente, a faixa ideal de valores dos parâmetros envolvidos nos diferentes processos de interligação de *chips* de silício. No primeiro, buscava-se a otimização do processo de interligação de *chips* de silício em substratos flexíveis de papel e plástico PET. No segundo, buscava-se investigar o processo de interligação de *chips* de silício com acabamento em pilares micrométricos de cobre com substratos de mesmo acabamento.

Os experimentos descritos foram executados dentro de uma sala limpa ou *cleanroom*, um laboratório com certificação ISO classe 8, que exige um controle na quantidade de partículas, de tamanho igual ou superior a 0,5 *mm*, sendo considerado para esta classe um limite total de 3.520.000 partículas por metro cúbico, de acordo com a norma ISO 14644-1.

Para ambos os projetos, os métodos utilizados foram similares. Inicialmente, foi feita uma extensa revisão bibliográfica utilizando teses, dissertações, artigos científicos, notas de aplicação e folhas de dados de fabricantes nas áreas de técnicas de montagem, encapsulamento e interligação microeletrônicas. Foram utilizadas publicações de experimentos similares para embasamento na decisão de cenários e parâmetros iniciais dos experimentos dos projetos de pesquisa e para posterior comparação.

Com o referencial acima citado em consideração, foi feito o planejamento de execução dos experimentos, e após a definição desses, foram realizados os procedimentos práticos no laboratório da empresa. Inicialmente, foram interligados os *chips* e substratos de teste por meio das técnicas e parâmetros escolhidos, fazendo um grupo de amostras para cada conjunto de parâmetros sob análise.

Na etapa seguinte, foram feitas medições de resistência elétrica dos contatos entre *chip* e substrato nas amostras, seguidas de teste de resistência mecânica ao cisalhamento e posterior análise microscópica da interface de ligação.

Para correlacionar os resultados medidos com cada conjunto de parâmetros utilizados, foram usados gráficos com barras de erro baseadas nos desvios padrão do grupo de amostras. Simulações e cálculos computacionais foram usados como referência para variáveis com impossibilidade de medição direta, como temperatura da interface de ligação, por exemplo. Uma amostra de cada grupo foi separada e preparada por processo de metalografia para análise por microscopia eletrônica.

Finalmente, os valores medidos foram compilados em relatórios de experimento para divulgação interna e, após avaliação e comparação com a bibliografia, ajustes eram feitos e o processo, repetido. Assim, a extração de informações dos experimentos foi continuamente aprimorada, com uma avaliação final dos experimentos do projeto de pesquisa mais fundamentada.

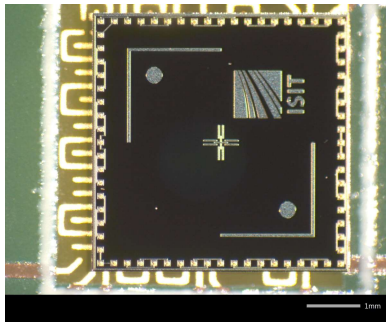
3.1 Interligação de *chip* de silício com *bumps* de ouro em substratos flexíveis de papel e PET

Como citado anteriormente, o objetivo de um dos projetos de pesquisa base deste trabalho visava apontar um conjunto de parâmetros que otimizasse o processo de interligação de *chips* rígidos de silício com *bumps* de ouro em substratos flexíveis de papel e plástico PET com circuito impresso em tinta de prata com tecnologia *inkjet*.

Desta forma, foi usado como veículo de teste neste experimento um *chip* rígido de silício com formato quadrado de 4,75 mm de lado e espessura de 725 μm , contendo duas cadeias de conexão intercaladas formadas por 36 terminais cada uma, sendo que 4 desses terminais possuíam estrutura de medição de resistência elétrica à 4 pontos. Os terminais quadrados do *chip* contavam com acabamento em alumínio, com 100 μm de lado e 250 μm de *pitch*. Os *bumps* de ouro presentes nos terminais do *chip*, com altura média de 30 μm , foram previamente cunhados usando

30 N de força. A Figura 11 apresenta uma imagem de microscópio com o *chip* de teste.

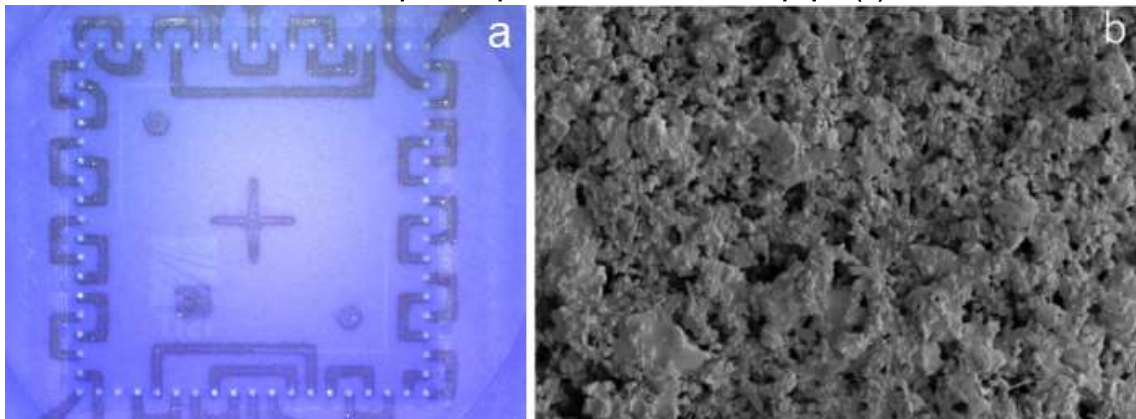
Figura 11 - Imagem de microscópio do *chip* de teste usado nos substratos flexíveis



Fonte: ROSHANGHIAS, RODRIGUES E HOLZMANN (2020).

Foram usadas como substrato de teste folhas de papel não revestidas da marca *Mondi*, com gramatura de 120 g/m^2 , porosidade de 50 mL/min e rugosidade de superfície de $1,2 \mu\text{m}$. Foram também usados como substrato de teste lâminas de plástico PET modelo *Kemafoil* da empresa *Coveme*, com espessura de $75 \mu\text{m}$. Em ambos substratos foram impressos os *layouts* complementares das cadeias de conexão intercalada do *chip* de teste, usando tinta de pasta de prata modelo 5029, da empresa *Dupont*. Após a impressão, os substratos com a tinta foram secos em fornos à temperatura de $90 \text{ }^\circ\text{C}$. A Figura 12 ilustra o aspecto final de uma amostra de substrato com os terminais do chip de teste sobrepostos (a) e a visão superior do padrão morfológico final da impressão de prata (b).

Figura 12 - Aspecto final de uma amostra de substrato flexível (a) e visão microscópica do terminal de prata impresso no substrato de papel (b)



Fonte: ROSHANGHIAS, RODRIGUES E HOLZMANN (2020).

Foram realizadas interligações termossônicas com e sem utilização de NCP e ligações termocompressivas com NCP. O adesivo não condutor utilizado foi DELO DA255. Os procedimentos foram executados usando o equipamento de posicionamento de precisão *Fineplacer Lambda*, da *Finetech*, que possui precisão de posicionamento de $0,5 \mu m$. Na figura 13, é mostrado o equipamento usado.

Figura 13 - Imagem do equipamento Fineplacer utilizado na realização dos experimentos de interligação dos chips e substratos



Fonte: Finetech GmbH (2021).

Para cada um dos dois tipos de ligação feitos, uma ferramenta de junção, também chamada de braço de ligação, era acoplada ao eixo móvel do equipamento. O módulo ultrassônico do braço de junção tinha potência de até $20 W$, com frequência de operação em $60 kHz$ e capacidade de compressão de $20 N$. Nas interligações termossônicas, a duração do pulso ultrassônico foi de $0,5 s$. As tabelas 1 e 2 mostram as configurações de parâmetros utilizadas nos experimentos realizados no substrato de papel e plástico PET, respectivamente.

Tabela 1 - Conjunto de parâmetros dos experimentos com substrato de papel

Ligação	Compressão (N)	Temperatura (°C)	Energia US (W)	Adesivo
TC	5 ; 12 ; 20	100 ; 150	-	NCP
TS	5 ; 12 ; 20	100 ; 150	4 ; 8 ; 12 ; 16	NCP
TS	5 ; 12 ; 20	100 ; 150	4 ; 8 ; 12 ; 16	-

Fonte: Autoria Própria (2021).

Tabela 2 - Conjunto de parâmetros dos experimentos com substrato de plástico PET

Ligação	Compressão (N)	Temperatura (°C)	Energia US (W)	Adesivo
TC	5 ; 20	100	-	NCP
TS	5 ; 20	100	4 ; 8 ; 12 ; 16	NCP
TS	5 ; 20	100	4 ; 8 ; 12 ; 16	-

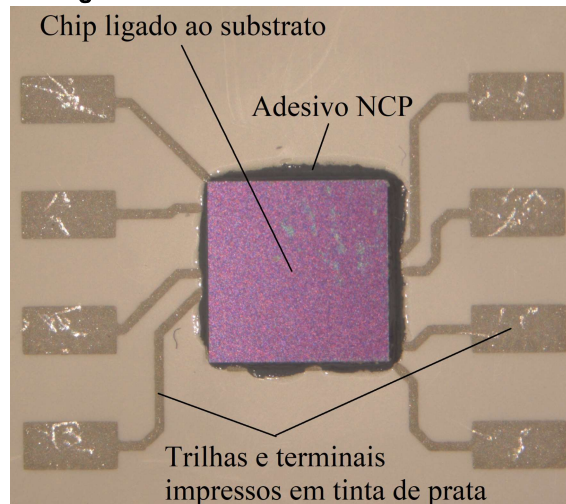
Fonte: Autoria Própria (2021).

Para todas as configurações de parâmetros, os passos executados foram os mesmos. Primeiramente, o equipamento *fineplacer* foi inicializado e o perfil ajustado no *software* de operação do equipamento. Em seguida, os substratos foram fixados por vácuo na plataforma da mesa deslizante - controlada via pedal - do equipamento *fineplacer*. Após, o *chip* de teste foi retirado do *wafer* cortado e colocado sobre uma área livre da plataforma deslizante, com os terminais para baixo. Então, sobrepondo a imagem do braço de ligação com a imagem da plataforma, a posição da mesa foi ajustada para alinhar a ferramenta ao *chip* e este foi então pego e levantado pelo braço de ligação, sendo segurado por vácuo.

Depois, ainda utilizando a sobreposição de imagem das câmeras do equipamento, alinhavam-se os terminais do *chip* com os *pads* do substrato e, nos experimentos com uso de adesivo, neste momento era feita a deposição da pasta adesiva, utilizando um sistema de deposição pneumático controlado digitalmente, modelo ML5000XII, da empresa *Musashi*. Por fim, com o alinhamento correto e deposição de adesivo feita, era iniciado o processo de ligação, com a descida do braço de ligação até a plataforma, pressionando o *chip* contra o substrato e aquecendo a parte superior e inferior deste conjunto conforme as rampas de calor definidas no perfil de ligação ajustado no *software*. Uma ilustração deste processo já foi apresentada na Figura 8.

Ao final do processo, o braço de ligação liberou a detenção por vácuo do *chip*, retornou à posição original e a plataforma aquecida foi resfriada por ar comprimido. Após, foi feita uma inspeção visual da ligação pela câmera do equipamento e, caso necessário, com o uso de microscópio óptico. Uma amostra com processo de interligação concluído é mostrada na Figura 14.

Figura 14 - Chip interligado ao substrato flexível com circuito impresso em prata



Fonte: ROSHANGHIAS, RODRIGUES E HOLZMANN (2020).

Validada a ligação, foi feita a medição de resistência elétrica dos contatos formados entre terminais do *chip* e do substrato, usando um medidor de resistência contínua Modelo 2516B, da *Sourcetronic*.

Depois, foi feito o teste de resistência a cisalhamento, utilizando o testador de ligações de *chip* Dage 4000 Optima Plus, da Nordson. Para este teste, o substrato, por ser flexível, precisou ser colado a uma lâmina de vidro para microscópio, e esta lâmina foi fixada na plataforma do equipamento.

Em seguida, uma lâmina metálica foi posicionada paralelamente na lateral do *chip*, e move-se numa velocidade constante de $30 \mu\text{m}/\text{s}$, empurrando o *chip* até a identificação do rompimento da ligação entre *chip* e substrato pela máquina, quando esta registrou o valor de força que gerou o rompimento da ligação. Após, as interfaces de ligação foram observadas pelo microscópio óptico para avaliação do padrão de falha que levou ao rompimento da interconexão obtida.

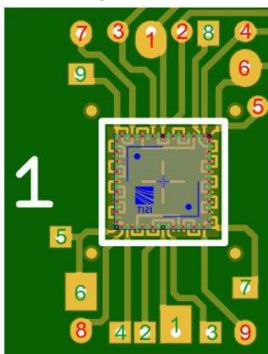
Para os conjuntos de parâmetros que apresentaram os melhores resultados, uma amostra foi preparada por metalografia para ser submetida a microscopia eletrônica, no microscópio eletrônico de varredura *Helios G4*, da *ThermoFisher*, de forma a serem estudados mais a fundo os mecanismos de ligação que possibilitaram o melhor desempenho.

3.2 Interligação de *chip* de silício com *bumps* de ouro em substratos rígidos do tipo FR-4

Como referência de comparação para o experimento anterior, foram realizados experimentos com o intuito de otimizar os parâmetros do processo de interligação de *chips* rígidos de silício com *bumps* de ouro em substratos rígidos do tipo FR-4.

Desta forma, foi usado como veículo de teste neste experimento o mesmo *chip* de teste do experimento anterior, ilustrado previamente na Figura 11. Foram usadas como substrato neste experimento as placas de circuito impresso de teste do tipo FR-4 que são fornecidas pelo fabricante, juntamente com o já citado *chip* de teste. A Figura 15 mostra a placa utilizada.

Figura 15 - Placas FR-4 de teste utilizadas como substrato de ligação para *chips* de silício com *bumps* de ouro



Fonte: Autoria Própria (2019).

Foram realizadas interligações termocompressivas com utilização de adesivos ACP e NCP. O adesivo não condutor utilizado foi o mesmo descrito no experimento anterior e o adesivo condutor usado foi DELO AC268, que possui caráter condutivo a partir da adição de micropartículas de níquel de cerca de $5 \mu m$.

Os procedimentos foram executados como descrito anteriormente, usando o mesmo equipamento de posicionamento de precisão *Fineplacer Lambda*. O módulo compressor do braço de junção possui capacidade de $4 N$ a $400 N$. A duração da aplicação de força compressiva foi de 10 a 15 segundos. As seguintes configurações de parâmetros foram utilizadas nos experimentos realizados.

Tabela 3 - Conjunto de parâmetros dos experimentos com substrato de placa FR-4

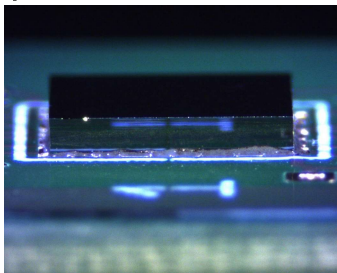
Ligação	Compressão (N)	Temperatura (°C)	Adesivo
TC	8 ; 20 ; 30	170	NCP
TC	8 ; 20 ; 30	170	ACP

Fonte: Autoria Própria (2021).

Foram executados os mesmos passos descritos para o experimento anterior, apenas com a diferença da utilização de ACP no lugar de NCP em alguns grupos de amostra e no momento do teste de resistência a cisalhamento, como o próprio substrato já era rígido, não foi necessária a colagem deste à uma lâmina de vidro de microscópio, apenas a fixação da própria placa de teste na plataforma do equipamento de teste de cisalhamento.

Os mesmos equipamentos e suas respectivas configurações foram utilizados para fazer as medições de resistência elétrica, resistência mecânica de cisalhamento e inspeção por microscópio eletrônico de varredura. A Figura 16 ilustra uma das amostras feitas.

Figura 16 - Amostra de interligação de *chip* rígido de silício com *bumps* de ouro em placa de circuito impresso FR-4 com uso de adesivo NCP



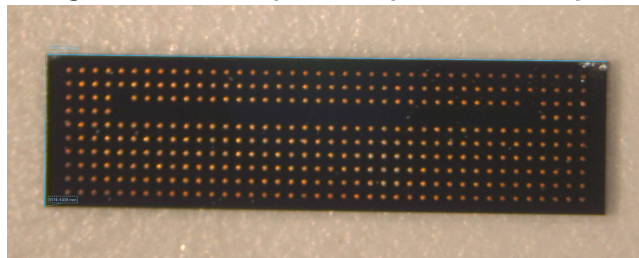
Fonte: Autoria Própria (2019).

3.3 Interligação entre *chips* de silício com micropilares de cobre

A execução de experimentos de interligação entre *chips* de silício com micropilares de cobre foi realizada com o intuito de definir uma faixa de parâmetros que otimizasse o processo de interligação recém citado, buscando fazer uso das propriedades vantajosas do cobre em relação à dureza e temperatura, para uso em aplicações de eletrônica de potência.

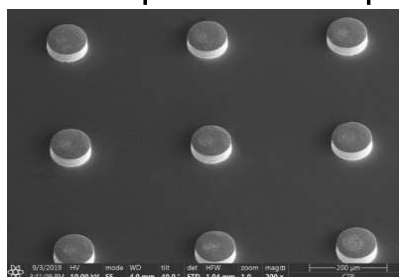
Desta forma, foi usado como veículo de teste neste experimento um *chip* rígido de silício retangular com dimensões laterais de $4\text{ mm} \times 15\text{ mm}$ e espessura de $725\text{ }\mu\text{m}$, contendo 366 pilares de cobre com diâmetro de $100\text{ }\mu\text{m}$, altura média de $30\text{ }\mu\text{m}$ e *pitch* de $350\text{ }\mu\text{m}$. Nas Figuras 17 e 18, é possível ver o *chip* e os pilares de cobre, respectivamente.

Figura 17 - Imagem de microscópio do *chip* de teste com pilares de cobre



Fonte: Aatoria Própria (2019).

Figura 18 - Imagem de microscópio eletrônico dos pilares de cobre do *chip*



Fonte: ROSHANGHIAS *et al.* (2020).

O mesmo *chip* foi usado também como substrato. O processo de interconexão foi realizado de forma semelhante aos outros experimentos, utilizando também o equipamento *fineplacer*. Foram performadas interligações termossônicas e ligações termocompressivas sem utilização de adesivos.

As seguintes configurações de parâmetros foram utilizadas nos experimentos performados.

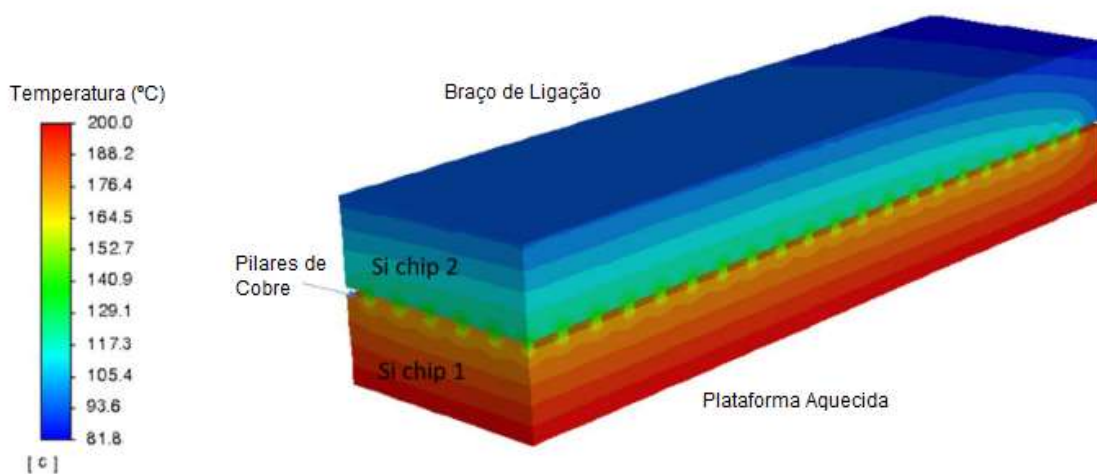
Tabela 4 - Conjunto de parâmetros dos experimentos com *chips* de pilares de cobre

Ligação	Compressão (N)	Temperatura (°C)	Energia US (W)
TS	10 ; 20	200 ; 250 ; 300 ; 350	0 ; 0,5 ; 1 ; 2 ; 4 ; 6 ; 8 ; 10
TC	10 ; 20	200 ; 250 ; 300 ; 350	-

Fonte: Aatoria Própria (2021).

Para ter melhor noção do valor da temperatura na interface de ligação dos pilares, foi feita uma simulação de elementos finitos, conforme Figura 19, considerando as dimensões e características térmicas dos elementos do *chip*.

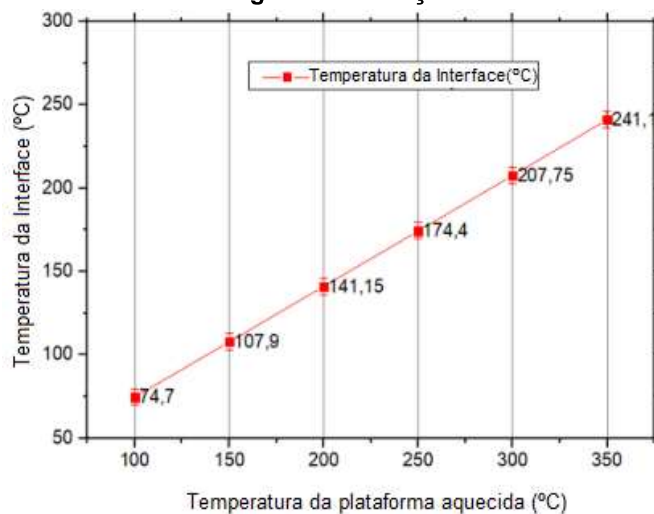
Figura 19 - Modelo tridimensional da simulação de temperatura na interface dos *chips* com pilares de cobre



Fonte: ROSHANGHIAS *et al.* (2020).

Dessa forma, foi obtido o resultado que pode ser visto na Figura 20, com a representação gráfica da relação entre a temperatura da plataforma aquecida e a temperatura da interface de ligação.

Figura 20 - Relação entre temperatura da interface e temperatura da plataforma aquecida, segundo simulação



Fonte: ROSHANGHIAS *et al.* (2020).

Primeiramente, antes de iniciar os experimentos de ligação de *chips* que faziam uso do efeito ultrassônico, foi necessário realizar a instalação do módulo ultrassônico no equipamento *fineplacer*, acoplado ao braço de ligação, seguindo o procedimento conforme ensinado no treinamento da ferramenta. Após a correta instalação do módulo, uma calibração de coplanaridade foi realizada utilizando uma ponta de prova de 4 pontos. Ao garantir contato de pelo menos 3 dessas pontas e uma pequena folga na última ponta, a coplanaridade, ou paralelismo planar do equipamento, era garantida, certificando que todos os pontos estão no mesmo plano geométrico, o que foi necessário para certificar a confiabilidade do experimento.

Algumas alterações e passos adicionais surgiram no processo de interligação neste experimento, com relação aos anteriores. Após serem retirados do *wafer* e antes da colocação e fixação dos *chips* na plataforma, esses foram submersos durante 10 segundos em uma solução de ácido hidrocloreídrico com concentração volumétrica de 4% por cento, para realizar uma limpeza na superfície do *chip* de possíveis contaminantes e oxidações.

Além disso, uma estrutura adicional foi colocada na plataforma aquecedora da mesa deslizante. Esta estrutura se assemelha a uma câmara, e foi utilizada para o enclausuramento da amostra em uma atmosfera de gás de ácido fórmico durante o processo de interligação, para evitar a corrosão da camada superficial dos pilares de cobre recém descontaminada pelo ácido clorídrico.

Após concluído o processo de ligação na *fineplacer*, apenas a avaliação de resistência ao cisalhamento foi feita, seguindo os mesmos parâmetros explicados nos experimentos anteriores. De mesmo modo, as interfaces separadas durante o teste de cisalhamento eram analisadas no microscópio ótico e no interferômetro de luz branca e uma amostra - ainda interconectada - do grupo com configurações de ligação com melhores resultados era preparada por metalografia para análise no microscópio eletrônico de varredura, após seu corte transversal.

4. ANÁLISE E DISCUSSÃO DOS RESULTADOS

Neste capítulo serão feitas as exposições das análises de cada um dos experimentos descritos, discutindo os resultados obtidos em cada uma das etapas desses experimentos.

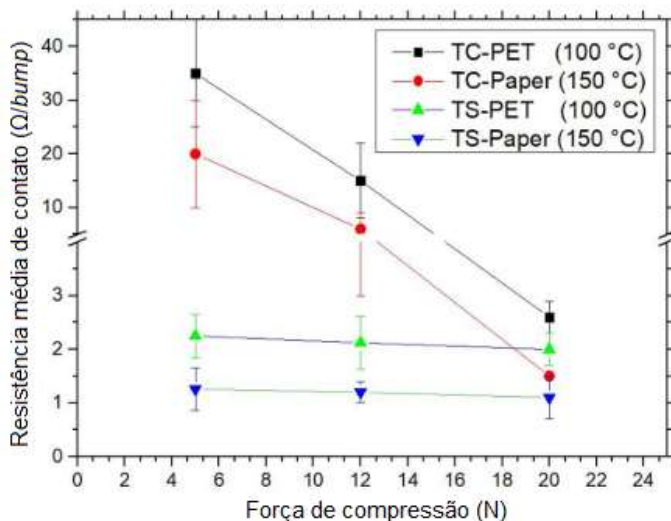
4.1 Interligação de *chip* de silício com *bumps* de ouro em substratos flexíveis de papel e PET

A apresentação das análises e discussões deste experimento foram feitas seguindo a mesma sequência utilizada para apresentação dos passos do experimento, conforme apresentado na seção de mesmo título do capítulo anterior. Assim, iniciou-se a discussão de resultados pela avaliação da resistência de contato.

4.1.1 Resistência de Contato

É apresentado, na Figura 21, o valor médio de resistência de contato, calculado a partir da medição da resistência total da cadeia intercalada formada pelo *chip* e o circuito impresso no substrato, dividido pelo número de terminais presentes na cadeia intercalada.

Figura 21 - Gráfico de relação entre parâmetros de ligação e resistência média de contato resultante



Fonte: ROSHANGHIAS; RODRIGUES; HOLZMANN (2020).

O gráfico da Figura 20 mostra a relação entre o tipo de ligação, a temperatura e a força de compressão usada nos experimentos com os valores médios de resistência de contatos alcançados para cada configuração.

A partir do gráfico, infere-se, primeiramente, que o substrato de papel apresenta melhor desempenho que o substrato de plástico PET. Isto é atribuído à maior resistência laminar da camada de prata no PET ($27,06 \text{ m}\Omega/\text{quadrado}/\text{mil}$) comparada à camada de prata no papel ($18,33 \text{ m}\Omega/\text{quadrado}/\text{mil}$). Como já citado por Tamai *et al.* (2017), superfícies poliméricas como a do plástico PET são usualmente hidrofóbicas e não aderem bem aos metais sem tratamento de superfície, o que justifica uma menor adesão da tinta de prata à esse substrato, resultando na maior resistência laminar citada e, conseqüentemente, em um desempenho inferior, em comparação ao papel.

De maneira oposta, o papel não revestido tem vantagem de melhor adesão para camadas impressas, já que a pasta metálica é parcialmente absorvida pelas fibras, conforme Zikulnig *et al.* (2019). Sendo assim, a menor resistência da camada condutiva de prata foi atribuída à maior absorção da pasta na superfície do papel, que conseqüentemente levou à menor resistência de contato. É válido mencionar que o papel usado foi previamente estudado por Zikulnig *et al.* (2019) e cuidadosamente selecionado para impressão de circuitos eletrônicos, baseado na sua rugosidade, porosidade e fibrosidade.

O gráfico também mostra que as amostras interligadas na temperatura de $150 \text{ }^\circ\text{C}$ performaram melhor com relação à resistência de contato. De fato, uma temperatura mais próxima do ponto de fusão amolece mais as interfaces metálicas, permitindo uma maior deformação plástica do ouro e da prata, principalmente na ligação termossônica, na qual a ligação metálica das interfaces é aprimorada por essas circunstâncias.

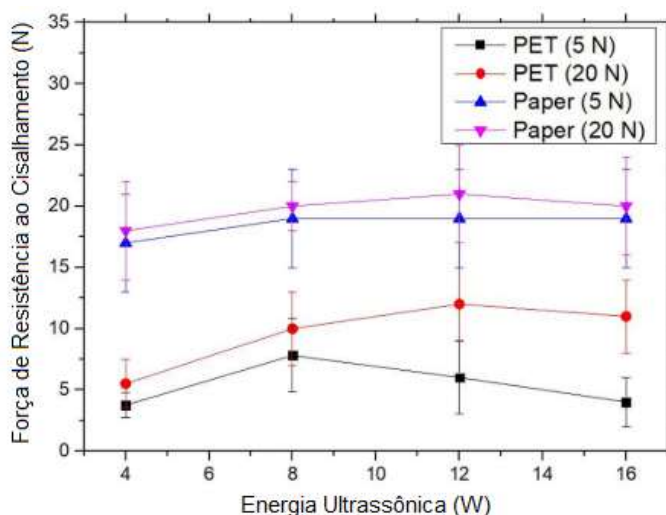
Com relação à comparação entre as amostras ligadas por método termossônico e método termocompressivo, foi possível observar o impacto significativo da energia ultrassônica na formação de contatos com resistência mais baixa. As conexões elétricas nas amostras de termocompressão na faixa de 5 N eram pobres e frequentemente apresentavam circuitos abertos. A ligação

termossônica, entretanto, revelou ter resistências de contatos consistentes e confiáveis em todas as forças de ligação usadas (*i.e.* 5, 12 e 20 N).

4.1.2 Força de resistência ao cisalhamento

Calculando a área total do *chip* e a somatória da área de todos os *bumps*, descobriu-se que esses representavam apenas 1,2 % da área total, sendo o restante interface de substrato e *chip* preenchido com NCP. Sendo assim, foi possível inferir que os valores de força de resistência ao cisalhamento obtidos representavam majoritariamente a força de ligação entre a pasta não-condutiva e o substrato. Os valores obtidos com a compilação das amostras testadas estão compilados na Figura 22.

Figura 22 - Gráfico de relação entre parâmetros de ligação e força de resistência ao cisalhamento



Fonte: ROSHANGHIAS; RODRIGUES; HOLZMANN (2020).

No caso do substrato de papel, a fratura ocorreu principalmente entre a camada superficial e interna do papel, caracterizando uma fratura coesiva (LIU *et al.*, 2013). Isso ocorreu devido ao fato de a força interfacial do papel ser menor que a força de ligação criada entre a superfície do papel e o adesivo NCP. Os *bumps* de ouro ficaram cobertos de fibras residuais de papel após o cisalhamento, conforme mostrado na Figura 25, corroborando a inferência feita acima. Já para o substrato de

plástico PET, a fratura de interface, ou delaminação, entre o NCP e a superfície do PET foi o mecanismo de falha dominante. Devido à já citada propriedade hidrofóbica do PET que não possibilitou uma aderência e absorção completa da tinta, o mecanismo de falha comentado proveu à este substrato resistência ao cisalhamento menor do que o papel, até porque a ligação coesiva das camadas internas de papel, apesar de ter sido superada pela ligação da camada superficial ao substrato, ainda é relativamente forte.

Assim, foi possível afirmar que a força de cisalhamento dos *chips* ligados por método termossônico assistido por NCP é independente da energia ultrassônica (DOU *et al.*, 2018, p.4). Além disso, analisando mais atentamente o gráfico da Figura 20, o efeito da força de compressão pode ser identificado, pois ambos substratos performaram melhor para 20 *N*, comparados aos valores de 5 *N*. O aumento da força de resistência ao cisalhamento com maiores forças de compressão foi atribuído ao fato de que, com mais pressão estática na amostra, ocorreu um espalhamento mais homogêneo da pasta na interface entre *chip* e substrato, minimizando pontos de maior probabilidade de fratura (CHAN *et al.*, 2007, p.144).

Para as amostras ligadas termossonicamente, como os contatos foram criados por difusão metálica, o adesivo NCP atuou como um reforço para as ligações criadas e sua confiabilidade. Por outro lado, já que os *bumps* de ouro foram cunhados, a força compressiva e a vibração ultrassônica devem ter sido capazes de remover o adesivo da interface entre *bump* e terminal.

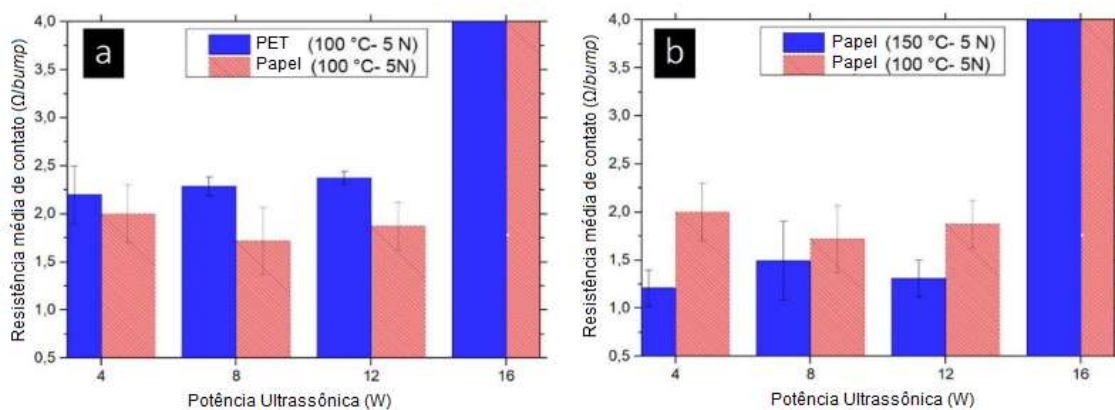
Dessa forma, a viscosidade do adesivo NCP foi um fator determinante para a escolha do material correto. Ainda avaliando a Figura 21, há uma indicação de impacto da tensão superficial nas amostras termossônicas, nas quais o adesivo NCP fez uma melhor ligação com o papel do que com o PET. De fato, a absorbilidade do adesivo no papel foi notavelmente superior àquela no plástico PET (ROSHANGHIAS; RODRIGUES; HOLZMANN, 2020).

Como é possível ver, ao analisar a Figura 23, ligações termossônicas alcançaram valores relativamente baixos na faixa entre 4 e 12 *W* de energia ultrassônica. Entretanto, para valores além desta faixa usados no experimento, frequentemente houve incidência de circuitos abertos nas medições, o que indica um

excesso de energia ultrassônica. A energia ultrassônica é diretamente proporcional ao deslocamento vibracional gerado por esta (LI; HAN; ZHONG, 2008).

Assim, já havia sido postulado que, devido a grandes vibrações em níveis altos de energia ultrassônica - ou seja, maiores deslocamentos vibracionais - impostos diretamente às junções, áreas ligadas desfazem suas conexões com a respectiva área impressa (CHUANG, 2010, p. 629).

Figura 23 - Relação entre potência ultrassônica e resistência de contato entre *chip* e substrato (Papel e PET); Efeito do tipo de substrato(a) e efeito da temperatura do processo de ligação(b) na resistência de contato



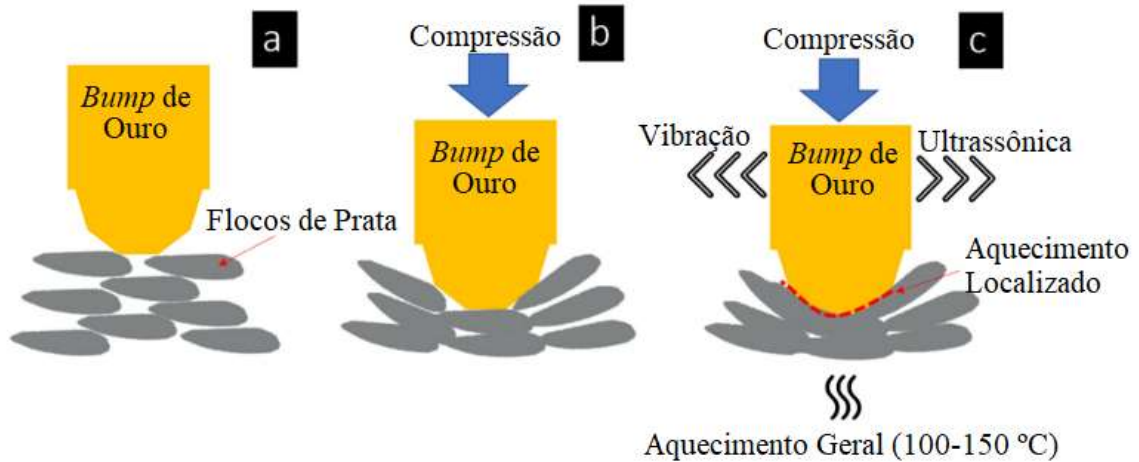
Fonte: ROSHANGHIAS; RODRIGUES; HOLZMANN (2020).

Para expandir a compreensão dos mecanismos de falha nos *bumps* de ouro, foram feitas também amostras sem uso de NCP. Apesar da força de resistência ao cisalhamento dessas terem sido desprezíveis e abaixo do valor detectável do equipamento de teste, considerações interessantes foram levantadas durante a avaliação das superfícies fraturadas dessas amostras, conforme é explicado na próxima seção.

4.1.3 Microscopia eletrônica de varredura e ótica

Na Figura 24 é apresentado o modelo proposto para explicar e ilustrar o processo de interligação dos *chips* com *bumps* de ouro aos substratos flexíveis com circuito impresso em tinta de prata.

Figura 24 - Modelo proposto de interligação de *bumps* de ouro em substratos impressos com tinta de prata



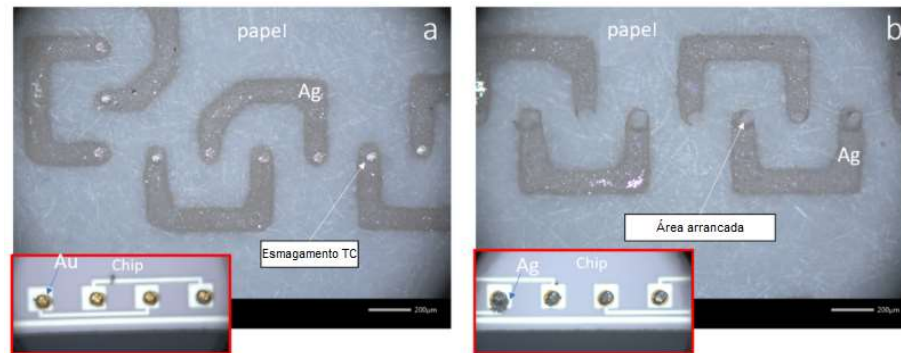
Fonte: ROSHANGHIAS; RODRIGUES; HOLZMANN (2020).

É possível notar a evolução da interface entre os flocos de prata e *bumps* de ouro (etapa “a”) com aplicação de força compressiva estática (etapa “b”) e energia ultrassônica (etapa “c”).

As superfícies fraturadas das amostras unidas por ligação termocompressiva (a) e termossônica (b) são ilustradas na Figura 25. É evidente que sob ligação termocompressiva, os *bumps* de ouro foram apenas esmagados nos terminais de prata, sem nenhuma difusão dos materiais.

Por outro lado, ao aplicar energia ultrassônica, a superfície de fratura foi deslocada para a interface entre prata e papel, indicando uma forte ligação entre o *bump* de ouro e o terminal de prata. Vale ressaltar que a presença de resíduos de ouro e prata na interface fraturada é um indicativo de que uma liga de ouro e prata foi formada entre o *bump* e o terminal, fazendo um paralelo com o estudo de Chuang *et al.* (2010. p. 629), que também apresentou tais resíduos, porém nas interfaces residuais de ligação entre *bumps* de ouro e eletrodos de cobre.

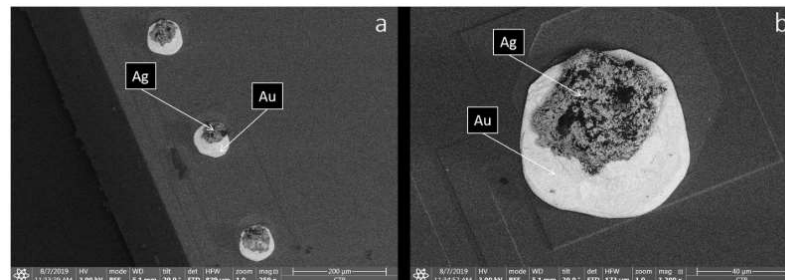
Figura 25 - Superfícies fraturadas das amostras unidas por ligação termocompressiva (a) e termossônica (b)



Fonte: ROSHANGHIAS; RODRIGUES; HOLZMANN (2020).

As imagens de microscopia eletrônica de varredura, ou imagens SEM (do inglês *Scanning Electron Microscopy*), da superfície arrancada dos *chips* de silício, da Figura 26, também confirmam que há prata residual ligada aos *bumps* de ouro. De forma geral, pode ser validado que a força de ligação obtida entre as interfaces de ouro e prata criadas a partir do método termossônico foi maior do que a força de adesão da camada de prata e as superfícies dos substratos (DOU *et al.*, 2018, p.4).

Figura 26 - Superfícies fraturadas de 3 *bumps* de ouro com prata residual (a) e imagem aproximada em um dos *bumps* de ouro (b)



Fonte: ROSHANGHIAS; RODRIGUES; HOLZMANN (2020).

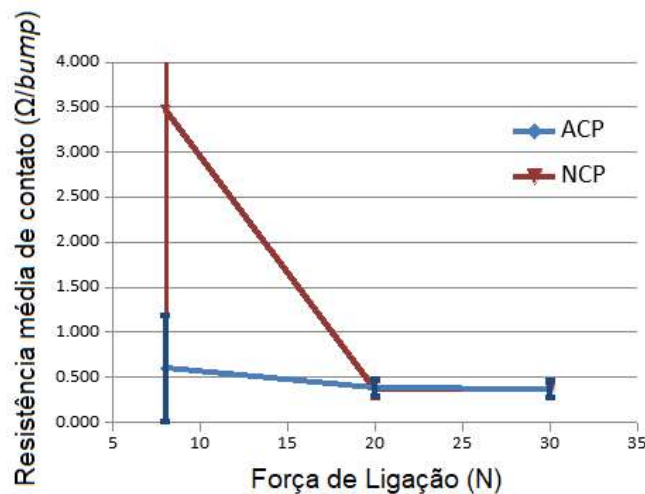
4.2 Interligação de *chip* de silício com *bumps* de ouro em substratos rígidos do tipo FR-4

Nesta seção são apresentadas as análises e discussões do experimento de *chips* de silício com *bumps* de ouro em substrato rígido. Para facilitar a discussão e manter a coerência, é usada aqui a mesma divisão na descrição do experimento feita no capítulo anterior. Assim, inicia-se a análise pela resistência de contato.

4.2.1 Resistência de Contato

Como é possível inferir a partir da análise da relação entre a força de ligação e a resistência média de contato por *bump*, ilustrada na Figura 27, as amostras de ambos adesivos obtiveram resultados similares nos maiores valores da faixa experimentada. Para as forças de ligação de 20 N e 30 N, as amostras unidas com adesivo ACP e com NCP mostraram ter um valor praticamente idêntico.

Figura 27 - Gráfico de relação entre parâmetros de força de compressão e resistência média de contato



Fonte: ROSHANGHIAS; RODRIGUES (2020).

Em essência, o contato elétrico provido pelos adesivos usados vêm do contato físico entre as duas interfaces, e não de uma união metalúrgica, como normalmente ocorre em ligações por termocompressão com parâmetros de maior valor e sem uso de adesivos. Com relação ao adesivo NCP, a condução elétrica ocorre a partir de um contato físico entre o *bump* e o terminal do substrato, enquanto no adesivo condutivo, esta condução é assistida pelas partículas metálicas de níquel presentes no adesivo presas na interface entre os *bumps* de ouro e os terminais.

A resistência de contato similar nas maiores forças testadas implica que as partículas condutivas têm pouca contribuição para a redução da resistência do contato. Entretanto, em pequenas forças de ligação, a diferença nos valores de resistência de contato entre amostras com ACP e NCP pode ser atribuída às partículas condutivas.

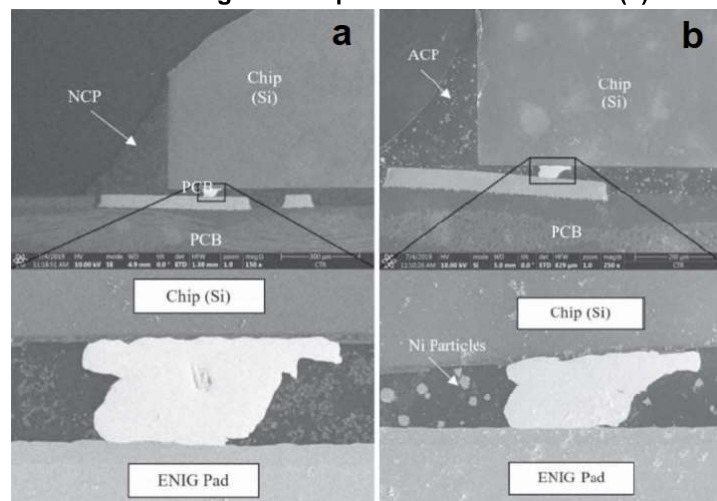
Assim, um certo patamar de força parece ser necessário para que o adesivo NCP proveja um bom contato físico entre os *bumps* de ouro e os terminais de ligação, isso devido à necessidade de coplanaridade entre as interfaces que é alcançada quando as forças superiores deformam os *bumps* de ouro.

4.2.2 Microscopia eletrônica de varredura e ótica

Uma conexão de boa conformidade entre os *bumps* de ouro e os terminais do substrato foi obtida, devido à baixa dureza do ouro puro. A dureza do ouro dentro da escala *Vickers* - na qual quanto menor o valor, menor a dureza - está na faixa de 118 a 226, enquanto a do cobre e do níquel, por exemplo, possuem valores acima de 300 e 600, respectivamente. Assim, como já citado anteriormente, os *bumps* de ouro se deformam com a aplicação de força e se moldam à interface de contato com o terminal, de forma muito mais fácil do que pilares de cobre, em comparação

Além disso, *bumps* de ouro possuem uma forma pontiaguda, o que aumenta a pressão de contato. Analisando a Figura 28, é possível ver que o *bump* de ouro ligou-se ao terminal do substrato de forma homogênea. Nenhuma grande diferença é encontrada entre as interfaces de ligação com adesivo condutor e não-condutor, validando os valores similares de resistência de contato encontrados.

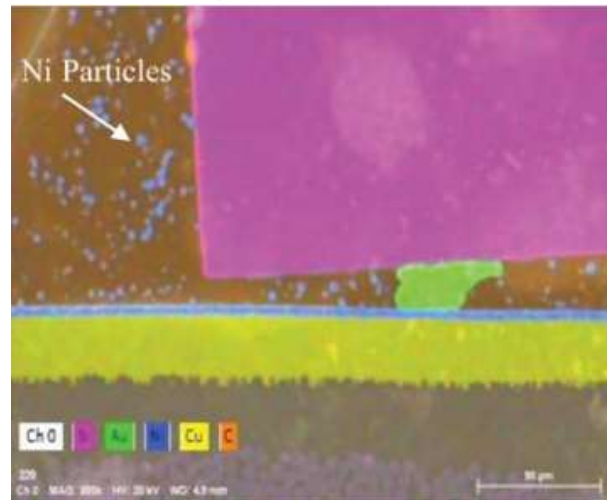
Figura 28 - Microscopia eletrônica da ligação entre os *bumps* de ouro do *chip* e o terminal ENIG do substrato rígido com preenchimento de NCP (a) e ACP (b)



Fonte: ROSHANGHIAS; RODRIGUES (2020).

Juntamente com a forma pontiaguda do *bump* do *chip* e uma curta duração do processo, a diferença de dureza entre o ouro e o níquel citada anteriormente parecem ter evitado o enclausuramento das partículas de níquel na interface entre o *bump* e o terminal do substrato, segundo o mapeamento de elementos feito na amostra com adesivo condutivo, conforme a Figura 29.

Figura 29 - Mapeamento de elementos químicos na interface da amostra interligada com ACP



Fonte: ROSHANGHIAS; RODRIGUES (2020).

Dessa forma, é possível afirmar que, para ligações *flip-chip* de *pitch* reduzido entre terminais com *bumps* de ouro com assistência de adesivos, o adesivo NCP possui maior potencial para melhores resultados, já que é capaz de operar com menores *itches*. Entretanto, para *bumps* de ouro cunhados com maior área de superfície, as partículas condutivas do ACP presas na interface podem melhorar a condutividade elétrica, aumentar o índice de rendimento e confiabilidade das ligações.

É válido mencionar que, para ligação *flip-chip* de *pitch* mais estreito com *bump* de ouro e adesivo NCP, a coplanaridade das duas partes é crucial quando é feito uso de valores de força e temperatura relativamente baixos, como neste caso. Nas situações onde o substrato é rígido e é possível fazer uso de valores maiores para esses parâmetros, as inclinações são compensadas de forma parcial pela maior deformação dos *bumps*.

4.3 Interligação entre *chips* de silício com micropilares de cobre

Devido à inexistência de um mecanismo para avaliação da resistência elétrica de contato do *chip* de teste deste experimento, a apresentação das análises e discussões aqui é feita de forma um pouco diferente das apresentações dos experimentos anteriores. Dessa forma, inicia-se a discussão de resultados pela avaliação da força de resistência ao cisalhamento das amostras com diferentes combinações de parâmetros.

4.3.1 Influência da força de compressão na resistência ao cisalhamento

A propagação das ondas ultrassônicas do módulo acoplado ao braço de ligação para a interface entre os pilares de cobre dos dois *chips* depende majoritariamente da quantidade de energia ultrassônica usada - associada à potência ultrassônica configurada no *software* -, da força de compressão aplicada durante o processo de ligação e também da coplanaridade entre os dois *chips* durante o processo e, principalmente, durante o pulso ultrassônico.

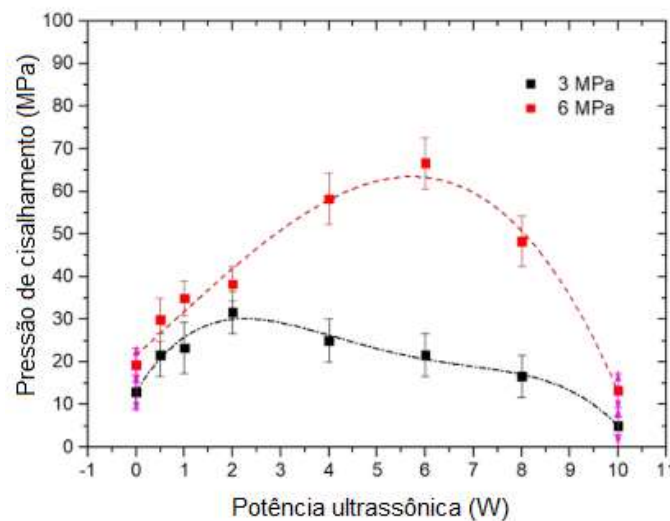
A ponta da ferramenta de ligação ultrassônica acoplada ao braço de ligação é a parte do equipamento que pressiona o *chip* durante o processo de ligação e transmite as ondas ultrassônicas. Segundo Arai *et al.* (2014), a coplanaridade entre a ponta desta ferramenta e a superfície do *chip* também é de grande importância, já que permite a ligação simultânea de todos os *bumps* ou pilares ao mesmo tempo.

Dessa forma, sabe-se que o processo de calibração de coplanaridade, explicado na descrição da troca de braço de ligação do equipamento *fineplacer*, na seção 3.3 do capítulo anterior, é um passo crucial no processo e garante melhor resultado, dado que os outros parâmetros sejam corretamente selecionados.

Tendo sido feitas tais considerações, na Figura 30 é apresentado o resultado dos testes de resistência à pressão de cisalhamento (força de cisalhamento dividida pela área total de ligações feitas), mostrando o valor médio e desvio padrão - representado por barras de erro - de acordo com a configuração de força de compressão e potência ultrassônica usada em cada grupo de amostras.

Como é possível inferir ao observar o gráfico, para cada um dos valores de compressão testados, houve um padrão de comportamento diferente com o aumento da energia ultrassônica utilizada. Para o valor de compressão de 3 MPa, por exemplo, um pico de pressão de cisalhamento de 30 MPa foi obtido ao usar 2 W de potência ultrassônica, seguido de um decaimento com o aumento da potência usada. Já para o dobro de compressão (6 MPa), observa-se uma pressão de cisalhamento máxima de cerca de 65 MPa para o valor de 6 W de potência ultrassônica, com uma rápida redução para potências maiores.

Figura 30 - Relação entre potência ultrassônica e pressão de cisalhamento obtida, de acordo com a compressão usada.



Fonte: ROSHANGHIAS *et al.* (2020).

Realmente, é possível vincular este comportamento descrito ao fato de que, com o aumento de energia ultrassônica introduzida no processo, mais vibração é transmitida para os *chips*. Isso gera, como postulado no referencial teórico, um aquecimento localizado na interface de ligação, e leva a um amolecimento das camadas superficiais dos pilares dos *chips*, facilitando a difusão atômica entre esses e proporcionando assim, interconexões mais fortes e resistentes ao cisalhamento.

Entretanto, como também já citado, quando energia excessiva é introduzida no processo, vibração excessiva na interface de ligação dos *chips* pode desencadear uma desestabilização e comprometer conexões que já haviam sido formadas, resultando em menores forças de resistência ao cisalhamento. É

importante mencionar que, para valores de potência ultrassônica superiores a 9 W, foi possível observar deslocamentos das amostras, mesmo sobre a aplicação de força de compressão pela ferramenta acoplada ao braço de ligação.

Assim, uma maior força de resistência ao cisalhamento para maiores valores de compressão estática durante o processo foi atribuída ao fato de que, com esta compressão maior, foi evitado o deslocamento dos *chips* com interface em contato, garantindo que o máximo de energia fosse repassada para a interface de ligação entre os pilares.

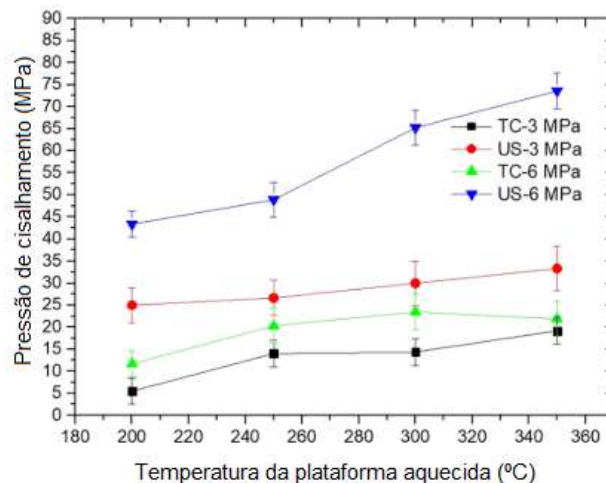
No estudo já citado de Arai *et al.* (2014), uma ligação termossônica foi performada, mas com força de compressão de 150 N, que para a amostra usada naquele estudo correspondia à uma pressão de 141 MPa, resultando em resistência ao cisalhamento de 127 MPa. Em valores tão altos, suspeita-se que o mecanismo termocompressivo sobreponha a contribuição termossônica.

4.3.2 Influência da temperatura de ligação na resistência ao cisalhamento

Como já citado, uma maior temperatura durante o processo de ligação termossônica auxilia na obtenção de melhores resultados, porém existem restrições dos próprios materiais, do equipamento e de custo econômico e energético, por exemplo.

Na Figura 31 é apresentada a influência da temperatura na resistência ao cisalhamento das amostras resultantes do experimento em discussão. Como abordado no capítulo de referencial teórico, é conhecido que temperaturas mais elevadas amolecem as camadas superficiais da interface de conexão dos pilares de cobre dos *chips*, levando a uma maior deformação plástica dessas estruturas, que otimiza a ocorrência de ligação metálica entre as superfícies, assim, é possível notar um aumento geral da resistência ao cisalhamento com o aumento da temperatura de ligação.

Figura 31 - Relação entre temperatura da plataforma e pressão de cisalhamento obtida, de acordo com a compressão e forma de ligação usada



Fonte: ROSHANGHIAS *et al.* (2020).

A principal vantagem do processo de ligação termossônico se dá, como já comentado, pelo fato das vibrações ultrassônicas aumentarem a temperatura de forma localizada na interface do pilar de cobre, o que leva a uma maior promoção de difusão inter-atômica do cobre, acelerando e dando consistência à conexão formada, com aumento da área e volume interligados. Dessa forma, o método termossônico apresentou os melhores resultados e, com a maior compressão, foram obtidos resultados da faixa de 74 MPa de força de cisalhamento.

Na análise geral do gráfico da Figura 31, é possível inferir que os resultados do experimento por método termossônico foram superiores àqueles por método termocompressivo, independente da intensidade da força de compressão usada durante o processo. Não se deve esquecer que, como citado por Jangam *et al.* (2019), nas ligações termocompressivas tradicionais, valores da faixa de 250 a 400 MPa de compressão são normalmente usados, com valores de resistência ao cisalhamento de até 150 MPa sendo relatados.

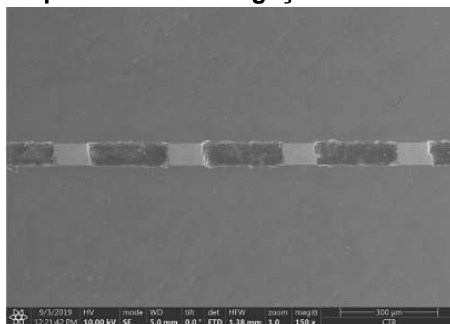
Com relação ao nível mínimo de resistência ao cisalhamento requerido, o valor de 6,05 MPa é especificado na norma MIL-STD 883E (método 2019.5) para *chips* do mesmo tamanho que os utilizados neste experimento. Olhando no gráfico, o menor resultado de força de cisalhamento está próximo do valor de 5 MPa, apontando que apenas a ligação termocompressiva na condição de menores valores

de temperatura e compressão não atende o requerimento por norma para este tipo de interligação.

4.3.3 Microscopia eletrônica das interfaces de ligação obtidas

Finalmente, foi feita a análise dos resultados da microscopia eletrônica realizada nas amostras com os melhores resultados no teste de resistência ao cisalhamento. Na Figura 32, pode ser visto um corte transversal de uma parte de uma amostra com interconexão bem-sucedida.

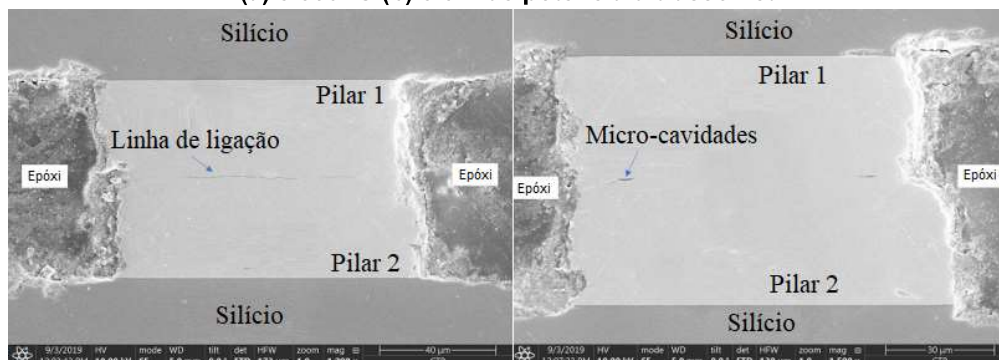
Figura 32 - Imagem microscópica mostrando ligação bem sucedida entre pilares de cobre



Fonte: ROSHANGHIAS *et al.* (2020).

Na Figura 33, apresentam-se as imagens microscópicas do corte transversal da ligação termossônica de um par de pilares das amostras feitas com a configuração de parâmetros de 200 °C (a) e 350 °C (b) temperatura de ligação utilizadas, para o valor de 6 W de potência ultrassônica.

Figura 33 - Imagem microscópica de corte transversal das amostras interligadas com 200 °C (a) e 350 °C (b) e 6W de potência ultrassônica



Fonte: Adaptado de ROSHANGHIAS *et al.* (2020).

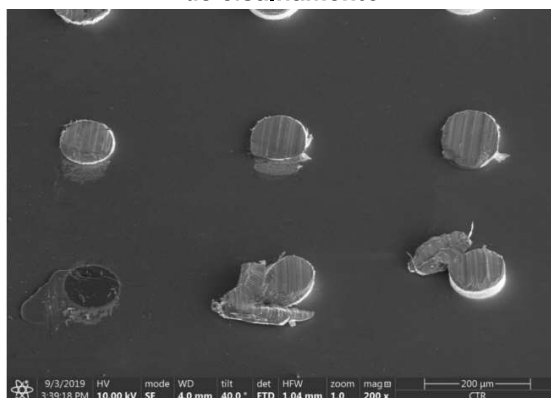
Observa-se, nessas figuras, que o alinhamento entre os pilares foi bem-sucedido. Analisando mais a fundo, ao comparar as Figuras 33(a) e 33(b), é possível distinguir uma importante diferença entre elas. A ausência de uma linha de ligação discernível na amostra da Figura 33(b), assim como a inexistência de grandes microcavidades, podem ser consideradas como uma clara indicação de uma ligação de sucesso entre os pilares (SHIMOTE *et al.* 2014, p. 88).

Postula-se que uma linha de ligação visível seja atribuída a uma baixa temperatura de ligação e, como é possível ver na Figura 33(a), a difusão interfacial de átomos dos dois pilares não foi adequada, não permitindo uma completa conexão entre os pilares, enquanto que na amostra interligada com maior temperatura, mostrada na Figura 33(b), a difusão atômica das interfaces dos pilares prosperou e a interface de ligação desapareceu. A extensão da área interligada, manifestada pelo desaparecimento da interface de ligação em temperaturas maiores, justifica a maior resistência ao cisalhamento das amostras unidas com temperaturas maiores.

É válido mencionar que a ligação termossônica em baixas temperaturas (abaixo de 200 °C) também foi avaliada: entretanto, devido à difusão deficiente, a ligação não foi bem-sucedida e as amostras se desprenderam ou durante o manejo ou logo após o início dos testes de cisalhamento.

Na Figura 34, é mostrada a fratura de superfície dos pilares de uma das amostras interligadas termossonicamente. Como é possível observar, as fraturas parecem ocorrer de forma concentrada na base dos pilares ou na interface entre a base do pilar e a camada de cobre e titânio que liga o pilar ao *chip* de silício.

Figura 34 - Vista superior microscópica de região com pilares de cobre fraturados após teste de cisalhamento



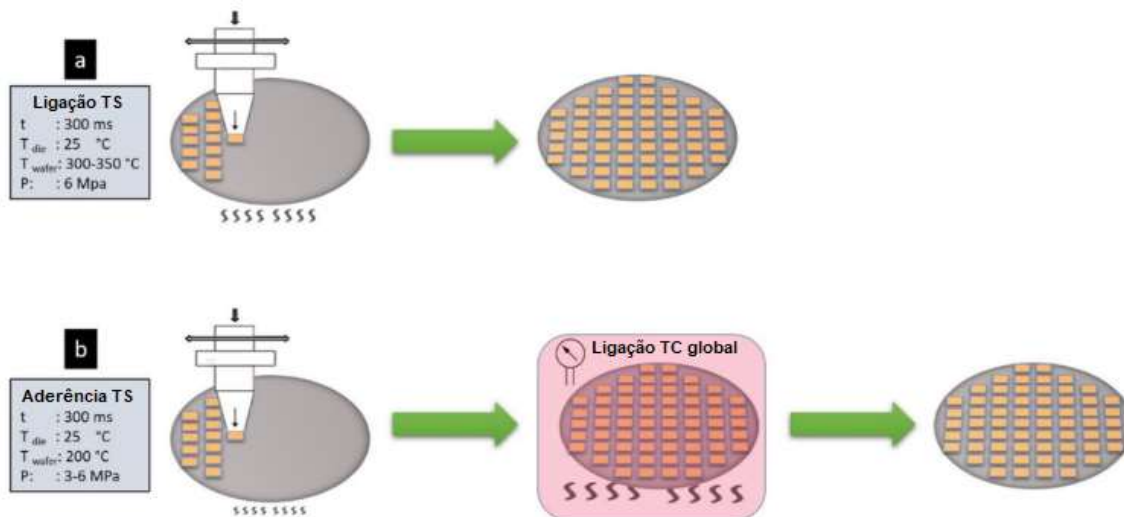
Fonte: ROSHANGHIAS *et al.* (2020).

As fraturas observadas na Figura 34 corroboram com os resultados observados nas imagens de corte transversal, que exibiu a criação de regiões de ligação forte e livre de quaisquer fissuras.

Como complementação e expansão do entendimento dos mecanismos e fenômenos dos experimentos desta pesquisa, foi realizado também um experimento adicional usando o método termossônico com uma rápida ligação por aderência (*tacking*) e então uma posterior aplicação do método termocompressivo por 5 minutos para finalização da ligação das amostras.

Com este processo busca-se uma maior produtividade e economia, aproximando o experimento de uma versão industrial viável. Este novo molde de experimento com duas etapas usando métodos diferentes, tem sua versão industrial sugerida na Figura 35.

Figura 35 - Ilustração esquemática de sugestão de versão industrial para o experimento adicional, com etapa inicial de *tacking* (a) e posterior termocompressão global (b)



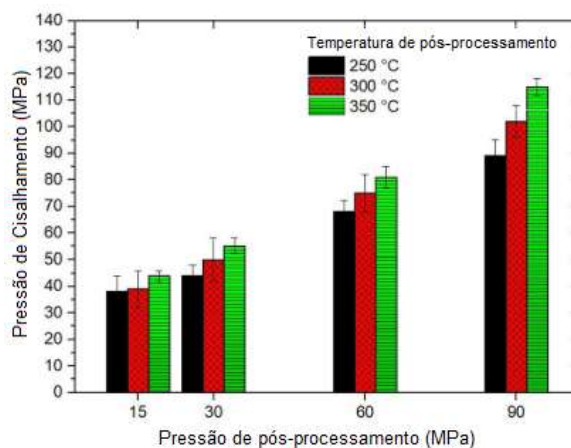
Fonte: ROSHANGHIAS *et al.* (2020).

No processo indicado na etapa a, da Figura 35, é performada a ligação termossônica, já explicada, como forma de aderência. As amostras desta primeira etapa tiveram sua resistência ao cisalhamento avaliadas e um valor médio de 24 MPa foi obtido, com 3 MPa de desvio padrão, suficiente para um posterior manejo e processamento.

Em seguida, foi feito o processo ilustrado na etapa b, porém de forma individual, realizando uma etapa adicional de termocompressão por 5 minutos, em atmosfera de gás de ácido fórmico para evitar oxidação das superfícies de cobre, em cada amostra previamente ligada por método termossônico. Os efeitos do pós-processamento por termocompressão foram executados para 4 diferentes temperaturas e 3 diferentes pressões, e os resultados podem ser observados no gráfico da Figura 36.

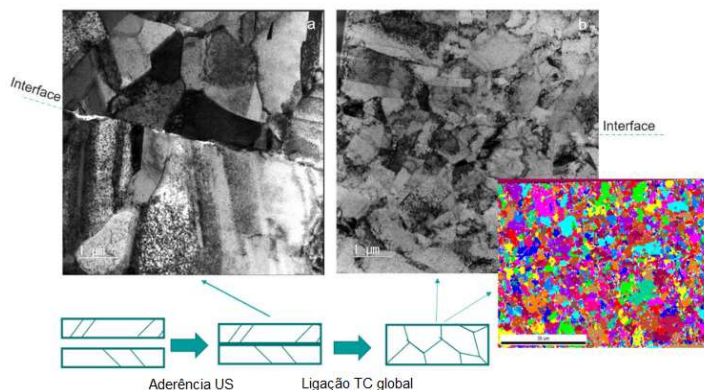
Deste gráfico, infere-se que, ao usar forças e temperaturas maiores, a resistência ao cisalhamento aumenta drasticamente. Como exemplo, ao aplicar termocompressão global com 90 MPa de pressão e 300 °C, uma resistência média ao cisalhamento de 102 ± 4 MPa foi obtida.

Figura 36 - Relação entre pressão de pós-processamento e pressão de cisalhamento obtida, de acordo com a temperatura de pós-processamento usada



Fonte: ROSHANGHIAS *et al.* (2020).

Figura 37 - Evolução microestrutural após posterior processamento por recozimento e ilustração do mecanismo proposto para tal evolução



Fonte: ROSHANGHIAS *et al.* (2020).

Na Figura 37, é mostrada a evolução microestrutural desta amostra, após o pós-processamento, indicando um completo desaparecimento da região de ligação, transformada em uma área granular. A mesma figura ainda mostra o mecanismo proposto para a evolução microestrutural promovida por este experimento. A análise por EBSD (do inglês *Electron Backscatter Diffraction*) também validou a transformação da região de ligação em uma área com estrutura cristalina granular homogênea. Como resultado, resistências ao cisalhamento da ordem de 110 MPa foram registradas nesta amostra em questão (ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO, 2021).

5 CONSIDERAÇÕES FINAIS

Com a completa exposição dos experimentos deste trabalho e seus resultados, foi apresentado o método experimental e investigativo da otimização dos parâmetros de processo de interligação de *chips* de silício com diferentes acabamentos, nomeadamente *bumps* de ouro e pilares de cobre, em diferentes substratos rígidos e flexíveis, nomeadamente papel e plástico PET com circuito impresso em tinta de prata, placa de circuito impresso do tipo FR-4 e *chip* de silício com acabamento em pilares de cobre usado como substrato.

Para a validação dos experimentos performados, foram feitas medições de resistência elétrica de contato e resistência mecânica de cisalhamento entre *chip* e substrato, seguidas de inspeção e análise visual por meio de microscopia óptica e eletrônica das interfaces de ligação e fraturas das junções das amostras que apresentaram as maiores forças de resistência ao cisalhamento e do corte transversal de amostras ainda conectadas, preparadas por metalografia, unidas com a configuração de parâmetros que apresentou os melhores indicadores de qualidade.

Durante a análise dos resultados dos experimentos da ligação de *chips* de silício com *bumps* de ouro em substratos flexíveis, foi determinado que o método termossônico em baixos níveis de energia ultrassônica, abaixo de 12 W, aplicado no substrato de papel, a uma temperatura de 150 °C exibiu os melhores resultados com relação à resistência ao cisalhamento, alcançando um valor médio de próximo de 20 MPa para as amostras feita com força de ligação de 20 N. Esta mesma configuração também exibiu os melhores resultados de resistência média de contato, com valores de cerca de 1 Ω/*bump*.

Considerando isto, foi mostrado que, empregando energia ultrassônica, ligações químicas entre o *bump* de ouro e os terminais porosos de prata foram criadas, mesmo nas baixas temperaturas de 100 °C e 150 °C. As inspeções elétricas e ópticas indicaram uma superioridade do método termossônico em relação ao método termocompressivo em termos de resistência de contato. Assim, acredita-se que deve ser considerado o uso de método termossônico assistido por adesivo NCP em montagens microeletrônicas com substratos sensíveis como sistemas

inteligentes em papel (SOP, do inglês *System on Paper*) e em PET (SOPE, do inglês *System on PET*), lembrando que o objetivo final da pesquisa que originou este trabalho acadêmico foi o desenvolvimento de tiras sensoriais inteligentes e flexíveis. Sugere-se, para trabalhos futuros, investigação voltada para o exame da confiabilidade das montagens feitas com esta técnica, como testes de flexibilidade mecânica, durabilidade, umidade e de ciclos térmicos.

Para o experimento de conexão dos *chips* de silício com *bumps* de ouro nos substratos rígidos de placa de circuito impresso do tipo FR-4, determinou-se, a partir dos resultados analisados, que os adesivos utilizados têm performance semelhante em relação à resistência elétrica de contato, com valores na faixa de $300\text{ m}\Omega$, quando usadas forças de ligação de 20 N e 30 N , com temperatura de $170\text{ }^\circ\text{C}$. Acredita-se que a polimerização concorrente à deformação dos *bumps* induza uma força compressiva permanente na área da junção entre *chip* e substrato, garantindo uma maior resiliência e confiabilidade da conexão criada.

Como o adesivo NCP é mais barato e não possui partículas metálicas na sua composição, é mais indicado para processos de interligação *flip chip* no geral e, principalmente, para aplicações com *pitch* muito pequenos, onde as partículas condutivas podem se tornar um impeditivo. A utilização desses tipos de adesivos é promissora para processos de ligação *flip chip* de alto *throughput*, especialmente para aplicações híbridas e flexíveis.

Com relação à investigação do processo de interligação entre *chips* de silício com acabamento em pilares micrométricos de cobre, é possível afirmar que, com o uso de baixos valores de potência ultrassônica e temperatura na interface de ligação com valor estimado de $141\text{ }^\circ\text{C}$, a ligação direta de pilares de cobre por método termossônico satisfaz o requerimento exigido por norma para a ligação de *chips*. Como visto na análise feita, ligação termossônica de 6 W de potência ultrassônica com temperatura de $350\text{ }^\circ\text{C}$ e compressão de ligação de 6 MPa são os parâmetros otimizados. Para esses valores, ligações fortes de cobre com uma resistência de pressão ao cisalhamento de até 74 MPa foram obtidas, com aplicação de pulso ultrassônico de apenas alguns milissegundos.

Não obstante, com o experimento adicional de pós-processamento, determinou-se que, mesmo amostras fracamente ligadas por método termossônico

podem ser posteriormente fortalecidas por uso de termocompressão global, ou recozimento (*annealing*). Considerando que apenas termocompressão tem um *throughput* baixo devido ao tempo longo de processamento, alta temperatura e pressão, a ligação termossônica pode ser proposta como uma técnica alternativa rápida para ligação entre *chips* e entre *chip* e *wafer* também.

Ligação termossônica direta de pilares de cobre provou ser uma metodologia robusta de empilhamento 3D de *chips* que pode ser posteriormente implementada para ligação de múltiplos *chips* em *wafer*. Já que esta técnica se baseia em interdifusão de átomos de cobre, técnicas de polimento, limpeza de superfície ou ultra-vácuos não se fazem necessárias. Além disso, a ligação de *chips* sob condição de vácuo resulta em um processo lento e relativamente ineficiente. Para trabalhos futuros, sugere-se e pretende-se executar mais testes mecânicos para uma caracterização mais elaborada da junção, além de investigar o desempenho a longo prazo das interconexões criadas, assim como sua performance elétrica.

REFERÊNCIAS

- ARAI, Y. *et al.* **Evaluation of ultrasonic vibration energy for copper-to-copper bonding by flip-chip bonding technology** 2014 International Conference on Electronics Packaging, ICEP 2014. p. 658-661, 2014
- BOGATIN, Eric; POTTER, Dick; PETERS, Laura. **Roadmaps of packaging technology**. Scottsdale: Integrated Circuit Engineering, 1997.
- BONOTEC ADHESIVES. **Solutions for IC die attach**. Disponível em: <http://www.bonotec-adhesives.com/index.php?s=/En/App/appDetail/catid/62.html>. Acesso em: 08 fev. 2021.
- CHAN, Y. *et al.* Electrical Characterization of NCP- and NCF-Bonded Fine-Pitch Flip-Chip-on-Flexible Packages. **Advanced Packaging, IEEE Transactions on**, v. 29, p. 142–147, 1 mar. 2007.
- CHUANG, C.-L. *et al.* Increasing the bonding strength of chips on flex substrates using thermosonic flip-chip bonding process with nonconductive paste. **Microelectronic Engineering**, v. 87, n. 4, p. 624–630, 2010.
- DING, F. **Flip Chip and Lid Attachment Assembly Process Development**. Auburn University. 2006.
- DISCO Technology. **Overview of Dicing Before Grinding (DBG) Process**. Disponível em: <https://technology.discousa.com/method/dicing-before-grinding/>. Acesso em: 08 fev. 2021.
- DOU, G. *et al.* **Thermosonic-Adhesive (TS-A) Integration of Flexible Integrated Circuits on Flexible Plastic Substrates** 2018 7th Electronic System-Integration Technology Conference (ESTC). **Anais...**2018
- ELANGO VAN, S.; PRAKASAN, K.; JAIGANESH, V. **Optimization of ultrasonic welding parameters for copper to copper joints using design of experiments**. The International Journal of Advanced Manufacturing Technology, v. 51, p. 163–171, 1 nov. 2010.
- ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO. PMT3100 - Introdução à Ciência dos Materiais para Engenharia. **Estrutura e Processamento de Materiais Metálicos**. 2014. 68 slides. Disponível em: <https://edisciplinas.usp.br/course/view.php?id=4259> .Acesso em: 12 mar. 2021.
- Finetech GmbH. **Sub-Micron Table Top Die Bonder**. Disponível em: <https://www.finetech.de/de/produkte/uebersicht/sub-micron-bonder-fineplacerr-lambda-2/>. Acesso em: 28 abr. 2021.
- FU-LIANG, W.; HAN, L. **Ultrasonic Effects in the Thermosonic Flip Chip Bonding Process**. Components, Packaging and Manufacturing Technology, IEEE Transactions on, v. 3, p. 336–341, 1 fev. 2013.

GERBER, M. *et al.* **Next generation fine pitch Cu Pillar technology — Enabling next generation silicon nodes** 2011 IEEE 61st Electronic Components and Technology Conference (ECTC). **Anais...**2011

GOULD, J. **Mini Briefing: Adhesives in Electronics** (Prime Faraday Partnership). *Polym. Electron.*, p. 1–6, 2004.

JAMES, L.; DALE, S. **Adhesives Technology for Electronic Applications**. *Adhesives Technology for Electronic Applications*, 1 jan. 2011.

JANGAM, S. *et al.* **Fine-Pitch ($\leq 10 \mu\text{m}$) Direct Cu-Cu Interconnects Using In-Situ Formic Acid Vapor Treatment**. 2019 IEEE 69th Electronic Components and Technology Conference. p. 620-627.

ZHANG, J.. **Wafer Fabrication** : Automatic Material Handling System. Berlin: De Gruyter, 2018. ISBN 9783110486902. Disponível em: <http://search.ebscohost.com/login.aspx?direct=true&db=nlebk&AN=1926786&lang=pt-br&site=ehost-live>. Acesso em: 25 mar. 2021.

JUNHUI, L. *et al.* **Effects of Ultrasonic Power and Time on Bonding Strength and Interfacial Atomic Diffusion During Thermosonic Flip–Chip Bonding**. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, v. 2, n. 3, p. 521–526, 2012.

KIM, J. *et al.* **Ultrasonic Bonding for MEMS Sealing and Packaging**. *IEEE Transactions on Advanced Packaging*, v. 32, n. 2, p. 461–467, 2009.

KIM, S. C.; KIM, Y. H. **Low temperature chip on film bonding technology for 20 μm pitch applications**. *Journal of Materials Science: Materials in Electronics*, v. 27, n. 4, p. 3658–3667, 2016.

LARSSON, A. **Die-attach for high-temperature electronics**. 2019. 110 p. Pós-doutorado. University of South-Eastern Norway.

LIU, Z. *et al.* **Cohesive failure analysis of an array of IC chips bonded to a stretched substrate**. *International Journal of Solids and Structures*, v. 50, n. 22, p. 3528–3538, 2013.

MANIKAM, V. R.; CHEONG, K. Y. **Die attach materials for high temperature applications: A review**. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, v. 1, n. 4, p. 457–478, 2011.

MIN, T. A. *et al.* **Influence of bump geometry, adhesives and pad finishings on the joint resistance of Au bump and A/NCA flip chip interconnection**. *Proceedings of 7th Electronics Packaging Technology Conference, EPTC 2005*, v. 2, n. May, p. 797–801, 2005.

Palomar Technologies. **Die Bonding**. Disponível em:
<https://www.palomartechnologies.com/processes/die-bonding/thermocompression>.
Acesso em: 06 mar. 2021.

PANIGRAHI, A. K. *et al.* **Demonstration of sub 150°C Cu-Cu thermocompression bonding for 3D IC applications, utilizing an ultra-thin layer of Manganin alloy as an effective surface passivation layer**. *Materials Letters*, v. 194, p. 86–89, 2017.

PARK, H.; KIM, S. E. **Two-Step Plasma Treatment on Copper Surface for Low-Temperature Cu Thermo-Compression Bonding**. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, v. 10, n. 2, p. 332–338, 2020.

PFLUGLER, N. *et al.* Temperature-dependent adhesion measurements of die attach materials to moulding compounds and lead frame surfaces enabling robust package designs. **2018 7th Electronic System-Integration Technology Conference, ESTC 2018 - Proceedings**, 2018.

QUIRK, M.; SERDA, J. **Semiconductor Manufacturing Technology**. Prentice Hall. 2001.

RAGHAVAN, N. **Commercialization of low temperature copper thermocompression bonding for 3D integrated circuits**. 29 abr. 2009.

REHMAN, J. UR; CHOWDHURY, M. H. **Interconnects for Flexible and Printed Electronic Applications**. 2019 IEEE International Conference on Flexible and Printable Sensors and Systems (FLEPS). *Anais*.2019.

ROSHANGHIAS, A.; RODRIGUES, A. D.; HOLZMANN, D. **Thermosonic fine-pitch flipchip bonding of silicon chips on screen printed paper and PET substrates**. *Microelectronic Engineering*, v. 228, p. 111330, 2020.

ROSHANGHIAS, A.; RODRIGUES, A. D. **Low-Temperature fine-pitch flip-chip bonding by using snap cure adhesives and Au stud bumps**. 22nd European Microelectronics and Packaging Conference & Exhibition (EMPC). *Anais*.2019.

ROSHANGHIAS, A. *et al.* **Thermosonic direct Cu pillar bonding for 3D die stacking**. *SN Applied Sciences*, v. 2, n. 6, p. 1091, 2020.

SHIMOTE, Y. *et al.* **The fine pitch Cu-pillar bump interconnect technology utilizing NCP resin, achieving the high quality and reliability** 2014 International Conference on Electronics Packaging (ICEP). *Anais*...2014

SZENDIUCH, I. **Development in electronic Packaging - Moving to 3D system configuration**. *Radioengineering*, v. 20, n. 1, p. 214–220, 2011.

TAMAI, T. *et al.* **Surface modification of PEN and PET substrates by plasma treatment and layer-by-layer assembly of polyelectrolyte multilayer thin films**

and their application in electroless deposition. RSC Advances, v. 7, n. 53, p. 33155–33161, 2017.

TUMMALA, R. R. **Packaging: past, present and future.** 2005 6th International Conference on Electronic Packaging Technology. Anais...2005.

WU, B. *et al.* **Micro Copper Pillar Interconnection Using Thermosonic Flip Chip Bonding.** Journal of Electronic Packaging, v. 140, 7 jul. 2018.

YOON, D. J.; LEE, S. H.; PAIK, K. W. **A Study on the Anchoring Polymer Layer(APL) Solder Anisotropic Conductive Films (ACFs) for Ultra Fine Pitch Flex-on-Flex (FOF) Assembly Using an Ultrasonic Bonding Method.** Proceedings - Electronic Components and Technology Conference, v. 2018- May, p. 15–20, 2018.

ZHONG, Z. *et al.* **Characterization of SnAgCu and SnPb solder joints on low-temperature co-fired ceramic substrate.** Soldering & Surface Mount Technology, v. 19, p. 18–24, 25 set. 2007.

ZIKULNIG, J. *et al.* **Inkjet printing and characterisation of a resistive temperature sensor on paper substrate.** Flexible and Printed Electronics, v. 4, n. 1, p. 15008, 2019.



MINISTÉRIO DA EDUCAÇÃO
SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
CAMPUS FLORIANÓPOLIS

TERMO DE AUTORIZAÇÃO DE DIVULGAÇÃO

Eu, Augusto Daniel Rodrigues, de nacionalidade brasileira, CPF nº 049.746.449-71 , RG nº 5.214.459, estudante do Curso de Bacharelado em Engenharia Eletrônica, na qualidade de autor(a) do TCC intitulado “Investigação experimental da influência dos parâmetros de processo na interligação de chips rígidos de silício em substratos”, **AUTORIZO**, neste ato de depósito, sua divulgação total e gratuita, para fins acadêmicos, em meio eletrônico, mediante registro nesta biblioteca, bem como em via impressa, se necessário, de acordo com determinação institucional e viabilidade técnica do Instituto Federal de Santa Catarina - Câmpus Florianópolis.

Ocasionará registro de patente? [] sim [X] não

Este trabalho deve ser publicado nos meios institucionais somente após 12 meses da entrega à biblioteca, com o intuito de manter a originalidade em publicações científicas (artigos).

Florianópolis, 13 de maio de 2021.

Assinatura do(a) Estudante



MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
CAMPUS FLORIANÓPOLIS

TERMO DE COMPROMISSO DE ORIGINALIDADE

O presente termo é documento integrante de todo Trabalho de Conclusão de Curso (TCC) a ser submetido à avaliação do IFSC Câmpus Florianópolis como requisito necessário e obrigatório à obtenção do grau de Engenheiro Eletrônico.

Eu, Augusto Daniel Rodrigues, CPF 049.746.449-71, Registro de Identidade 5.214.459, na qualidade de estudante de Graduação do Curso de Bacharelado em Engenharia Eletrônica do IFSC Câmpus Florianópolis, declaro que o Trabalho de Conclusão de Curso apresentado em anexo, requisito necessário à obtenção do grau de Engenheiro Eletrônico, encontra-se plenamente em conformidade com os critérios técnicos, acadêmicos e científicos de originalidade.

Nesse sentido, declaro, para os devidos fins, que:

a) o referido TCC foi elaborado com minhas próprias palavras, ideias, opiniões e juízos de valor, não consistindo, portanto, PLÁGIO, por não reproduzir, como se meus fossem, pensamentos, ideias e palavras de outra pessoa;

b) as citações diretas de trabalhos de outras pessoas, publicados ou não, apresentadas em meu TCC, estão sempre claramente identificadas entre aspas e com a completa referência bibliográfica de sua fonte, de acordo com as normas estabelecidas pelo IFSC - Câmpus Florianópolis;

c) todas as séries de pequenas citações de diversas fontes diferentes foram identificadas como tais, bem como às longas citações de uma única fonte foram incorporadas suas respectivas referências bibliográficas, pois fui devidamente informado(a) e orientado(a) a respeito do fato de que, caso contrário, as mesmas constituiriam plágio;

d) todos os resumos e/ou sumários de ideias e julgamentos de outras pessoas estão acompanhados da indicação de suas fontes em seu texto e as mesmas constam das referências bibliográficas do TCC, pois fui devidamente informado(a) e orientado(a) a respeito do fato de que a inobservância destas regras poderia acarretar alegação de fraude.

O(a) Professor(a) responsável pela orientação de meu Trabalho de Conclusão de Curso (TCC) apresentou-me a presente declaração, requerendo o meu compromisso de não praticar quaisquer atos que pudessem ser entendidos como plágio na elaboração de meu TCC, razão pela qual declaro ter lido e entendido todo o seu conteúdo e submeto o documento em anexo para apreciação do IFSC - Câmpus Florianópolis como fruto de meu exclusivo trabalho.

Florianópolis, 13 de maio de 2021.

Assinatura do(a) Estudante