

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE
SANTA CATARINA - CÂMPUS FLORIANÓPOLIS
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELETRÔNICA**

LARAH FARIAS RODRIGUES BARBOZA

**PROJETO DE UM AMPLIFICADOR OTA MILLER PARA ADC SIGMA-DELTA DE
BAIXA TENSÃO PARA A FAIXA DE ÁUDIO**

FLORIANÓPOLIS, 2025.

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE
SANTA CATARINA - CÂMPUS FLORIANÓPOLIS
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELETRÔNICA**

LARAH FARIAS RODRIGUES BARBOZA

**PROJETO DE UM AMPLIFICADOR OTA MILLER PARA ADC SIGMA-DELTA DE
BAIXA TENSÃO PARA A FAIXA DE ÁUDIO**

Trabalho de Conclusão de Curso submetido ao Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina como parte dos requisitos para obtenção do título de Engenheira em Eletrônica.

Orientador:
Prof. Luis Carlos Martinhago Schlichting,
Dr.

FLORIANÓPOLIS, 2025.

Ficha de identificação da obra elaborada pelo autor.

Barboza, Larah

PROJETO DE UM AMPLIFICADOR OTA MILLER PARA ADC SIGMA-DELTA DE BAIXA TENSÃO PARA A FAIXA DE ÁUDIO / Larah Barboza; orientação de Luis Carlos Martinhago Schlichting.
- Florianópolis, SC, 2025.

50 p.

Trabalho de Conclusão de Curso (TCC) - Instituto Federal de Santa Catarina, Câmpus Florianópolis. Bacharelado em Engenharia Eletrônica. Departamento Acadêmico de Eletrônica.

Inclui Referências.

1. CMOS. 2. OTA totalmente diferencial. 3. Modulador Sigma Delta. 4. Metodologia gm/ID. I. Martinhago Schlichting, Luis Carlos. II. Instituto Federal de Santa Catarina. III. PROJETO DE UM AMPLIFICADOR OTA MILLER PARA ADC SIGMA-DELTA DE BAIXA TENSÃO PARA A FAIXA DE ÁUDIO.

PROJETO DE UM AMPLIFICADOR OTA MILLER PARA ADC SIGMA-DELTA DE BAIXA TENSÃO PARA A FAIXA DE ÁUDIO

LARAH FARIAS RODRIGUES BARBOZA

Este trabalho foi julgado adequado para obtenção do título de Engenheira em Eletrônica em 2025 e aprovado na sua forma final pela banca examinadora do Curso de Engenharia Eletrônica do Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina.

Florianópolis, 31 de julho, 2025.

Banca Examinadora:

Documento assinado digitalmente
 **LUIS CARLOS MARTINHAGO SCHLICHTING**
Data: 21/08/2025 10:16:37-0300
Verifique em <https://validar.iti.gov.br>

Luis Carlos Martinhago Schlichting, Dr.
Instituto Federal de Santa Catarina

Documento assinado digitalmente
 **MARIA CLAUDIA DE ALMEIDA CASTRO**
Data: 27/08/2025 07:19:34-0300
Verifique em <https://validar.iti.gov.br>

Maria Cláudia de Almeida Castro, Dra.
Instituto Federal de Santa Catarina

Documento assinado digitalmente
 **JONY LAUREANO SILVEIRA**
Data: 27/08/2025 19:19:18-0300
Verifique em <https://validar.iti.gov.br>

Jony Laureano Silveira, Dr.
Instituto Federal de Santa Catarina

AGRADECIMENTOS

Agradeço à minha mãe, por todo apoio, orientação, incentivo e exemplo.

À minha irmã, por ser inspiração e exemplo de originalidade.

À Lucas e Felipe, por todo apoio, paciência, dicas, incentivos e carinho.

Ao Prof. Dr. Luis Carlos Martinhago Schlichting, por ter aceitado esse desafio, pela orientação paciente e pelos incentivos ao crescimento de todos os alunos cujas vidas cruzam à sua.

À minhas avós e à família como um todo, são figuras muito importantes na minha vida.

Aos Professores do IFSC, em especial os Professores do DAELN, que demonstram uma grande realização com suas profissões por meio da qualidade no seu ensino.

À todos os amigos que contribuíram com essa jornada.

Ao Inova Semicondutores, por ter sido essa porta de entrada a especialização em microeletrônica que pretendo seguir.

Ao ensino público de qualidade.

Lutando contra a correnteza,
a carpa sobe o rio e se transforma em dragão,
simbolizando força, determinação e perseverança.

RESUMO

Este trabalho descreve o projeto de um amplificador de transcondutância totalmente diferencial para um modulador analógico-digital Sigma-Delta de baixo consumo, em tecnologia CMOS, para sinais da faixa de áudio. Para o desenvolvimento do amplificador, foi empregada a metodologia g_m/I_D , que consiste na utilização de curvas características dos transistores de uma tecnologia para seu dimensionamento. O sistema foi analisado e projetado por meio de equações e simulações, visando à obtenção das especificações do amplificador. Além do projeto elétrico foi realizado o projeto de layout. O amplificador constitui o primeiro estágio de integração do modulador sigma-delta de tempo contínuo, sendo este bloco de entrada o de maior consumo energético dentro do modulador. O projeto foi implementado na tecnologia de 65 nm, utilizando-se ferramentas Cadence para sua concepção e validação. O amplificador alcança um ganho de 81,3893 dB e uma largura de banda de ganho (GBW) de 39,3834 MHz, operando com uma fonte de alimentação de 2.5V.

Palavras-chave: CMOS. OTA totalmente diferencial. Modulador Sigma Delta. Metodologia g_m/I_D .

ABSTRACT

This work describes the design of a fully differential transconductance amplifier for a low-power Sigma-Delta analog-to-digital modulator, in CMOS technology, for audio range signals. For the development of the amplifier, the g_m/I_D methodology was used, which consists of using the characteristic curves of the transistors of a technology for its sizing. The system was analyzed and designed through equations and simulations, aiming at obtaining the amplifier's specifications. In addition to the electrical design, the layout design was also performed. The amplifier constitutes the first integration stage of the continuous-time sigma-delta modulator, this input block being the one with the highest energy consumption within the modulator. The project was implemented in 65 nm technology, using Cadence tools for its conception and validation. The amplifier achieves a gain of 81.3893 dB and a gain-bandwidth (GBW) of 39.3834 MHz, operating with a 2.5V power supply.

Keywords: CMOS. Fully Differential OTA. Sigma Delta Modulator. g_m/I_D method.

LISTA DE FIGURAS

Figura 1 – Estrutura de um MOSFET do tipo N.	16
Figura 2 – (a) Curva I_D/V_G e (b) Curva I_D/V_D	17
Figura 3 – Estrangulamento o canal	17
Figura 4 – Modelo de pequenos sinais de um MOSFET considerando a modulação do comprimento do canal	18
Figura 5 – Espelho de corrente utilizando transistores MOS	19
Figura 6 – Característica de saída do espelho de corrente	19
Figura 7 – Sinais diferenciais	20
Figura 8 – Par diferencial	21
Figura 9 – Par totalmente diferencial com carga ativa	22
Figura 10 – CMFB	23
Figura 11 – Diagrama de blocos do conversor sigma delta	26
Figura 12 – Diagrama de blocos do modulador sigma delta de tempo discreto	26
Figura 13 – Diagrama de blocos do modulador sigma delta de tempo contínuo	27
Figura 14 – ClFF	27
Figura 15 – Ruído referenciado à entrada	28
Figura 16 – Ruído referenciado à entrada	28
Figura 17 – Floorplan de um amplificador operacional com oito pinos	29
Figura 18 – Centroide comum	30
Figura 19 – Interdigitação	30
Figura 20 – Curva $g_m/I_D/I_n$	31
Figura 21 – Fluxo de projeto com circuitos integrados	33
Figura 22 – Esquemático do amplificador OTA Miller de dois estágios	34
Figura 23 – <i>Floorplan</i>	35
Figura 24 – Diagrama do primeiro estágio	36
Figura 25 – Curva característica NMOS do par de entrada	37
Figura 26 – CMFB	39
Figura 27 – Resposta em frequência do amplificador OTA Miller	40
Figura 28 – PSD sem o amplificador projetado	41
Figura 29 – PSD com o amplificador projetado e componentes da tecnologia	41
Figura 30 – <i>Layout</i> do amplificador	42
Figura 31 – DRC	42
Figura 32 – LVS	43
Figura 33 – PSD com parasitas	43

LISTA DE TABELAS

Tabela 1 – Especificações	33
Tabela 2 – Tensões V_{DS} distribuídas para os transistores do primeiro estágio. .	36
Tabela 3 – Valores de largura do canal dos transistores para o projeto do amplificador.	38

LISTA DE ABREVIATURAS E SIGLAS

ADC	<i>Analog-to-Digital Converter</i> (Conversor analógico-digital)
CAD	<i>Computer-Aided Drafting</i> (Desenho Auxiliado por Computador)
CMFB	<i>Common-mode FeedBack</i> (Realimentação de modo comum)
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> (Semicondutor de Óxido Metálico Complementar)
CMRR	<i>Common-mode rejection ratio</i> (taxa de rejeição de modo comum)
DRC	<i>Design Rule Check</i> (Verificação de Regras de Projeto)
GBW GBWP	<i>Gain-Bandwidth Product</i> (Produto de Largura de Banda de Ganho)
LVS	<i>Layout Versus Schematic</i> (Esquemático Versus <i>Layout</i>)
OTA	Amplificador Operacional de Transcondutância
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i> (Programa de Simulação com Ênfase em Circuito Integrado)
UGBW	<i>Unity Gain-Bandwidth</i> (Largura de Banda de Ganho Unitário)

SUMÁRIO

1	INTRODUÇÃO	12
1.1	Justificativa	13
1.2	Definição do Problema	13
1.3	Objetivo Geral	14
1.4	Objetivos Específicos	14
1.5	Estrutura do Trabalho	14
2	FUNDAMENTAÇÃO TEÓRICA	16
2.1	Transistor MOS	16
2.1.1	Estrutura do transistor MOSFET	16
2.1.2	Características de corrente e tensão em dispositivos MOS	16
2.1.3	Modelo de pequenos sinais	17
2.2	Espelho de corrente	18
2.3	Amplificadores	19
2.4	Amplificadores diferenciais	20
2.4.1	Par diferencial	21
2.4.2	Amplificadores totalmente diferenciais	21
2.4.2.1	<i>Parâmetros de amplificadores operacionais</i>	22
2.5	Realimentação de modo comum (<i>Common-mode FeedBack</i> - CMFB)	23
2.6	O amplificador de transcondutância com dois estágios	24
2.6.1	Compensação Miller	24
2.7	Conversores analógico-digital	25
2.7.1	Conversores Sigma Delta	25
2.7.2	Modulador sigma delta	26
2.7.2.1	<i>Ruído referenciado à entrada</i>	27
2.7.2.2	<i>Número efetivo de bits</i>	28
2.8	Layout de circuitos integrados	28
2.9	Metodologia gm/ID	30
3	METODOLOGIA	32
4	APRESENTAÇÃO DOS RESULTADOS	36
4.1	Projeto elétrico do amplificador	36
4.2	Layout do amplificador	41
5	CONSIDERAÇÕES FINAIS	44
5.1	Sugestões para trabalhos futuros	44
	REFERÊNCIAS	45
	APÊNDICES	47
	APÊNDICE A – ESQUEMÁTICO DO MODULADOR SIGMA DELTA	48
	APÊNDICE B – LAYOUT DO MODULADOR SIGMA DELTA	49

1 INTRODUÇÃO

Este trabalho visa explorar o projeto de um amplificador operacional de transcondutância (*Operational Transconductance Amplifier* - OTA), de dois estágios de amplificação e com compensação Miller, direcionado especificamente para o projeto de um conversor analógico digital (*Analog-to-Digital Converter* - ADC) do tipo Sigma-Delta de tempo contínuo para a faixa de áudio. Para tal, foram considerados como parâmetros de projeto o desempenho, o consumo de energia e a otimização de parâmetros, como: ganho, largura de banda e rejeição a ruídos. O estudo foi realizado utilizando a tecnologia de Semicondutor de Óxido Metálico Complementar (*Complementary Metal-Oxide-Semiconductor* - CMOS) de 65 nm, com o auxílio de ferramentas computacionais para a execução e validação do projeto.

De acordo com Serra-Graells, Uranga e Barniol (2004), a parcela analógica de projetos de sistemas mistos demanda maior tempo e esforço para otimização em comparação à parcela digital, o que justifica a necessidade de ferramentas computacionais. Adicionalmente, os autores indicam o uso do Programa de Simulação com Ênfase em Circuito Integrado (*Simulation Program with Integrated Circuit Emphasis* - SPICE) como uma solução para a fácil reaplicação do conhecimento de um projeto em outros.

Palma e Sandoval-Ibarra (2023) afirmam que o projeto de um Amplificador Operacional Transcondutância (OTA) é intrinsecamente o mais oneroso e representa a maior parcela de consumo em sistemas analógicos. Consequentemente, a redução do consumo de energia é um objetivo sempre que viável.

O amplificador a ser apresentado neste trabalho integra o bloco de modulação do ADC previamente mencionado.

Os avanços no processamento de sinais e a crescente demanda por dispositivos eletrônicos de alto desempenho impulsionam o desenvolvimento de ADCs mais eficientes, cuja avaliação pode ser realizada por meio de parâmetros específicos de qualidade do sinal, consumo de energia e tempo de conversão (MONOLITHIC POWER SYSTEMS, [s.d.]). Segundo Fan, Huijing e Gang (2013), dentre as arquiteturas de ADCs empregadas para a faixa de áudio, o conversor Sigma-Delta sobressai pela sua capacidade de oferecer alta resolução e mitigação de ruídos.

Além disso, em ADCs Sigma-Delta, o sinal de entrada é processado por um amplificador, sendo este o principal responsável pela suscetibilidade ao ruído do sistema. Portanto, faz-se necessário o desenvolvimento de um OTA otimizado para o sinal de entrada de cada projeto, considerando suas limitações de área e potência, a fim de assegurar a integridade do sinal e minimizar distorções (KESTER, 2018).

Entre as topologias de amplificadores OTA, a configuração com compensa-

ção Miller destaca-se pela simplicidade, alta estabilidade e capacidade de operação em amplas faixas de frequência. Ademais, a utilização de amplificadores totalmente diferenciais contribui para a redução de ruídos de modo comum na entrada, permitindo um melhor condicionamento do sinal para as etapas subsequentes na conversão analógico-digital.

1.1 Justificativa

O aumento do uso de sistemas que processam sinais no domínio digital e a diversificação de suas aplicações gera a necessidade por conversores de dados personalizados. Entre os diferentes tipos de conversores de dados estão os sobre-amostrados, sendo os conversores sigma-delta amplamente empregados em aplicações na faixa de áudio, pois podem alcançar uma alta resolução (acima de 16 bits) com um baixo ruído. Considerando que cada projeto possui sua própria tecnologia e requisitos específicos, é necessário dimensionar os blocos do ADC de forma customizada.

De acordo com Baker (2000) o fluxo de projeto de circuitos utilizando CMOS consiste em definir entradas e saídas, realizar cálculos, simulações, *layout* e extração de parasitas. Além disso, as especificações do projeto podem mudar, seja para reduzir custos, simplificar os circuitos ou por modificações nas necessidades que o circuito deve suprir. Somente após as especificações do projeto serem atendidas em simulação, inicia-se o processo de *layout*, e somente após as especificações do projeto serem atendidas em simulações com a extração de indutâncias, capacitâncias e resistências parasitas do circuito, pode-se fabricar o circuito integrado.

A extração de parasitas consiste em verificar, por meio de ferramenta computacional, os elementos capacitivos, resistivos e indutivos gerados pelos componentes e pelas trilhas que os conectam.

A relevância deste estudo reside em mostrar o uso de uma metodologia que, em conjunto com ferramentas computacionais, permite a elaboração do projeto de um amplificador operacional, o qual compõe o modulador de um ADC sigma-delta destinado à área de áudio, oferecendo soluções inovadoras que atendam às demandas da indústria.

1.2 Definição do Problema

Cada projeto de ADC sigma-delta necessita de amplificadores sob-medida para funcionar corretamente, em especial o primeiro, que desempenha um papel importante na qualidade do conversor. Esse amplificador é responsável pela integração no laço de realimentação do modulador e precisa de um ganho DC elevado, de uma largura de banda suficiente para suportar a taxa de amostragem e de baixo ruído.

Dessa forma, o projeto deve considerar cuidadosamente cada uma dessas especificações para garantir o desempenho adequado do sistema. Mas como realizar o projeto deste amplificador de transcondutância para um ADC sigma delta utilizando a metodologia g_m/I_D e a tecnologia CMOS de 65 nm?

1.3 Objetivo Geral

Projetar, utilizando a metodologia g_m/I_D , e validar, por meio de ferramenta computacional, um amplificador operacional de transcondutância totalmente diferencial com dois estágios de amplificação e compensação Miller, utilizando a tecnologia CMOS de 65 nm, para conversores de dados sigma-delta para a faixa de áudio.

1.4 Objetivos Específicos

Visando alcançar o objetivo geral, ressaltam-se os seguintes objetivos específicos:

- a) Realizar o estudo teórico referente à estrutura e o funcionamento de transistores MOSFET;
- b) Realizar o estudo teórico referente ao projeto de circuitos integrados;
- c) Realizar o estudo teórico referente ao funcionamento de conversores sigma-delta;
- d) Realizar o estudo teórico referente ao uso da metodologia g_m/I_D ;
- e) Dimensionar os transistores do amplificador de acordo com as especificações do projeto utilizando a metodologia g_m/I_D ;
- f) Obter e analisar a resposta em frequência do amplificador;
- g) Desenvolver o *layout* dos componentes do amplificador.
- h) Validar via simulação os resultados do projeto

1.5 Estrutura do Trabalho

Este trabalho está organizado em cinco capítulos. No primeiro capítulo é exposto o problema e como ele será abordado ao longo dos próximos capítulos.

O segundo capítulo abrange a revisão bibliográfica, que visa estabelecer uma base de conhecimento literário para a análise da problemática e a definição de uma metodologia.

O terceiro capítulo descreve a metodologia empregada para atingir o objetivo proposto, detalhando os métodos e processos. Subsequentemente, o Capítulo 4 apresenta os resultados obtidos por meio da metodologia descrita anteriormente.

Finalmente, o quinto capítulo oferece uma visão geral da problemática e avalia se o trabalho atingiu seu objetivo, além de propor diretrizes para estudos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

Nesse capítulo serão detalhados os componentes, circuitos e conceitos utilizados ao longo deste projeto.

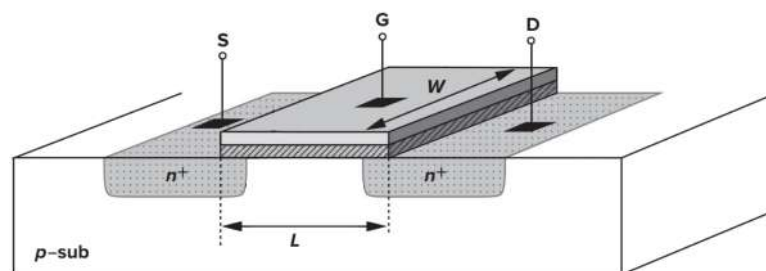
2.1 Transistor MOS

De acordo com (RAZAVI, 2017), transistores CMOS se tornaram componentes práticos a partir de 1960 e se tornaram populares em circuitos digitais graças ao seu baixo consumo. Ao contrário dos transistores de junção bipolar (BJT), transistores CMOS dissipam potência praticamente apenas durante o chaveamento. Foi somente mais tarde que a tecnologia CMOS começou a aparecer em circuitos analógicos, pois permitia a implementação de circuitos digitais e analógicos em um mesmo encapsulamento, reduzindo custos.

2.1.1 Estrutura do transistor MOSFET

O transistor MOSFET possui uma placa condutora superior, *gate* (G), sobre um óxido dielétrico que reside sobre um poço de silício, substrato. Além disso, dois contatos são adicionados ao substrato, chamados de terminais *source* (S) e *drain* (D), conforme mostrado na Figura 1. Aplicar uma tensão no terminal *gate* intensifica a região de depleção existente no substrato próximo aos contatos e assim gera-se um canal condutivo entre os terminais *source* e *drain*. Controlar esse canal, modificando o comprimento do canal (L) e a largura do canal (W), permite a elaboração de dispositivos com ganho (RAZAVI, 2017).

Figura 1 – Estrutura de um MOSFET do tipo N.



Fonte: Adaptado de Razavi (2017).

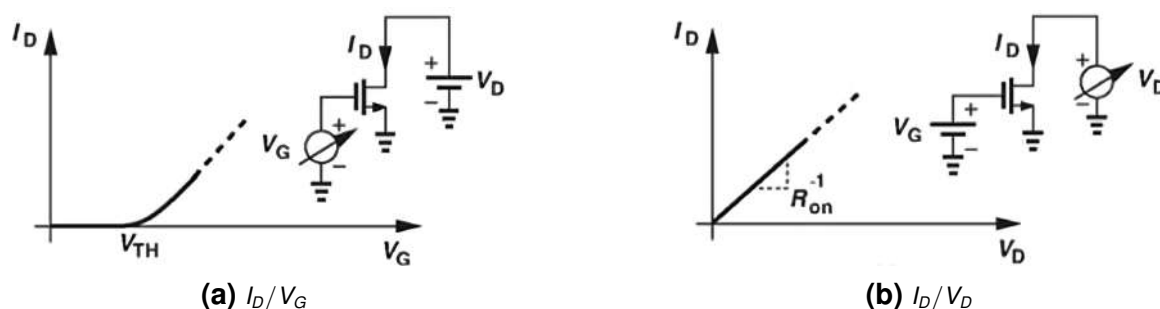
2.1.2 Características de corrente e tensão em dispositivos MOS

De acordo com Razavi (2017) a tensão de *threshold* (V_{th}) é definida como o valor mínimo de tensão aplicado ao *gate* de um transistor necessário para que ocorra condução de corrente entre o *source* e o dreno, também chamado de polarização do transistor. Modificações na dopagem do substrato podem ser feitas para alterar esse valor.

A dependência da corrente entre o *source* e o dreno com a tensão aplicada ao terminal *gate* permite que o transistor seja visto como um resistor variável controlado por tensão a partir do momento em que a tensão V_D excede a tensão V_{th} . Além da aplicação de uma tensão no terminal *gate*, é necessária a aplicação de uma tensão no terminal dreno, para gerar um campo elétrico entre dreno e *source*, e assim, efetivamente existir um fluxo de corrente entre dreno e *source*, visto que o mecanismo de transporte em um MOSFET é uma corrente de deriva de carga (RAZAVI, 2010).

O comportamento da corrente de dreno (I_D) com relação à tensão aplicada ao terminal *gate* (V_G) e ao terminal dreno (V_D) são exibidos na Figura 2a e na Figura 2b, respectivamente. Estas são fundamentais para o entendimento do funcionamento dos dispositivos MOS (RAZAVI, 2010).

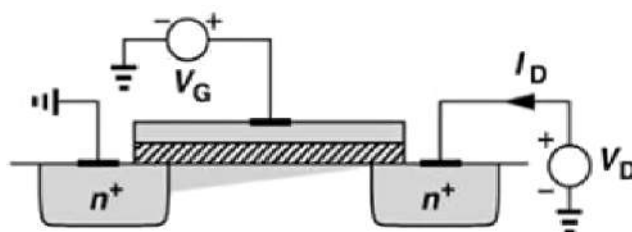
Figura 2 – (a) Curva I_D/V_G e (b) Curva I_D/V_D .



Fonte: Adaptado de Razavi (2010).

Outra característica relevante é que uma tensão V_D elevada, maior ou igual a subtração de V_G por V_{th} , resulta em um estrangulamento do canal, ilustrado na Figura 3. Nessa condição o transistor passa a conduzir uma corrente constante (RAZAVI, 2010).

Figura 3 – Estrangulamento o canal



Fonte: Adaptado de Razavi (2010).

2.1.3 Modelo de pequenos sinais

O modelo de pequenos sinais permite a linearização do comportamento do transistor MOSFET, a partir da análise em torno de um ponto de operação em corrente contínua. Dessa forma, é possível utilizar técnicas da análise de circuitos lineares para estudar circuitos com componentes ativos.

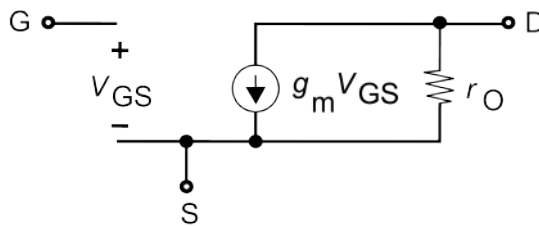
Conforme descrito por Razavi (2010), esse modelo baseia-se na expansão em série de Taylor das equações que regem o funcionamento do dispositivo, desprezando-se os termos de ordem superior e mantendo-se apenas os termos lineares. Por exemplo, a corrente de dreno I_D , que depende de forma quadrática da tensão *gate-source* V_{GS} na região de saturação, é aproximada por uma relação linear entre as variações da transcondutância (g_m) e a tensão V_{GS} . Sendo que g_m é obtido pela derivada da corrente em relação à tensão no ponto de operação, conforme exibido na Equação 1.

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_Q \quad (1)$$

Além da transcondutância, outro parâmetro importante no modelo de pequenos sinais, mostrado na Figura, 4 é a resistência de saída r_o , associada ao efeito da modulação de canal, que introduz uma dependência residual da corrente em relação à tensão dreno-fonte V_{DS} (RAZAVI, 2010).

O modelo de pequenos sinais, portanto, substitui o transistor por um circuito equivalente linear constituído por fontes dependentes e resistores, que representam seu comportamento dinâmico para sinais de pequena magnitude. Isso torna possível a análise de parâmetros como ganho de tensão, impedância de entrada e saída, e resposta em frequência dos amplificadores (RAZAVI, 2010).

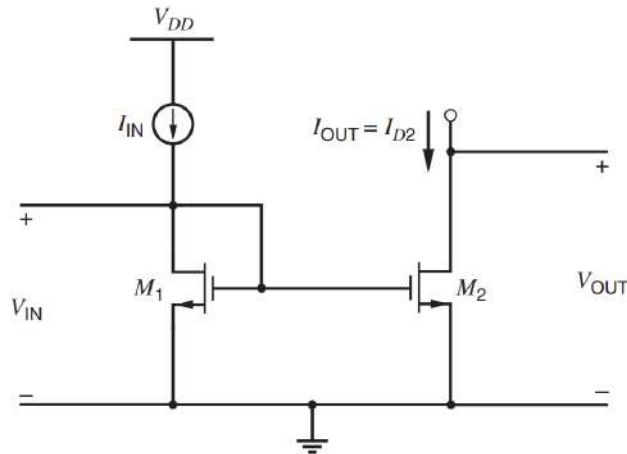
Figura 4 – Modelo de pequenos sinais de um MOSFET considerando a modulação do comprimento do canal



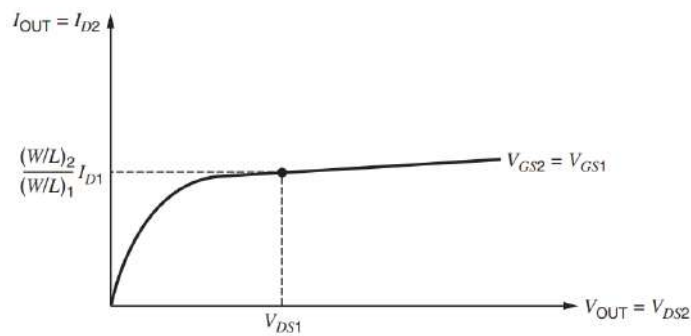
Fonte: Adaptado de Razavi (2010).

2.2 Espelho de corrente

De acordo com Gray *et al.* (2009), espelhos de corrente feitos a partir de dispositivos ativos, transistores, são amplamente utilizados como circuitos de polarização e carga em amplificadores, isso ocorre por conta da baixa sensibilidade desse circuito às variações de temperatura e potência de alimentação. Uma topologia simples de espelho de corrente é exibida na Figura 5. Nessa topologia, diz-se que o transistor M_1 opera em configuração de diodo, na qual as tensões V_{GS} e V_{DS} são iguais. Definir a corrente que passa por M_1 permite que a corrente em M_2 seja determinada pela relação entre as dimensões de M_1 e M_2 . Com tamanhos iguais, possuirão correntes iguais por possuírem tensões V_{GS} iguais, característica exibida na Figura 6.

Figura 5 – Espelho de corrente utilizando transistores MOS

Fonte: Adaptado de Gray *et al.* (2009).

Figura 6 – Característica de saída do espelho de corrente

Fonte: Adaptado de Gray *et al.* (2009).

2.3 Amplificadores

Conforme Sedra e Smith (2007), transdutores em circuitos eletrônicos geralmente produzem sinais de baixa amplitude, na faixa de micro ou mili volts. Esses sinais são muito pequenos para serem processados e por isso precisam de amplificação. Essa amplificação é feita por dispositivos que podem ser classificados como amplificadores de tensão, de corrente, de transcondutância e de transresistência.

Os amplificadores de tensão, que são essencialmente fontes de tensão controladas por tensão, recebem um sinal de entrada em tensão e fornecem um sinal de saída em tensão. Para isso, necessitam de alta impedância de entrada e baixa impedância de saída. Por outro lado, os amplificadores de corrente operam com um sinal de entrada em corrente e entregam um sinal de saída em corrente, funcionando como fontes de corrente controladas por corrente. Já os amplificadores de transcondutância convertem um sinal de entrada em tensão em um sinal de saída em corrente. Por fim, as fontes de transresistência transformam um sinal de entrada em corrente em um sinal de saída em tensão (SEDRA; SMITH, 2007).

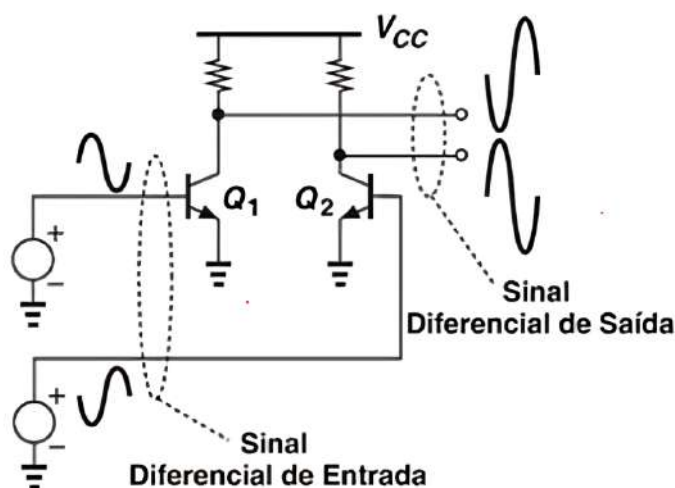
2.4 Amplificadores diferenciais

A abordagem mais direta de amplificação de sinais consiste em utilizar amplificadores *single-ended*, nos quais os sinais são medidos com relação à uma referência comum, tipicamente o terra do sistema. Essa abordagem é mais simples, porém sofre com susceptibilidade a ruídos, uma vez que a amplificação não distingue o sinal de interferências como ruído de chaveamento de circuitos digitais, ruídos advindos do sistema de alimentação e diferenças entre o potencial sendo utilizado como terra (RAZAVI, 2017).

Nesse sentido, segundo Sedra e Smith (2007), circuitos diferenciais de pequenos sinais são muito menos sensíveis a ruídos e interferências que circuitos *single-ended*. Uma vez que nos circuitos diferenciais, ambas entradas estarão sujeitas a interferências por acoplamento indutivo e capacitivo aproximadamente iguais, caracterizando sinais de modo comum. Portanto ao se utilizar a diferença entre os dois sinais, o sinal medido não exibe a interferência sofrida por cada sinal individualmente.

Esse conceito é reforçado por Razavi (2010), ao indicar que utilizar dois sinais, sendo um defasado de 180 graus em relação ao outro, pode-se criar amplificadores livres de *ripple*, interferência que advém da retificação da alimentação e chega à saída. Um exemplo de amplificador diferencial é mostrado na Figura 7. Além disso, utilizar sinais diferenciais em amplificadores de dois estágios amplifica o ganho gerado, graças ao aproveitamento da excursão do sinal de cada ramo.

Figura 7 – Sinais diferenciais



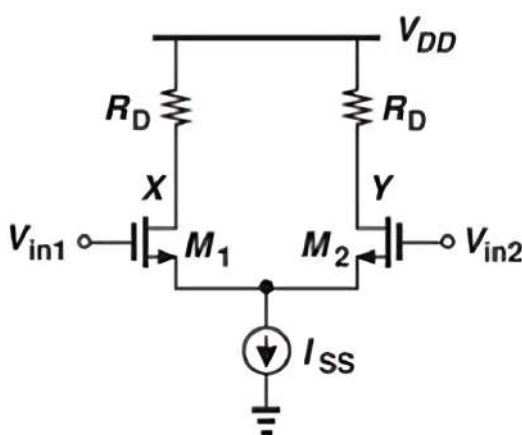
Fonte: Adaptado de Razavi (2010).

A qualidade dessa rejeição aos sinais de modo comum pode ser mensurada pela taxa de rejeição de modo comum (Common-mode rejection ratio - CMRR), definida por Razavi (2017) como a razão entre o ganho diferencial pelo ganho de modo comum do amplificador e tipicamente expressado em decibéis.

2.4.1 Par diferencial

O par diferencial é um circuito que amplifica a diferença entre dois sinais de entrada, sendo elaborado por dois transistores de mesmo dimensionamento posicionados simetricamente. Ainda segundo Razavi (2010), essa simetria é essencial para a operação harmônica, garantindo ganho e resposta lineares. O circuito também possui uma fonte de corrente conectada ao referencial de terra, essa fonte de corrente costuma ser um transistor operando como espelho de corrente e também costuma ser chamado de fonte de corrente de cauda. O circuito é mostrado na Figura 8. Os sinais de entrada são aplicados aos terminais de *gate* dos transistores e as saídas são os terminais de dreno desses mesmos transistores.

Figura 8 – Par diferencial



Fonte: Adaptado de Razavi (2010).

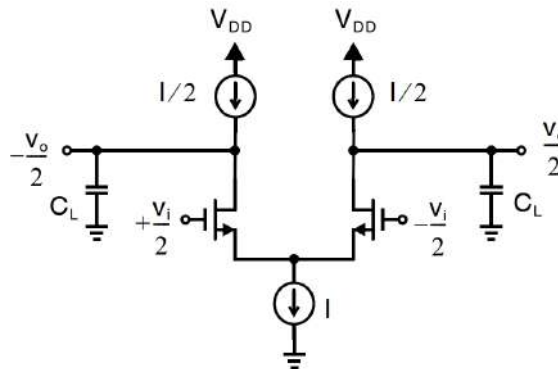
Adicionalmente de acordo com Gray *et al.* (2009), se ambas tensões de entrada forem iguais, as duas saídas também o serão, assim como uma entrada diferencial nula também produzirá uma saída diferencial nula. Ademais, o desempenho do par diferencial está diretamente relacionado à qualidade da fonte de corrente de cauda e à igualdade dos parâmetros dos transistores. Imperfeições na correspondência entre os transistores ou variações na corrente de polarização podem comprometer o ganho e a linearidade do circuito.

2.4.2 Amplificadores totalmente diferenciais

Segundo Carusone, Johns e Martin (2011), para obter um amplificador com maior rejeição à ruídos o amplificador diferencial pode ser aprimorado para um amplificador totalmente diferencial. Essa modificação envolve a utilização de entradas e saídas diferenciais. Uma vantagem em empregar a diferença entre as tensões de saída está no aumento da faixa de tensão de saída, conhecida como *output swing*, o que resulta em um ganho de SNR de pelo menos 3 dB.

Ainda de acordo com Carusone, Johns e Martin (2011), amplificadores totalmente diferenciais tem como vantagem também a mitigação de harmônicas de ordem par. Esse efeito está intrinsecamente vinculado a simetria das distorções harmônicas em torno da tensão de modo comum. O esquemático de um par totalmente diferencial com carga ativa é mostrado na Figura 9.

Figura 9 – Par totalmente diferencial com carga ativa



Fonte: Adaptado de Carusone, Johns e Martin (2011).

Amplificadores totalmente diferenciais feitos para possuir alto ganho em usos com alta impedância possuem como desvantagem a falta de controle do nível dc de tensão na saída. De acordo com Carusone, Johns e Martin (2011), qualquer pequena desproporção entre a corrente de cauda e a corrente nas cargas ativa pode levar os nós do circuito a reduzirem seus valores de tensão, retirando o circuito da polarização correta, além de reduzirem a excursão de tensão de saída e consequentemente reduzir o ganho do amplificador. Para controlar essa tensão de modo comum de saída são utilizados circuitos de realimentação de modo comum (*Common-mode FeedBack* - CMFB).

2.4.2.1 Parâmetros de amplificadores operacionais

Segundo Carter (2009) uma característica importante a ser considerada em amplificadores é a largura de banda levada. Essa largura de banda pode ser definida como largura de banda de ganho unitário, (*unity gain bandwidth* - *UGBW*), ou como produto de largura de banda de ganho (*Gain-Bandwidth product* - *GBW* ou *GBWP*). O *UGBW* se refere às frequências em que a amplificação de laço aberto é maior ou igual a 1 (0 dB). Já o *GBW*, é definido como o produto entre o ganho em laço aberto com a frequência em que é medido.

Adicionalmente, uma relação entre *GBW*, g_m e a capacitância de carga pode ser expressada conforme a Equação 2 (SEDRA; SMITH, 2007).

$$GBW = \frac{g_m}{2\pi C_L} \quad (2)$$

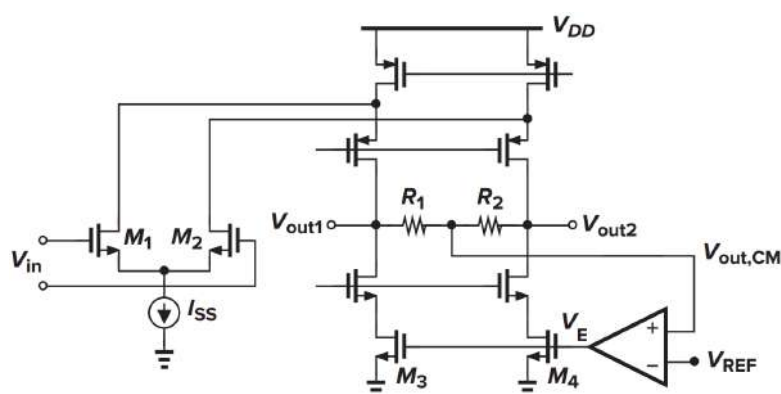
2.5 Realimentação de modo comum (*Common-mode FeedBack* - CMFB)

O processamento de sinais diferenciais possui rejeição ao sinal de modo comum, porém essa rejeição é limitada pelo casamento entre os elementos dos circuitos. Harmônicos de ordem par em sinais diferenciais também são rejeitados devido à sua simetria ímpar. Outro benefício é uma amplitude de sinal dobrada. Porém, apesar dos sinais definirem o modo comum na entrada de amplificadores operacionais, o modo comum de saída é influenciado por incompatibilidades e cargas, necessitando de estabilização de modo comum, especialmente quando o sinal de modo comum não é zero (ALLEN; HOLBERG, 2012).

Essa estabilização visa centralizar a tensão de modo comum entre os limites da fonte de alimentação, o que pode ser alcançado via realimentação local ou externa. Um circuito de CMFB ajusta as fontes de corrente para restaurar a tensão de modo comum para o valor de referência (V_{CMREF}) caso seja desviada. O circuito é em suma uma realimentação negativa, e por isso é necessário atentar à estabilidade, especialmente em amplificadores de alto ganho (ALLEN; HOLBERG, 2012).

Uma estratégia simples e direta de circuito CMFB é a de utilizar resistores de resistência elevada, conectados às saídas do amplificador, assim pode-se medir a média das saídas diferenciais e então comparar esse sinal com um valor de referência (V_{REF}) em um amplificador de diferenças, e assim ajustar a corrente nos ramos do amplificador diferencial (RAZAVI, 2017).

Figura 10 – CMFB



Fonte: Adaptado de Razavi (2017).

De forma similar, circuito de CMFB também pode realizar a medição da tensão na saída utilizando capacitores chaveados ou transistores operando como resistores ativos ou diodos.

2.6 O amplificador de transcondutância com dois estágios

Segundo Serra-Graells, Uranga e Barniol (2004), OTAs possuem como vantagem o fornecimento de um ganho dc elevado ao custo de uma alta impedância de saída, tornando-os indicados para circuitos com cargas capacitivas e resistivas, sendo o segundo caso condicionado ao uso de realimentação. Além disso, ao se utilizar dois estágios de amplificação, pode-se atribuir ao primeiro estágio a função principal de fornecimento de ganho enquanto o segundo estágio fica responsável pelo fornecimento de uma maior excursão de tensão de saída.

Ainda de acordo com Serra-Graells, Uranga e Barniol (2004), uma topologia típica para esse tipo de amplificador consiste em um primeiro estágio de entrada diferencial para ganho e um segundo estágio do tipo fonte comum. O ganho dc total do amplificador é aproximadamente o produto dos ganhos de cada estágio.

Contudo, projetar um amplificador com dois estágios possui o desafio de manter esse sistema, mais complexo que um amplificador de apenas um estágio, estável. A resposta em frequência de um amplificador é caracterizada por seus polos e zeros e considera-se o amplificador estável quando possui uma margem de fase superior a 45° . A margem de fase corresponde ao valor da diferença, em graus, entre a fase de ganho unitário (0 dB) para uma fase de -180° . Cada polo do sistema pode ser visto na resposta em frequência como um ponto onde o ganho passa a cair 20 dB por década e a fase sofre uma mudança de -90° . Cada estágio de amplificação introduz ao sistema um ou mais polos, tornando necessário o uso de elementos para compensar esses polos (SERRA-GRAELLS; URANGA; BARNIOL, 2004).

2.6.1 Compensação Miller

Segundo LEE (2003), sistemas com um polo dominante são preferíveis por possuírem uma grande tolerância à realimentações negativas sem sofrer com problemas de estabilidade. Apesar disso, é muito difícil elaborar sistemas que de fato possui um único polo e por isso aproximações e compensações são realizadas para que o sistema se comporte como se possuísse apenas um polo. Uma forma de realizar a compensação de um polo em amplificadores de dois estágios ocorre por meio da adição de um capacitor entre a saída do primeiro estágio e a entrada do segundo, esse capacitor sofre efeitos de ganho do segundo estágio, desloca o polo não dominante para frequências mais elevadas e desloca o polo dominante para frequências menores, fazendo com que o sistema pareça ter apenas um polo dominante.

Segundo Allen e Holberg (2012), pode-se obter o valor da capacitância de compensação Miller de um amplificador com dois polos e um zero no semiplano direito

por meio da Equação 3.

$$C_C > 0,22 * C_L \quad (3)$$

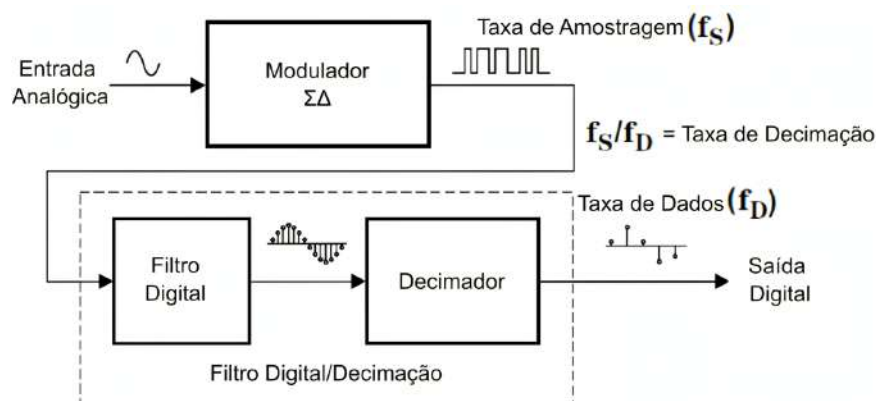
2.7 Conversores analógico-digital

Existem dois tipos principais de conversores analógico-digitais, chamados de conversores de Nyquist, que utilizam uma taxa de amostragem próxima à taxa de Nyquist, e conversores sobreamostrados, que utilizam uma taxa de amostragem muito maior que a de Nyquist. Conversores de Nyquist geram uma saída para cada valor de entrada e operam de 3 a 20 vezes a banda do sinal de entrada, essa limitação vem da dificuldade de produzir filtros anti-alias e de reconstrução de sinal. Já os conversores com superamostragem operam de 10 a 512 vezes mais rápido que os de Nyquist, aumentando a relação sinal-ruído (Signal to Noise Ratio -SNR) ao filtrar o ruído de quantização fora da banda do sinal. Costuma-se usar modelagem de ruído para deslocar esse ruído para fora da banda de interesse (CARUSONE; JOHNS; MARTIN, 2011).

Segundo Verreault, Cicek e Robichaud (2024), existe uma clara prevalência no uso de conversores sobreamostrados, em especial conversores do tipo sigma-delta, em projetos com SNR superior a 80 dB. Além disso, Verreault, Cicek e Robichaud (2024) indicam uma tendência no uso dos conversores sigma-delta pois estes combinam correção de erro de realimentação e sobreamostragem.

2.7.1 Conversores Sigma Delta

Conforme Golovatyj, Kryvyy e Teslyuk (2015), um conversor sigma-delta pode ser subdividido em um bloco modulador e um bloco de filtro digital, apresentado na Figura 11. O modulador converte uma entrada analógica em uma sequência de pulsos de alta velocidade, por meio da diferença entre a entrada analógica e um sinal de realimentação, integrando-o e convertendo-o em um sinal digital de 1 bit com a densidade de pulsos refletindo a tensão do sinal de entrada. Esse processo introduz ruído de alta frequência. O filtro digital processa esse sinal digital ruidoso e de alta frequência de discretização, suprimindo o ruído de alta frequência e reduzindo a frequência de saída de dados, processo denominado de decimação.

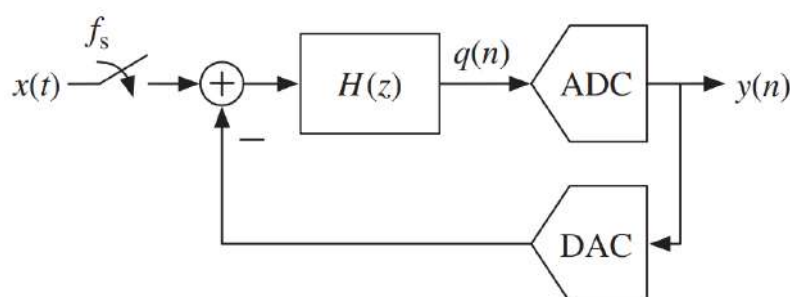
Figura 11 – Diagrama de blocos do conversor sigma delta

Fonte: Adaptado de Golovatyj, Kryvyy e Teslyuk (2015).

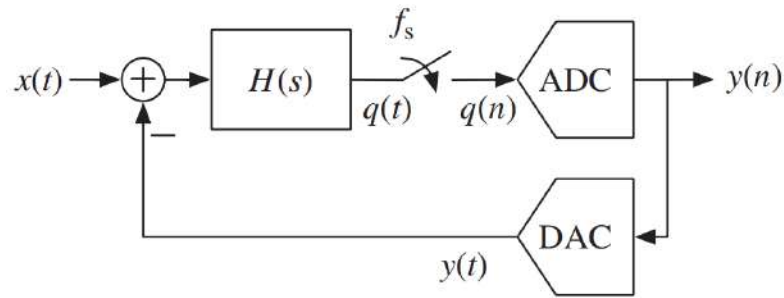
Os conversores sigma-delta podem ser classificados de acordo com o seu bloco modulador, que pode operar de forma discreta ou contínua. De acordo com Rosa e Ríó (2013), o uso de moduladores sigma delta de tempo contínuo tem aumentado por conta da demanda por conversores mais rápidos, uma vez que estes conseguem atingir frequências de amostragem maiores com menor consumo em relação ao de tempo discreto.

2.7.2 Modulador sigma delta

A principal diferença entre um modulador de tempo discreto e contínuo está no momento da amostragem, enquanto os moduladores de tempo discreto realizam essa amostragem antes do laço de realimentação, os moduladores de tempo contínuo realizam a amostragem após o laço de realimentação e esse laço acaba operando como filtro anti alias no sinal amostrado. Os blocos conceituais de ambas abordagens são exibidas na Figura 12 e na Figura 13 (ROSA; RÍO, 2013).

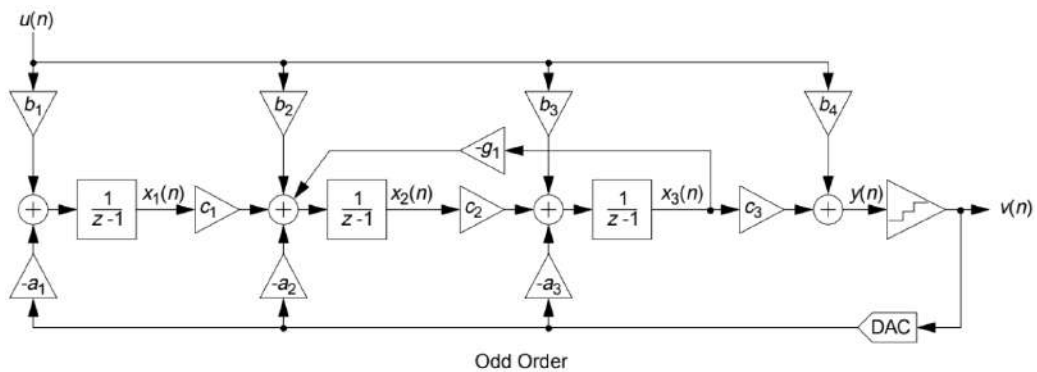
Figura 12 – Diagrama de blocos do modulador sigma delta de tempo discreto

Fonte: Adaptado de Rosa e Ríó (2013).

Figura 13 – Diagrama de blocos do modulador sigma delta de tempo contínuo

Fonte: Adaptado de Rosa e Ró (2013).

Um modulador sigma-delta de tempo contínuo pode ser implementado empregando uma topologia de terceira ordem, denominada cascata de integradores em avanço (CIFF), conforme demonstrado na Figura 14. Nesta configuração, cada integrador pode ser concretizado por um amplificador operacional. A sensibilidade a ruídos é mais acentuada no primeiro estágio, atenuando-se nos estágios subsequentes em virtude da relação entre o ganho de cada etapa e a saída (PAVAN; SCHREIER; TEMES, 2017).

Figura 14 – CIFF

Fonte: Adaptado de Pavan, Schreier e Temes (2017).

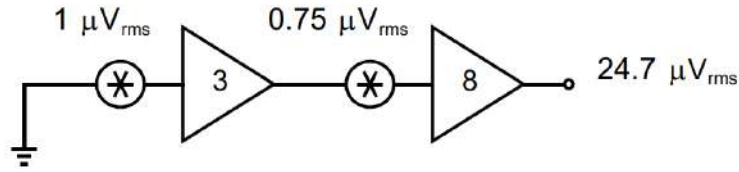
2.7.2.1 Ruído referenciado à entrada

O ruído referenciado à entrada de um amplificador representa o ruído equivalente ao ruído inserido pelo amplificador, o qual seria observado em sua saída, sendo representado por uma fonte de corrente na sua entrada. Tal valor é obtido pela divisão do ruído observado na saída pelo ganho dos elementos analisados (CARUSONE; JOHNS; MARTIN, 2011).

Por meio desse conceito, é possível inferir que o primeiro estágio de amplificação deve apresentar o maior ganho, uma vez que cada amplificador subsequente na cadeia de sinal amplificará o ruído proveniente do estágio inicial. Isso é evidenciado por Carusone, Johns e Martin (2011) por meio de um exemplo prático no qual o ruído de dois amplificadores em sequência são analisados com a ordem dos amplificadores

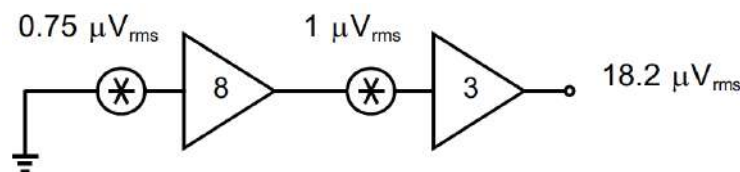
alterada. A Figura 15 apresenta uma configuração com o amplificador de maior ganho após o de menor ganho enquanto a Figura 16 apresenta a configuração contrária.

Figura 15 – Ruído referenciado à entrada



Fonte: Adaptado de Carusone, Johns e Martin (2011).

Figura 16 – Ruído referenciado à entrada



Fonte: Adaptado de Carusone, Johns e Martin (2011).

2.7.2.2 Número efetivo de bits

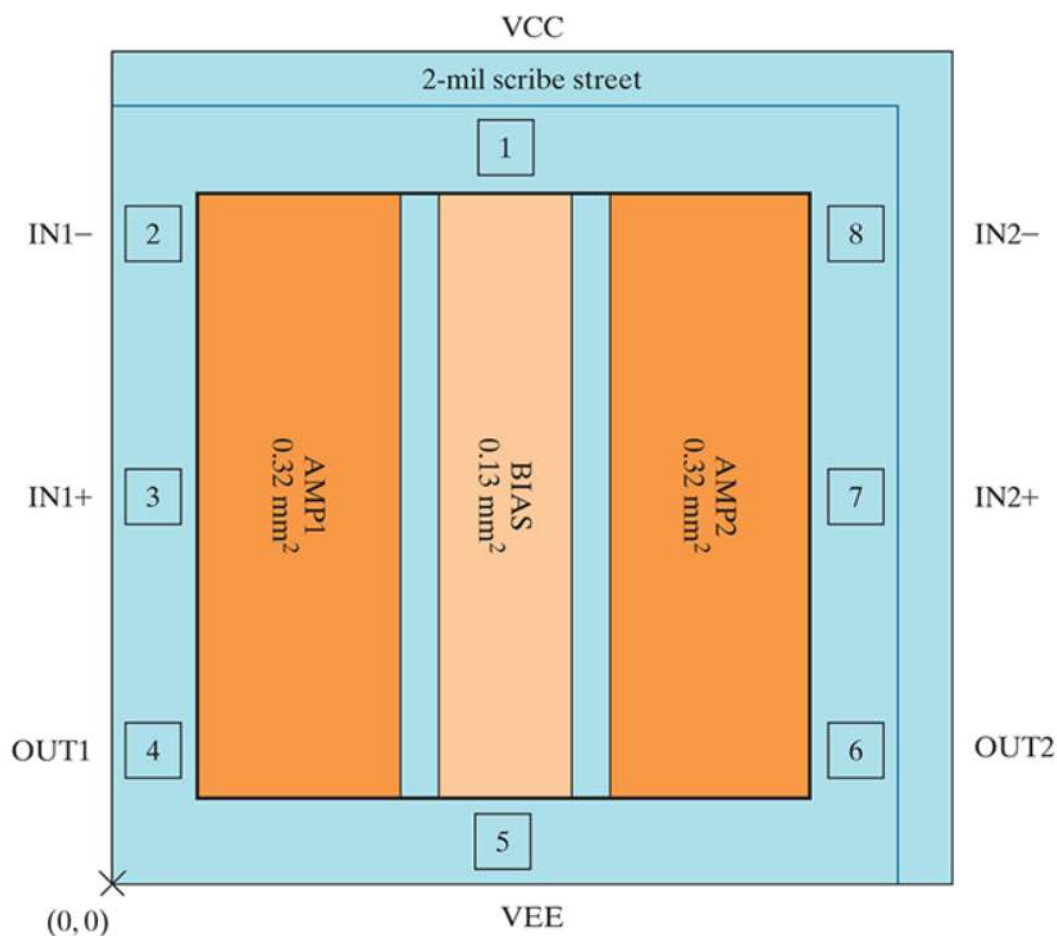
Segundo Carusone, Johns e Martin (2011), a faixa dinâmica de um conversor é a relação entre a amplitude máxima e mínima de sinal que o mesmo consegue processar. Essa relação pode ser quantificada pela relação entre o sinal e o ruído com distorções (signal-to-noise and distortion ratio - SNDR), a qual considera as distorções harmônicas do sinal. Essa relação também pode ser utilizada para estimar o número efetivo de bits (Effective Number of Bits - ENOB), como exibido na Equação 4. Em conversores de baixa potência, pode-se utilizar o SNR no lugar do SNDR.

$$ENOB = \frac{SNDR - 1.76 \text{ dB}}{6.02} \text{ bits} \quad (4)$$

2.8 Layout de circuitos integrados

Enquanto o esquemático é responsável pela descrição da funcionalidade do circuito, com trilhas sem perdas e componentes com poucas ou nenhuma não idealidade, o *layout* de circuitos integrados traduz o circuito em formas físicas, vinculadas a capacitâncias, resistências e indutâncias entre as camadas dos diferentes materiais do chip. Isso possibilita uma verificação mais fiel das interações entre os componentes. Esse processo foi revolucionado com o uso de ferramentas de desenho auxiliado por computador (Computer-Aided Drafting - CAD) (HASTINGS, 2006).

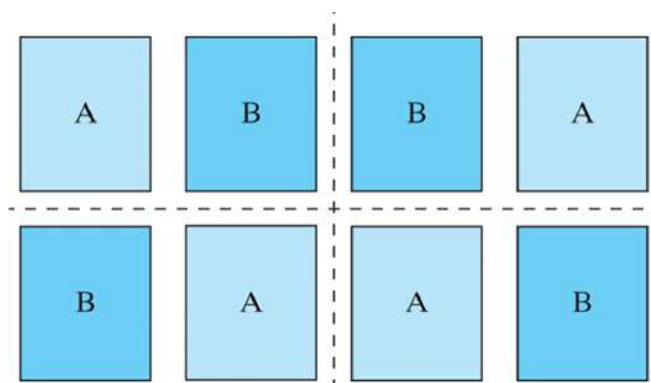
O *layout* é iniciado por meio do planejamento das posições das subcélulas maiores, bem como dos *pads* para os pinos de entrada/saída e alimentação. Esse planejamento resulta em um *floorplan* como o da Figura 17.

Figura 17 – Floorplan de um amplificador operacional com oito pinos

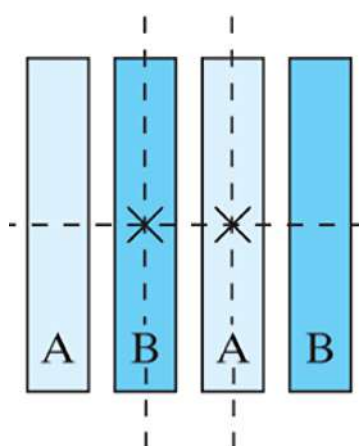
Fonte: Adaptado de Hastings (2006).

Além disso, devem ser realizadas a verificação de regras de projeto (*Design Rule Check* - DRC) e a comparação entre esquemático e *layout* (*Layout versus Schematic* - LVS). Alguns softwares também dispõem de ferramentas para realizar essas verificações. O DRC emite alertas para questões como dimensões de trilhas inferiores ao mínimo, número mínimo de vias entre camadas e outras condições estabelecidas pelo fabricante para otimizar o sucesso na fabricação dos chips (*yield*). O LVS verifica se todas as conexões indicadas no esquemático são realizadas no layout (HASTINGS, 2006).

Além disso, técnicas como centroide comum e interdigitação são empregadas para mitigar problemas como distância, gradiente de temperatura, gradiente de espessura da camada de óxido ou incompatibilidade global, ao fazer a média de seus efeitos. Um exemplo de centroide comum é exibido na Figura 18 e um exemplo de interdigitação é exibido na Figura 19.

Figura 18 – Centroide comum

Fonte: Adaptado de Hastings (2006).

Figura 19 – Interdigitação

Fonte: Adaptado de Hastings (2006).

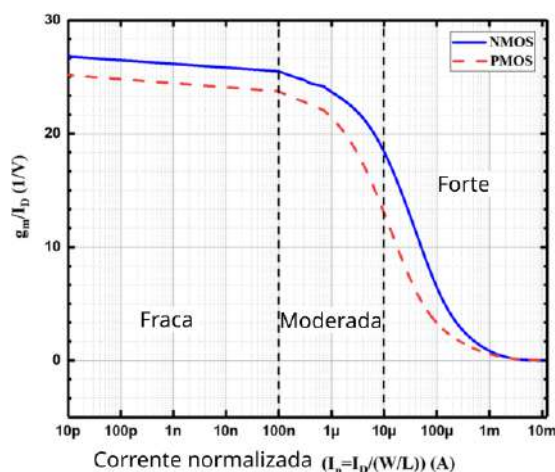
2.9 Metodologia gm/ID

De acordo com Binkley (2008), por muito tempo as metodologias de dimensionamento se basearam principalmente em modelos de transistores feitos a partir de leis quadráticas. Porém, isso se mostra impreciso em projetos que utilizam inversão forte e errôneo em projetos que utilizam inversão fraca. Junto da redução de tamanho dos transistores houve mudanças na relevância de comportamentos físicos, englobados em efeitos de canal curto, e um aumento no emprego da região de inversão moderada.

Segundo Silveira, Flandre e Jespers (1996), a utilização de transistores MOS na região de inversão moderada proporciona a melhor relação entre velocidade e consumo de energia. Para desenvolver projetos que empregam essa região, é possível usar a relação entre a transcondutância (g_m) e a corrente DC no terminal de dreno (I_D), além da corrente de dreno normalizada (i_{ds} ou I_n). Essas curvas podem ser obtidas a partir de medições de transistores e são independentes do seu tamanho, o que

é uma vantagem na fase de projeto, quando as características de largura (W) e comprimento (L) do transistor ainda não são conhecidas. A Figura 20 ilustra um exemplo dessa curva.

Figura 20 – Curva $g_m/I_D/I_n$



Fonte: Adaptado de Pouya, Dolatshahi e Jalalibidgoli (2022).

Os parâmetros g_m/I_D e I_n dependem das características comuns a todos os transistores do mesmo tipo em uma determinada tecnologia e representam com precisão o desempenho do transistor em aplicações analógicas. Por isso, esse método é mais exato do que o uso de equações quadráticas, em projetos na região de inversão moderada, que apenas permitem estimar as dimensões dos transistores e exigem múltiplas iterações para alcançar o resultado desejado (SILVEIRA; FLANDRE; JESPERS, 1996).

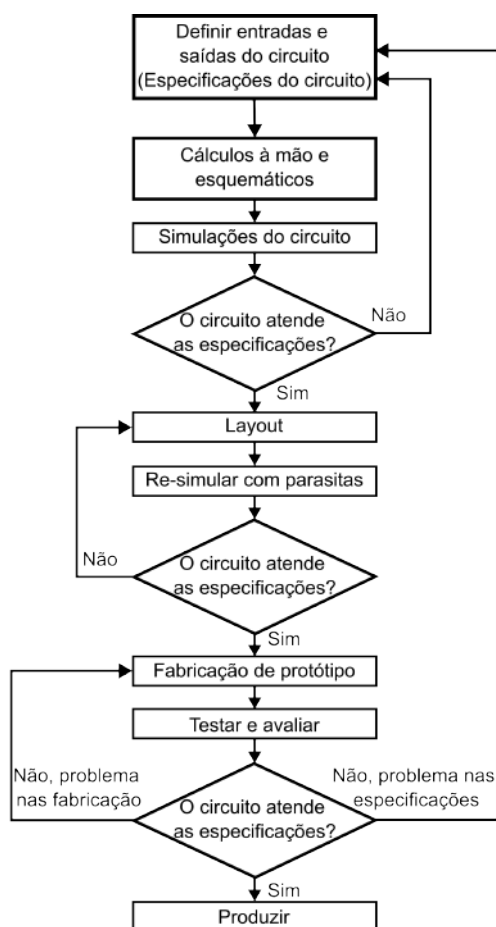
3 METODOLOGIA

Este trabalho tem como objetivo mostrar o projeto de um amplificador operacional para o bloco modulador de um conversor de dados do tipo sigma-delta, no contexto de circuitos integrados e suas especificidades. Foram utilizadas ferramentas computacionais de simulação para obter e validar os resultados do circuito com o amplificador projetado.

Este trabalho possui caráter exploratório, pois visa promover maior familiaridade com o tema e esclarecer seus contornos iniciais. Como Gil (2002) afirma, esse tipo de investigação tem como "objetivo principal o aprimoramento de ideias ou a descoberta de intuições". Adicionalmente, segundo Gerhardt *et al.* (2009), pode-se indicar a abordagem utilizada como qualitativa, uma vez que "o conhecimento do pesquisador é parcial e limitado", e que a pesquisa tem como característica "a hierarquização das ações de descrever, compreender, explicar".

De acordo com Baker (2000), um projeto com circuitos integrados pode ser descrito pelo fluxograma exibido na Figura 21. Este trabalho foi elaborado até a etapa de re-simulação com parasitas.

O amplificador a ser projetado compõe o primeiro integrador do modulador sigma delta, O esquemático completo do modulador é mostrado no Apêndice A, onde podem ser observadas as malhas de realimentação feitas por meio de componentes capacitivos e resistivos.

Figura 21 – Fluxo de projeto com circuitos integrados

Fonte: Adaptado de Baker (2000).

Uma vez concluída a revisão bibliográfica sobre o assunto, iniciou-se o projeto do amplificador, levando em consideração que, segundo Allen e Holberg (2012), deve-se possuir uma lista dos requisitos de projeto do amplificador, dentre os quais tem-se ganho e largura de banda de ganho (*gain bandwidth* - GBW). Também deve-se indicar os tipos de compensação necessários para atender as especificações do projeto. A Tabela 1 mostra as especificações consideradas.

Tabela 1 – Especificações

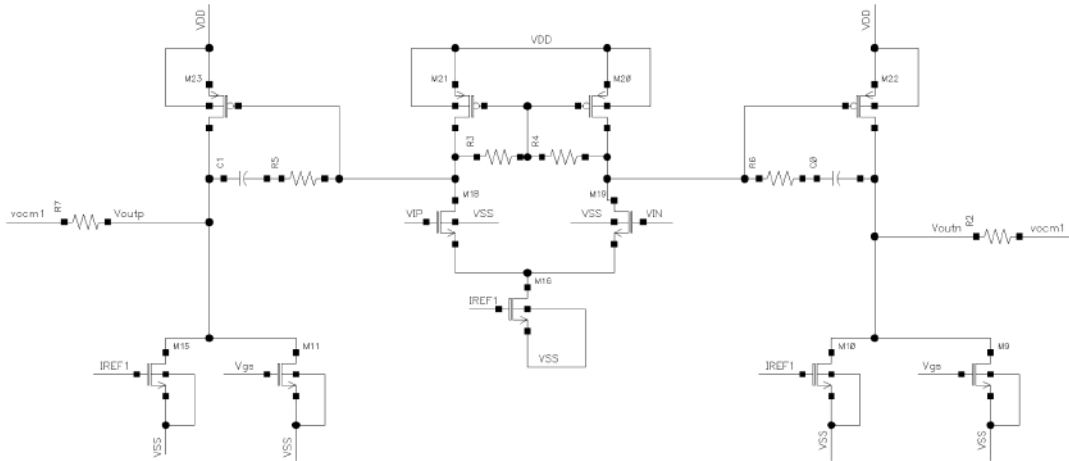
Parâmetro	Valor
Ganho	> 60 dB
GBW	> 2 * 6,144 MHz
C_L	11 pF
Margem de fase	> 45°
ENOB	> 16 bits

Fonte: Elaboração própria (2025).

Com isso, foi iniciado o dimensionamento do amplificador totalmente diferencial com dois estágios de amplificação e compensação Miller, sendo o primeiro

estágio um amplificador do tipo par diferencial e o segundo estágio, dois amplificadores do tipo fonte comum, cujo esquemático é mostrado na Figura 22.

Figura 22 – Esquemático do amplificador OTA Miller de dois estágios



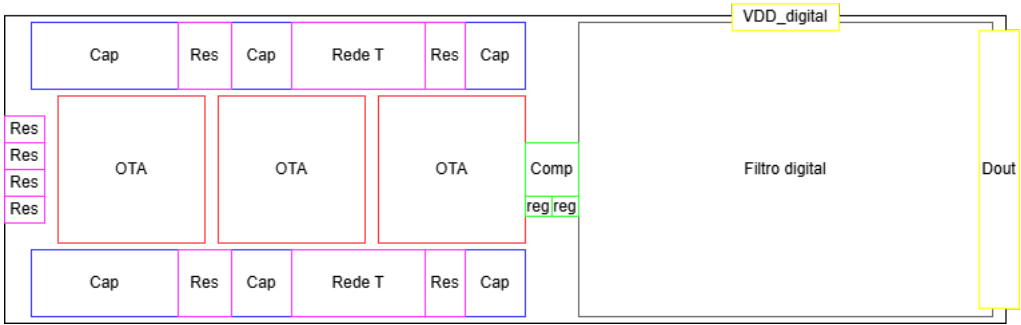
Fonte: Elaboração própria (2025).

Para o cálculo de dimensionamento dos transistores do primeiro estágio, foi definida a distribuição da tensão na etapa inicial, considerando o modo comum de tensão na entrada e a necessidade de manter os transistores em sua região de saturação. Conforme mostrado na revisão bibliográfica, para que os transistores operem em saturação a tensão V_{DS} precisa ser maior que V_{GS} subtraído de V_T . Utilizando a metodologia g_m/I_D , um comprimento de canal, L , igual a $1\ \mu m$ foram realizados os cálculos para o dimensionamento dos transistores, os resultados são exibidos no capítulo seguinte. Este estágio foi projetado com um CMFB local, utilizando resistores de silício policristalino.

Na sequência, de maneira similar, foi realizado o dimensionamento do segundo estágio de amplificação. Entre o segundo e o primeiro estágio foi adicionada a compensação Miller e para o segundo estágio foi projetado um CMFB também de topologia OTA.

Após a finalização dos dimensionamentos dos transistores e realização da verificação do atendimento aos requisitos elétricos do projeto antes da extração de parasitas, foi iniciada a etapa de *layout*. Essa etapa foi iniciada com o *floorplan* dos blocos para definir o fluxo do sinal e a localização dos pinos de entrada, saída e interconexões dos blocos. O *floorplan* é exibido na Figura 23.

Figura 23 – Floorplan



Fonte: Elaboração própria (2025).

4 APRESENTAÇÃO DOS RESULTADOS

Este capítulo apresenta os resultados obtidos ao longo do projetos e as melhorias aplicadas.

4.1 Projeto elétrico do amplificador

O projeto foi iniciado pela distribuição das tensões entre os elementos de cada ramo do primeiro estágio. Com o uso do valor de V_T dos transistores da tecnologia utilizada, foi possível inferir uma distribuição de tensão que possibilita manter os transistores nos pontos de operação desejados. A divisão para as tensões ficou de acordo com a Tabela 2.

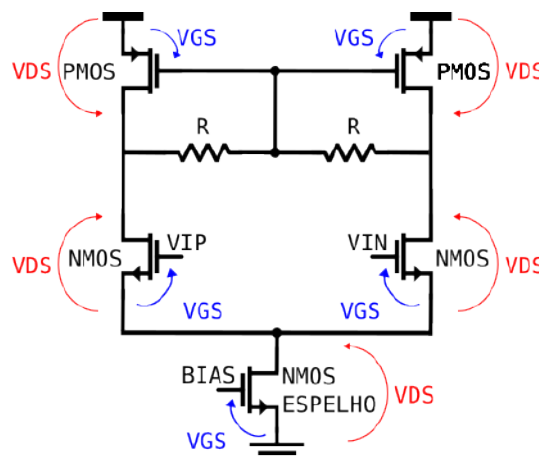
Tabela 2 – Tensões V_{DS} distribuídas para os transistores do primeiro estágio.

Transistor	V_{DS} (V)
PMOS	0,8
NMOS par de entrada	1,1
NMOS espelho de corrente	0,6

Fonte: Elaboração própria (2025).

Assim define-se também que a tensão V_{GS} do transistor NMOS de entrada será igual a 0,65 V, uma vez que o modo comum é de 1,25 V e o V_{GS} é o resultado da subtração da tensão no *gate* do transistor pela tensão no *source*, e para essa topologia essa tensão será a tensão V_{DS} do transistor do espelho de corrente. Utilizando uma tensão de 1,1 V de V_{DS} para o transistor do par de entrada, a diferença entre o somatório das tensões sobre os transistores NMOS e a tensão de alimentação será a tensão sobre o transistor PMOS. Um diagrama para diferenciação entre as tensões dos transistores PMOS e NMOS é exibido na Figura 24.

Figura 24 – Diagrama do primeiro estágio

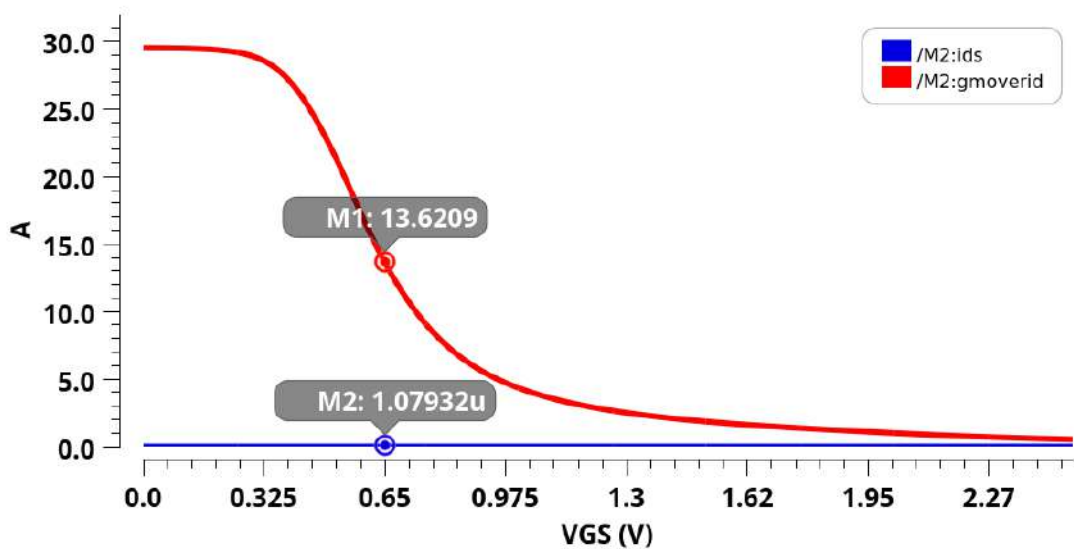


Fonte: Elaboração própria (2025).

A partir da Equação 2 pode-se calcular o g_m desejado para os transistores NMOS do par de entrada. Utilizando a capacitância de carga desse estágio, a capacitância Miller, e o GBW escolhido de 72 dB.

Na sequência do projeto, foram obtidas as curvas características de g_m/I_D para o transistor NMOS do par de entrada, utilizando suas tensões V_{GS} e V_{DS} definidas anteriormente. A curva é mostrada na Figura 25.

Figura 25 – Curva característica NMOS do par de entrada



Fonte: Elaboração própria (2025).

Com o g_m e o g_m/I_D obtêm-se a corrente necessária em cada ramo. Essa corrente de 80,37 μA resulta em uma corrente de 160,75 μA no espelho de corrente do primeiro estágio de amplificação. Utilizando a corrente I_D e a corrente i_{ds} obtidas em simulação, é possível encontrar a dimensão necessária de W dos transistores NMOS do par de entrada. Onde W pode ser obtido com a Equação 5.

$$W > \frac{g_m/I_D}{i_{ds}} \quad (5)$$

Para o espelho de corrente foi realizada uma simulação paramétrica, a fim de obter a corrente mais próxima possível dos 160,75 μA calculados. Com transistores de 15 μm obteve-se uma corrente de ramo de 160,5 μA , com 0,16% de diferença.

Para o dimensionamento dos transistores PMOS do primeiro estágio tem-se que suas tensões entre *gate* e *source* e entre dreno e *source* são iguais, uma vez que seus terminais de *gate* e dreno possuem a mesma tensão. A partir das curvas características foi possível obter a corrente para o cálculo do W .

O segundo estágio de amplificação contribui com o aumento no ganho do amplificador, nesse sentido é necessário um valor elevado de corrente, porém com

alguma limitação para não implicar em uma dissipação de potência elevada. Para isso definiu-se a corrente em cada ramo do segundo estágio como sendo igual à metade do primeiro estágio, ou seja, cada ramo do segundo estágio teve uma corrente de $80,3752 \mu A$. Isso resultou em um transistor de espelho de corrente de dimensão igual a $7,5 \mu m$ para cada ramo do segundo estágio de amplificação.

Os transistores PMOS para este estágio possuem uma tensão de *gate* dependente da tensão de saída do estágio anterior, isso resulta em uma tensão V_{GS} igual à dos transistores PMOS do primeiro estágio, além disso, essa parte do circuito possui grande sensibilidade à flutuações de tensão na saída do primeiro estágio, uma vez que variações na tensão de *gate* de um transistor levam a um ponto diferente na sua polarização e assim modificam seu comportamento. Por isso foi adicionado um elemento de realimentação entre o *dreno* e o *gate* desses transistores. Uma realimentação local e resistiva, por meio de dois resistores de $500 k\Omega$, foi adicionada ao amplificador.

Para esses transistores definiu-se como tensão de V_{DS} o valor de $1,25 V$, pois isso defini o modo comum de tensão na saída como $1,25 V$, sendo esse o valor de $V_{DD}/2$ e por isso um valor que permite uma boa faixa de variação da tensão na saída. A partir dessas informações e das curvas de g_m/I_d e I_{quad} foi obtido w igual a $7,5778 \mu m$.

A largura do canal (W) de cada um dos transistores presentes na topologia de amplificador escolhida é apresentada na tabela 3. Todos foram dimensionados considerando um comprimento de canal $L = 1 \mu m$.

Tabela 3 – Valores de largura do canal dos transistores para o projeto do amplificador.

Estágio	Transistor	$W (\mu m)$
Primeiro	PMOS	76,6624
	NMOS Par de entrada	74,4682
	NMOS espelho de corrente	15
Segundo	PMOS	7,5778
	NMOS espelho de corrente	7,5

Fonte: Elaboração própria (2025).

Definido o dimensionamento dos transistores, foi realizada a divisão desse dimensionamento em oito partes, utilizando múltiplos. Com essa configuração, foi possível verificar em simulação, por meio de tentativa e erro, que um circuito com transistores de quatro múltiplos obteve um desempenho satisfatório de resposta em frequência, além de consumir aproximadamente metade da potência necessária inicialmente.

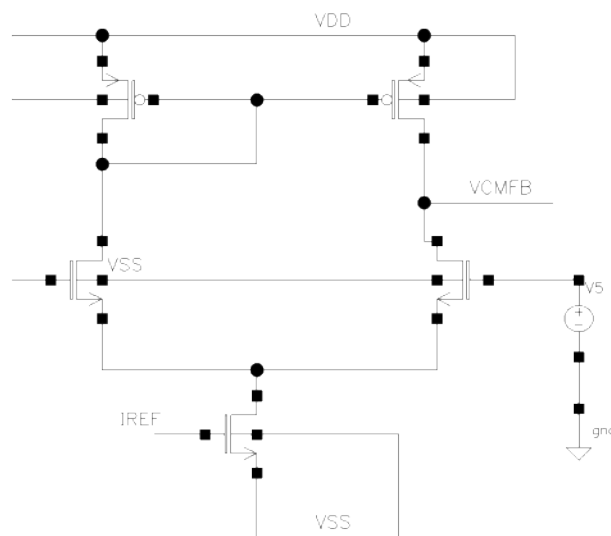
Os amplificadores que dão sequência ao condicionamento do sinal também podem, por sua vez, ser menores que o primeiro. Sendo assim, o segundo e o terceiro OTA possuem dois múltiplos.

Para manter os valores de tensão na saída do segundo estágio estáveis,

foi realizado o projeto de um CMFB. A topologia é exibida na Figura 26. Um dos transistores NMOS de entrada tem sua tensão de *gate* igual à $V_{DD}/2$ e o outro transistor NMOS de entrada recebe a tensão de modo comum da saída do segundo estágio do amplificador OTA Miller, assim, ele realiza a amplificação da diferença dos sinais e, com isso, regula a sua saída em tensão. A tensão de saída do CMFB, por sua vez, controla um transistor auxiliar ao transistor de espelho de corrente do segundo estágio, realizando um ajuste na corrente desse ramo, para manter a tensão de saída do amplificador que está sendo realimentado no ponto desejado.

A tensão de modo comum da saída do segundo estágio do amplificador OTA Miller foi obtida utilizando dois elementos resistivos de $500\text{ k}\Omega$.

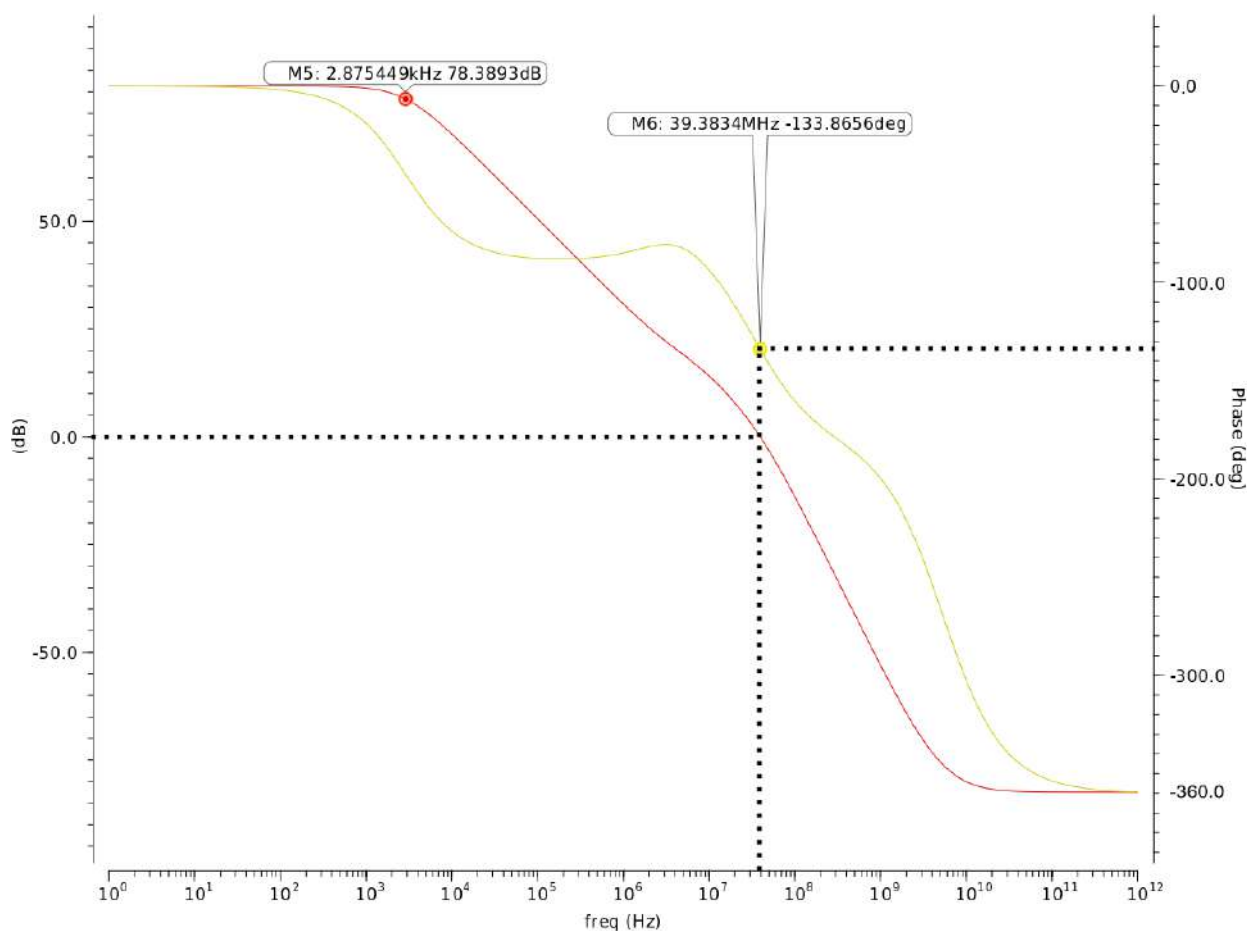
Figura 26 – CMFB



Fonte: Elaboração própria (2025).

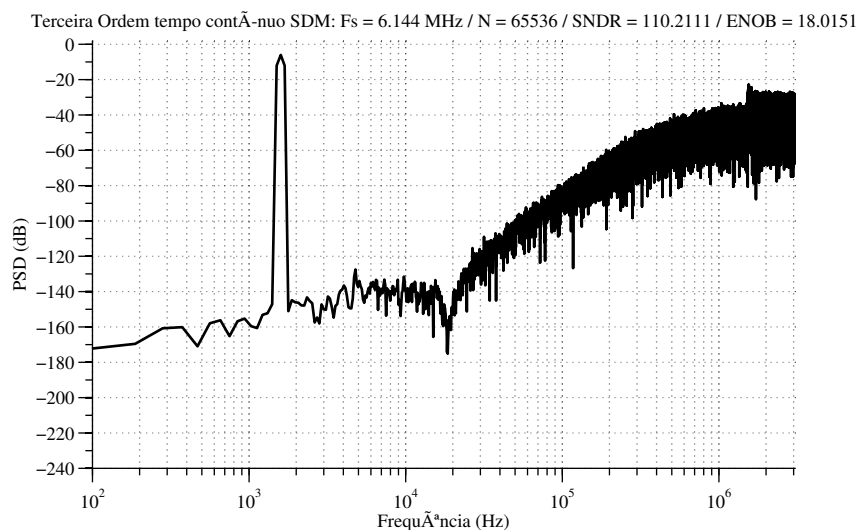
Por fim, foram realizados ajustes nos parâmetros de resistência e capacitância Miller, por tentativa e erro, para manter zeros e polos indesejados fora da faixa de frequência de operação do circuito.

Como resultado, foi obtida a resposta em frequência exibida na Figura 27, na qual a curva em vermelho representa o ganho e a curva em amarelo representa a fase do amplificador. Pode ser observado um ganho igual a $81,3893\text{ dB}$, um GBW igual a $39,3834\text{ MHz}$ e uma margem de fase igual a $46,1344^\circ$.

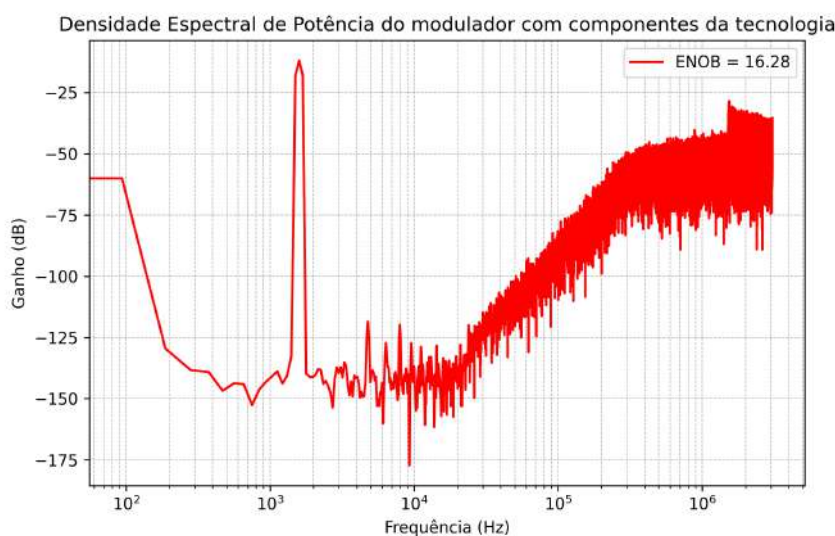
Figura 27 – Resposta em frequência do amplificador OTA Miller

Fonte: Elaboração própria (2025).

Para validação dos resultados é utilizada a densidade espectral de potência (PSD) do modulador completo. Com o circuito completamente ideal, amplificadores, elementos resistivos e capacitivos da malha de realimentação e quantizador, foi obtido um ENOB de 18,0151 bits, exibido na Figura 28. Após a mudança para os componentes da tecnologia, com blocos projetados, foi obtido um ENOB de 16,28 bits, exibido na Figura 29.

Figura 28 – PSD sem o amplificador projetado

Fonte: Elaboração própria (2025).

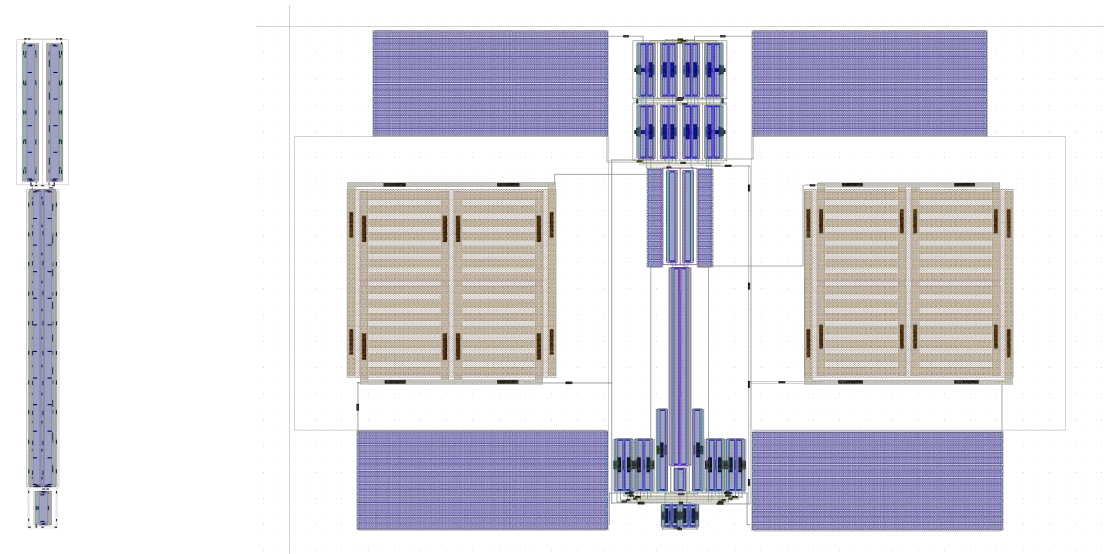
Figura 29 – PSD com o amplificador projetado e componentes da tecnologia

Fonte: Elaboração própria (2025).

4.2 Layout do amplificador

Após o dimensionamento dos transistores foi feito o *layout* do amplificador. O amplificador faz parte de uma malha realimentada, possui elementos resistivos e capacitivos que precisam ser posicionados com simetria junto dos transistores para evitar distorções. Assim, foi realizado primeiro o *layout* do CMFB mostrado na Figura 30a para posteriormente encaixar o *layout* dos demais componente de forma simétrica, conforme a Figura 30b.

Figura 30 – Layout do amplificador



(a) Layout do CMFB

(b) Layout do OTA do primeiro integrador.

Fonte: Elaboração própria.

A finalização do layout consiste em obter, por meio da ferramenta, os resultados de DRC e LVS sem erros, exibidos na Figura 31 e na Figura 32, respectivamente.

Figura 31 – DRC

Cell/Rule	Color	
TOP SDM_enob_16_23		28
DRM.R.1		1
M1.DN.1		1
M2.DN.1		1
M3.DN.1		1
M4.DN.1		1
M5.DN.1		1
M6.DN.1		1
M7.DN.1		1
M8.DN.1		1
M8.DN.5:LR		10
M8.DN.5:LW		1
M9.DN.2		1
OD.DN.2		1
PO.DN.2		6

Fonte: Elaboração própria (2025).

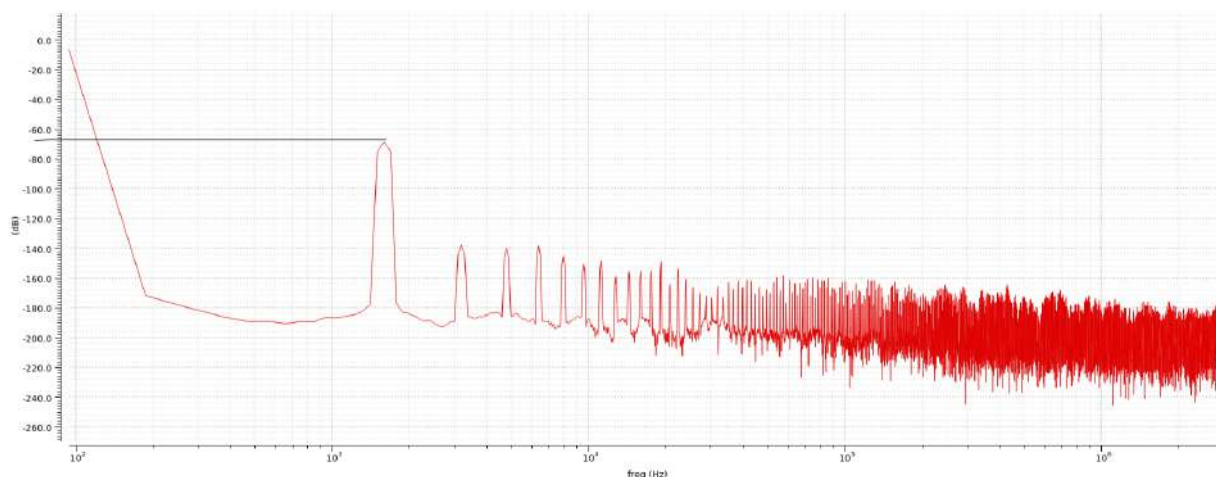
Figura 32 – LVS

PVS LVS COMPARISON	
Version	: 22.22-s005
NVN Run Start	: Thu Mar 6 16:33:11 2025
ERC Summary File	: SDM_enob_16_23.sum
Extraction Report File	: SDM_enob_16_23.rep
Comparison Report File	: SDM_enob_16_23.rep.cls
Top Cell	: SDM_enob_16_23 <vs> SDM_enob_16_23
Run Result	: MATCH
Run Summary	: [INFO] ERC Results: Empty
	: [INFO] Extraction Clean

Fonte: Elaboração própria (2025).

Após a elaboração do *layout* dos demais componentes foi realizada a extração de parasitas para então ser obtida a PSD com o efeito dos parasitas adicionados, exibida na Figura 33.

Figura 33 – PSD com parasitas



Fonte: Elaboração própria (2025).

Pode-se observar, por comparação entre a Figura 33 e a Figura 29, uma atenuação significativa de 60 dB ou mais em quase todo o espectro, inclusive na banda de interesse. Tal atenuação é indesejada e pode ser atribuída a diversas causas.

Um fator provável é o trajeto de realimentação do modulador, que se estende por todo o *layout*, impactando consideravelmente a resistência devido ao seu comprimento. O *layout* do modulador completo pode ser visto no Apêndice B. Além disso o eixo de simetria foi elaborado com estratégias diferentes durante o desenvolvimento do *layout* de cada bloco com relação a união dos blocos, indicando que o fluxo de sinal não segue um sentido único entre a entrada e a saída.

5 CONSIDERAÇÕES FINAIS

O cenário tecnológico atual impõe desafios crescentes aos projetos de circuitos integrados, os quais demandam soluções personalizadas para atender a requisitos específicos. Nesse contexto, é imperativo que o projetista siga um fluxo de projeto, aplicando boas práticas e validando seus resultados.

Foi conduzido um estudo teórico aprofundado, que abrangeu a física dos transistores MOS, detalhando os princípios de funcionamento, as características elétricas e os modelos utilizados no projeto. Além disso, foram explorados os conceitos para o projeto e a validação de um amplificador totalmente diferencial, um componente crucial em sistemas de aquisição de dados de alta precisão. Este amplificador, em particular, foi concebido para ser integrado a um ADC do tipo sigma-delta, uma arquitetura conhecida por sua alta resolução e robustez a ruídos. Adicionalmente, realizou-se uma investigação da metodologia g_m/I_D , relevante para esta solução proposta.

Subsequentemente, a metodologia e os resultados obtidos foram apresentados, com o suporte de ferramentas computacionais. Inicialmente, procedeu-se ao desenvolvimento do primeiro estágio de amplificação, ao qual foi incorporado o segundo estágio, juntamente com a compensação e as realimentações necessárias para assegurar a estabilidade do amplificador.

Concluiu-se que os requisitos de projeto foram satisfeitos nas etapas de projeto elétrico pré-layout. No entanto, na etapa pós-layout, houve uma atenuação significativa de 60 dB em quase todo o espectro do sinal. Essa atenuação pode ser atribuída a diversas causas, incluindo o trajeto de realimentação do modulador, que adicionada um valor elevado de resistência devido ao comprimento das trilhas, e o eixo de simetria que foi elaborado seguindo estratégias diferentes durante o desenvolvimento de cada bloco com relação a união dos blocos. Isso indica uma área propícia para futuras otimizações.

5.1 Sugestões para trabalhos futuros

Para aprimorar os resultados obtidos neste trabalho, sugere-se a realização de uma análise mais aprofundada dos resultados, em especial uma confirmação da pertinência da PSD com os efeitos de parasitas. Em conformidade com o fluxograma de projetos exibido na Figura 21, deve-se retornar à etapa de realização do *layout* de forma iterativa, até que se alcance um resultado de simulação com parasitas que seja satisfatório, garantindo a robustez e a performance esperada do circuito.

Propões-se também a fabricação de rodadas de protótipos em silício. Fase em que ocorre a caracterização experimental do dispositivo, permitindo a verificação empírica do desempenho comportamento real do circuito.

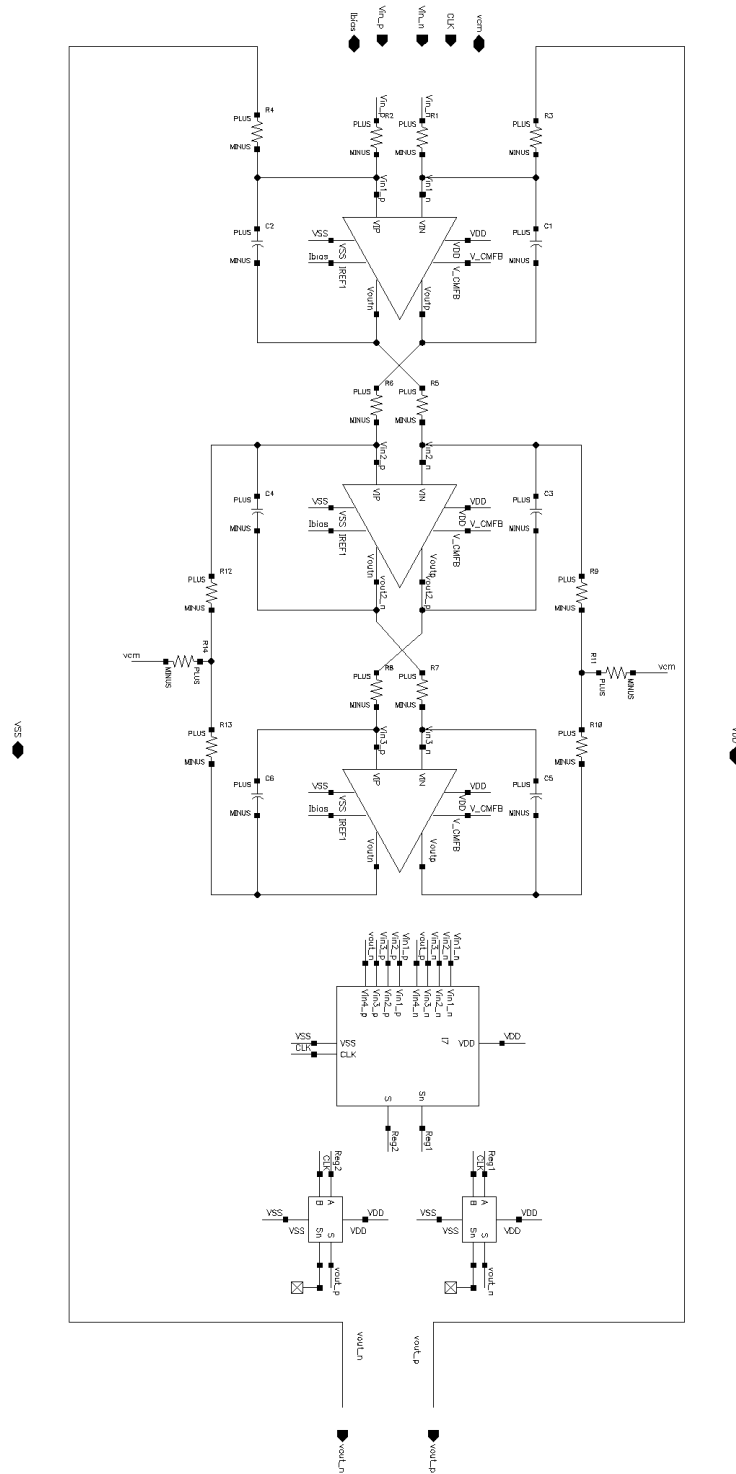
REFERÊNCIAS

- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. 3. ed. New York: Oxford University Press, 2012. 23, 24, 33
- BAKER, R. J. **CMOS: Circuit Design, Layout, and Simulation**. 1. ed. [S.l.]: IEEE Press, 2000. ISBN 9780780334122. 13, 32, 33
- BINKLEY, D. M. **Tradeoffs and Optimization in Analog CMOS Design**. [S.l.]: John Wiley & Sons, Ltd, 2008. ISBN 0470033711; 9780470033715; 0470031360; 9780470031360. 30
- CARTER, B. **Op Amps for Everyone (Third Edition)**. 3. ed. Boston: Newnes, 2009. 22
- CARUSONE, T.; JOHNS, D.; MARTIN, K. **Analog Integrated Circuit Design**. United States of America: Wiley, 2011. ISBN 978-0-470-77010-8. 21, 22, 25, 27, 28
- FAN, Y.; HUIJING, Y.; GANG, L. **A High Performance Sigma-Delta ADC for Audio Decoder Chip**. *TELKOMNIKA Indonesian Journal of Electrical Engineering*, v. 11, 11 2013. 12
- GERHARDT, T. E. *et al.* **Métodos de pesquisa**. Ed. da UFRGS, 2009. Accepted: 2012-07-14T01:35:15Z. ISBN 978-85-386-0071-8. Disponível em: <https://lume.ufrgs.br/handle/10183/52806>. 32
- GIL, A. **Como elaborar projetos de pesquisa**. [S.l.]: Atlas, 2002. ISBN 978-85-224-3169-4. 32
- GOLOVATYJ, ; KRYVYY, R.; TESLYUK, V. **VHDL-Ams Model of the Integrated Membrane Micro-Accelerometer with Delta-Sigma ($\Delta\sigma$) Analog-To-Digital Converter for Schematic Design Level**. *Econtechmod: An International Quarterly Journal on Economics of Technology and Modelling Processes*, v. 4, p. 65–70, 07 2015. 25, 26
- GRAY, P. *et al.* **Analysis and Design of Analog Integrated Circuits**. 5. ed. [S.l.]: Wiley, 2009. ISBN 0470245999. 18, 19, 21
- HASTINGS, R. **The Art of Analog Layout**. 2. ed. [S.l.]: Prentice Hall, 2006. 28, 29, 30
- KESTER, B. **Resolving the Signal Part 6: The Effects of Amplifier Noise on Delta-Sigma ADCs**. *All About Circuits*, 2018. Disponível em: <https://www.allaboutcircuits.com/industry-articles/resolving-the-signal-effects-of-amplifier-noise-on-delta-sigma-adcs-part-6/>. Acesso em: 02 maio 2025. 12
- LEE, T. H. **The Miller Effect and Pole Splitting**. In: . Stanford, 2003. (Handout 9: EE214), p. 6. Disponível em: <https://web.stanford.edu/class/archive/ee/ee214/ee214.1042/Handouts/HO9POLESPLIT.pdf>. Acesso em: 20 abr. 2025. 24
- MONOLITHIC POWER SYSTEMS. **Key Parameters Of ADCs**. [s.d.]. Disponível em: <https://www.monolithicpower.com/en/key-parameters-of-adcs.html>. Acesso em: 10 abr. 2025. 12

- PALMA, V. H. A.; SANDOVAL-IBARRA, F. **Design of a Miller Amplifier using gm/ID based on A First-order Building Block Approximation**. In: *2023 13th International Symposium on Advanced Topics in Electrical Engineering (ATEE)*. [S.l.: s.n.], 2023. p. 1–4. 12
- PAVAN, S.; SCHREIER, R.; TEMES, G. C. **Understanding Delta-Sigma Data Converters**. New Jersey: John Wiley & Sons, Ltd, 2017. 27
- POUYA, B.; DOLATSHAHI, M.; JALALIBIDGOLI, F. Design of a Bulk-Driven High-Gain OTA Using Positive Feedback. *Circuits, Systems, and Signal Processing*, v. 41, n. 8, p. 4238–4255, ago. 2022. ISSN 1531-5878. Disponível em: <https://doi.org/10.1007/s00034-022-01990-z>. 31
- RAZAVI, B. **Fundamentos de Microeletrônica. Tradução e revisão técnica de J.R. Souza**. 1. ed. Rio de Janeiro: LTC, 2010. 17, 18, 20, 21
- RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 2. ed. New York: McGraw-Hill Education, 2017. 16, 20, 23
- ROSA, J. M. de la; RÍO, R. del. **CMOS Sigma-Delta Converters**. 1. ed. [S.l.]: John Wiley & Sons, 2013. ISBN 9781119979258. 26, 27
- SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits Revised Edition**. 5th. ed. USA: Oxford University Press, Inc., 2007. ISBN 0195338839. 19, 20, 22
- SERRA-GRAELLS, F.; URANGA, A.; BARNIOL, N. **Analog Integrated Circuit Optimization Using Spice**. In: IONESCU, A. M. *et al.* (Ed.). *Microelectronics Education*. Dordrecht: Springer Netherlands, 2004. p. 169–174. ISBN 978-1-4020-2651-5. 12, 24
- SILVEIRA, F.; FLANDRE, D.; JESPERS, P. **A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA**. *IEEE Journal of Solid-State Circuits*, v. 31, n. 9, p. 1314–1319, 1996. 30, 31
- VERREAULT, A.; CICEK, P.-V.; ROBICHAUD, A. **Oversampling ADC: A Review of Recent Design Trends**. *IEEE Access*, v. 12, p. 121753–121779, 2024. 25

APÊNDICES

APÊNDICE A – ESQUEMÁTICO DO MODULADOR SIGMA DELTA



APÊNDICE B – *Layout* DO MODULADOR SIGMA DELTA