

ANÁLISE E IMPLEMENTAÇÃO DE UM CONVERSOR CC-CC A CAPACITOR CHAVEADO SÉRIE-PARALELO

Christyan Batista¹
José Flávio Dums²

Resumo

Este trabalho apresenta a análise, projeto e implementação de um conversor CC-CC a capacitor chaveado, utilizando a topologia série-paralelo, cujo ganho estático ideal é de $1/2$. O conversor é projetado para operar com tensão de entrada de 48 V, tensão de saída de 24 V, potência de 80 W e frequência de chaveamento de 50 kHz. A topologia adotada associa os capacitores em série na etapa de carga e em paralelo na etapa de descarga. A análise teórica é realizada por meio de equações diferenciais, para obter a resistência equivalente do conversor, e pelo método dos valores médios quase instantâneos, para determinação dos esforços de tensão e corrente nos componentes. O projeto adota razão cíclica de $1/3$, pois este é o valor que minimiza a resistência equivalente para esta topologia. Um protótipo é construído utilizando MOSFETs IRF540 e diodos MUR460, com bancos de capacitores eletrolíticos dimensionados para suportar as correntes eficazes calculadas. A validação experimental demonstra boa concordância entre os resultados teóricos, simulados e práticos, com tensão de saída medida de 21,9 V, corrente de 2,76 A e eficiência de 87,90%. A avaliação sob variação de frequência, razão cíclica e carga comprovaram o comportamento previsto pela análise da resistência equivalente.

Palavras-Chave: Conversor a Capacitor Chaveado. Eletrônica de Potência. Conversor Série-Paralelo.

ANALYSIS AND IMPLEMENTATION OF A SERIES-PARALLEL SWITCHED-CAPACITOR DC-DC POWER CONVERTER

Abstract: This work presents the analysis, design, and implementation of a switched-capacitor DC-DC converter using the series-parallel topology, whose ideal static voltage gain is $1/2$. The converter is designed to operate with an input voltage of 48 V, an output voltage of 24 V, output power of 80 W, and a switching frequency of 50 kHz. The adopted topology connects the capacitors in series during the charging stage and in parallel during the discharging stage. The theoretical analysis is carried out using differential equations to obtain the converter's equivalent resistance, and through the quasi-instantaneous average value method to determine the voltage and current stresses on the components. The design adopts a duty cycle of $1/3$, since this value minimizes the equivalent resistance for this topology. A prototype is built using IRF540 MOSFETs and MUR460 diodes, with electrolytic capacitor banks sized to withstand the calculated RMS currents. The experimental validation shows good agreement among theoretical, simulated, and practical results, with a measured output voltage of 21.9 V, output current of 2.76 A, and efficiency of 87.90%. The evaluation under variations in switching frequency, duty cycle, and load confirmed the behavior predicted

¹ Christyan Batista, acadêmico do curso de Engenharia Elétrica do Instituto Federal de Santa Catarina. christyan.b2002@aluno.ifsc.edu.br

² José Flávio Dums, professor do curso de Engenharia Elétrica do Instituto Federal de Santa Catarina. joseflavio@ifsc.edu.br

by the equivalent resistance analysis.

Keywords: Switched-Capacitor Converter. Power Electronics, Series-Parallel Converter.

1. INTRODUÇÃO

A crescente demanda por energia elétrica tem requerido esforços contínuos na busca pela eficiência energética. Neste contexto, a eletrônica de potência é uma área que está associada à conversão eficiente, controle e processamento de energia elétrica, utilizando componentes eletrônicos a partir de uma fonte de energia na entrada para uma saída específica, sendo como um dos principais objetivos desta área, o aumento do rendimento e da densidade de potência de um circuito (Menegatti, 2021).

Sob este viés, os conversores a capacitor chaveado (do inglês, *Switched-Capacitor Converters*) são topologias que realizam a conversão de energia utilizando apenas interruptores e capacitores. Essa característica confere a estes tipos de conversores uma alta densidade de potência, tornando-os uma das principais linhas de pesquisa em eletrônica de potência nas últimas décadas, uma vez que os componentes magnéticos estão associados ao peso e volume dos conversores (Martins, 2013). Além disso, os componentes do circuito, em especial os semicondutores, são expostos a tensões menores que a de alimentação ou da tensão de carga, reduzindo os esforços sobre estes (Barbi, 2019).

Apesar destas vantagens, estas topologias apresentam dificuldades como: a dificuldade de manter uma boa regulação da tensão de saída sob a presença de elevadas variações de carga e elevados picos de corrente no regime transitório inicial. Além disso, o controle da tensão de saída pode ser realizado ao controlar o valor da resistência equivalente do circuito, todavia, este controle afeta diretamente o rendimento do circuito (Bender, 2015).

Neste trabalho é realizada a análise, o projeto e a implementação prática de um conversor de corrente contínua para corrente contínua (CC-CC) série-paralelo a capacitor chaveado, com ganho estático teórico de $1/2$, com tensão de entrada de 48 V e tensão de saída ideal de 24 V. A análise do conversor é feita por meio de equações diferenciais e pelo método dos valores médios quase instantâneos, conforme apresentado por Barbi (2019), onde é possível obter as equações para o dimensionamento dos componentes. Além da análise matemática, um protótipo é fabricado e ensaiado visando a comparação, entre os resultados teóricos e simulados, dos esforços de tensão e corrente nos componentes.

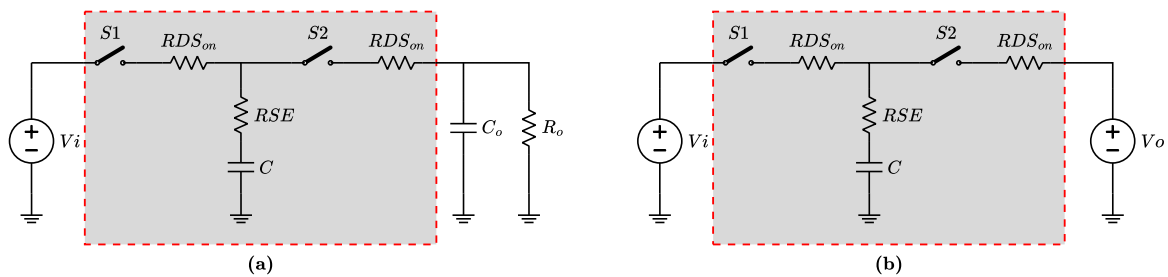
O objetivo final é aprofundar o conhecimento dos conversores a capacitor chaveado, por meio da comparação sistemática entre os resultados teóricos simulados e medidos, validando a análise proposta.

2. REFERENCIAL TEÓRICO

2.1. Funcionamento dos Conversores a Capacitor Chaveado

De acordo com Barbi (2019), o circuito exibido na Figura 1 (a) pode ser denominado como “célula unitária” e é considerado o conversor CC-CC a capacitor chaveado fundamental, sendo útil para a descrever o funcionamento dessa categoria de conversores. O circuito (b) da Figura 1 é uma forma simplificada, utilizado para fins de análise do circuito. O ganho estático de tensão do conversor é fixo, variando de acordo, apenas, com a topologia.

Figura 1: (a) Célula Fundamental (b) Circuito Simplificado

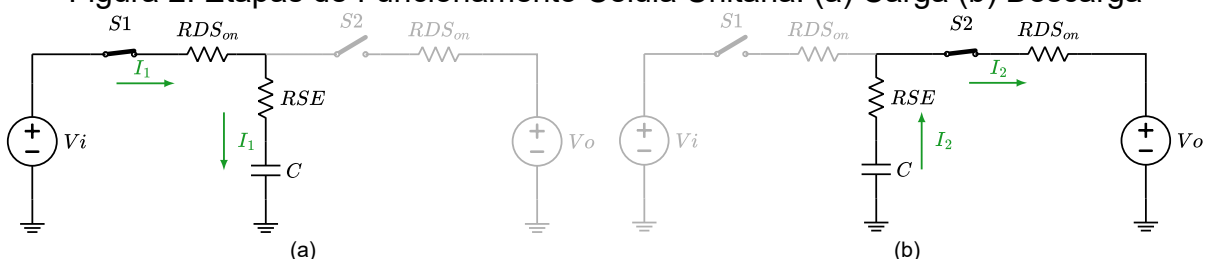


Fonte: Autor.

O funcionamento do conversor fundamental, mostrado na Figura 1, pode ser descrito em duas etapas, conforme exibido na Figura 2. Na primeira etapa, com o interruptor S1 fechado e S2 aberto, a corrente (I_1) flui da fonte de alimentação para o capacitor chaveado (C), armazenando energia. Na segunda etapa, os estados dos interruptores se invertem, S1 abre e S2 fecha, permitindo que a corrente (I_2) transfira a energia armazenada no capacitor chaveado para o capacitor de saída (C_o) e para a carga (R_o). Em ambos os períodos as formas de onda do capacitor são exponenciais cujo tempo depende da constante de tempo de cada etapa. O objetivo do circuito é a transferência de energia da fonte de tensão de entrada (V_i) para a resistência de carga (R_o), de tal modo que o capacitor chaveado atue como um filtro, atenuando as componentes alternadas (Barbi, 2019).

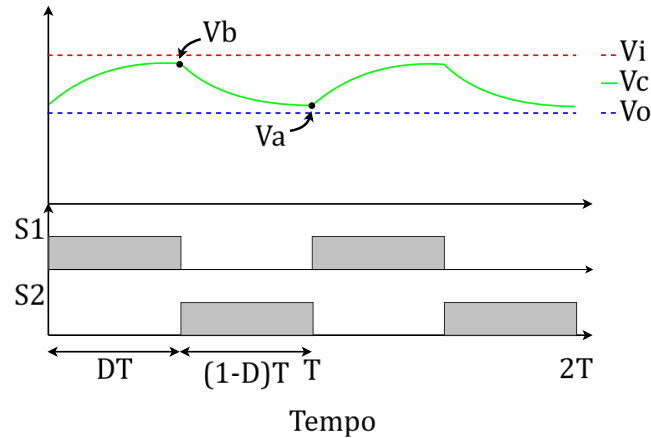
A Figura 3 exibe o comportamento da forma de onda de tensão no capacitor chaveado (C) que varia entre um valor mínimo (V_a) e um valor máximo (V_b), enquanto a tensão de entrada (V_i) e a saída (V_o) estabelecem os limites de operação. Os comandos de chaveamento, representados pelas formas de onda em cinza, representam o sinal de comando dos interruptores S1 e S2.

Figura 2: Etapas de Funcionamento Célula Unitária: (a) Carga (b) Descarga



Fonte: Autor.

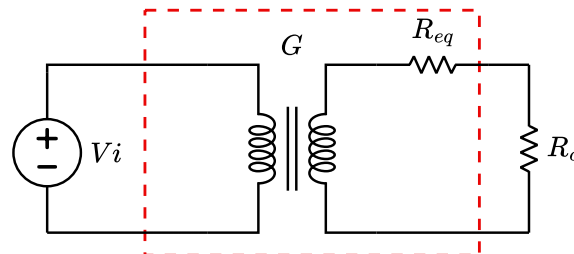
Figura 3: Forma de onda de tensão no capacitor chaveado



Fonte: Autor.

Em Seeman e Sanders (2008) é proposto que os conversores a capacitor chaveado possuem um modelo equivalente, composto por um transformador CC-CC hipotético que define o ganho estático do conversor e uma resistência equivalente em série com a saída do circuito. A Figura 4 exibe esse modelo equivalente, em que a G (relação de transformação) é o ganho estático do conversor e R_{eq} é a resistência equivalente do circuito.

Figura 4: Modelo Equivalente dos Conversores a Capacitor Chaveado



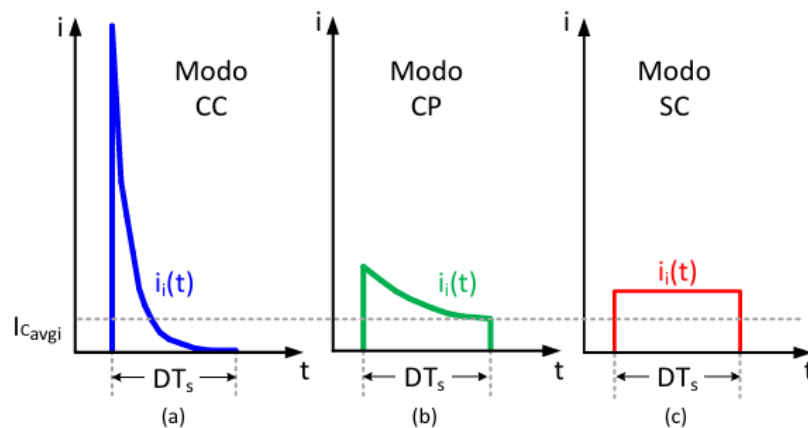
Fonte: Autor.

Dessa forma, um dos principais objetivos no equacionamento e projeto destes conversores é obter a resistência equivalente de modo a dimensionar os parâmetros dos circuitos para diminuí-la, aumentando o rendimento do conversor.

Outra característica importante, acerca desta categoria de conversores, são os modos de operação, que se baseiam na forma de onda da corrente no capacitor na etapa de carga. Em Silva (2018), estes modos são caracterizados a partir do produto entre a frequência de chaveamento (f_s) e a constante de tempo do circuito RC durante a etapa de carga ($\tau = R \cdot C$). Quando o produto entre esses valores é muito menor que um ($f_s \cdot \tau \ll 1$) denomina-se esse modo de operação como carga completa (CC), ou seja, o período de chaveamento é muito maior que a constante de tempo, dispondo de tempo suficiente para o carregamento e o descarregamento completo do capacitor. Neste modo, existem elevadas correntes de pico no capacitor, elevando o valor de corrente eficaz que circula sobre ele. Para valores intermediários do produto " $f_s \cdot \tau$ ", ou seja, ($f_s \cdot \tau \cong 1$), tem-se o modo de operação intitulado como carga parcial (CP). Neste modo, o período de chaveamento é relativamente semelhante a constante de tempo, de maneira que a corrente nos semicondutores e no capacitor chaveado

possuem baixos valores para a corrente de pico e, conseqüentemente, para a corrente eficaz. Por fim, para valores, muito superiores a um ($f_s \cdot \tau \gg 1$) o conversor opera em modo de carga constante (SC), ou seja, a constante de tempo é muito superior ao período de chaveamento, logo, as correntes que circulam pelos componentes possuem valores de pico baixos e baixa corrente eficaz, em relação aos outros modos. A Figura 5 exibe um esboço das formas de onda no capacitor chaveado, para cada um destes modos.

Figura 5: Corrente no capacitor chaveado para cada modo de operação



Fonte: Bender, 2021.

Ainda em Silva (2018) são estabelecidas as fronteiras entre os modos de operação citados anteriormente, de modo que eles podem ser observados na Tabela 1.

Tabela 1: Modos de Operação dos Conversores a Capacitor Chaveado

Modo de Operação	Intervalo
Carga Completa	$0 \leq f_s \cdot \tau \leq 0,1$
Carga Parcial	$0,1 \leq f_s \cdot \tau \leq 1,44$
Carga Constante	$1,44 \leq f_s \cdot \tau \leq \infty$

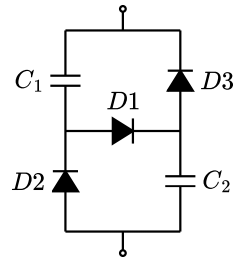
Fonte: Silva, 2018.

2.2. Conversor CC-CC a Capacitor Chaveado Série-Paralelo

Esta topologia, objeto do estudo proposto, recebe este nome devido à disposição dos capacitores nas etapas de carga e descarga do mesmo. Para isso, emprega-se o uso de células *Valley-Fill*¹, exibida na Figura 6. O funcionamento desta célula consiste na associação dos capacitores em série, quando a corrente circula no sentido de cima para baixo (etapa de carga) e na associação em paralelo dos capacitores quando a circulação de corrente ocorre no sentido de baixo para cima (etapa de descarga).

¹ A célula *Valley-Fill* é uma associação de três diodos e dois capacitores, originalmente proposta para aplicações de correção de fator de potência. Ela recebe este nome porque “preenche o vale” da forma de onda da corrente em retificadores, estendendo o período de condução e reduzindo a distorção harmônica, resultando em uma elevação do fator de potência, conforme descrito em Sum (2000).

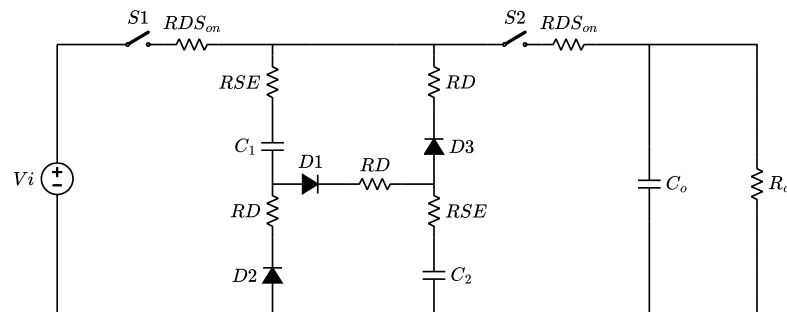
Figura 6: Célula Valley-Fill



Fonte: Autor.

A Figura 7 exibe o circuito geral do conversor proposto, considerando as resistências dos interruptores ($R_{DS_{on}}$), dos capacitores (R_{SE}) e dos diodos (R_D).

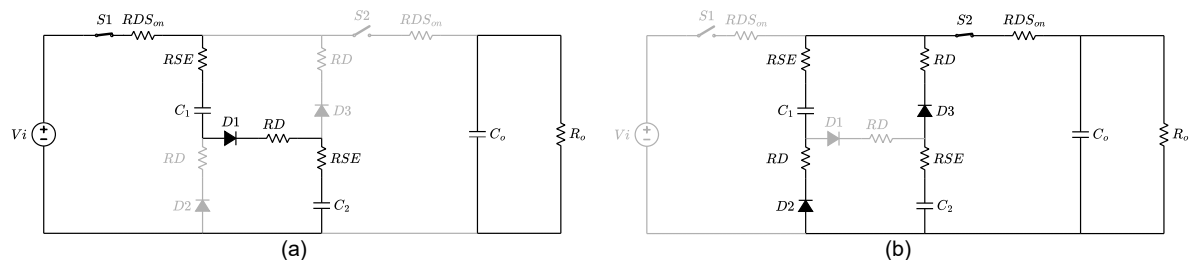
Figura 7: Topologia Conversor Série-Paralelo



Fonte: Autor.

As etapas de operação do circuito podem ser visualizadas na Figura 8 (a) e (b), sendo a etapa (a) a de carregamento em série dos capacitores e a etapa (b) a de descarregamento na carga e capacitor de saída, com os capacitores da célula associados em paralelo.

Figura 8: Etapas de Funcionamento: (a) Primeira Etapa (b) Segunda Etapa



Fonte: Autor.

Essa topologia oferece ganho estático ideal equivalente a $1/2$. Nas análises de Barbi (2019), para este conversor, a razão cíclica de operação que resulta na resistência mínima equivalente é de $1/3$, resultando em uma resistência equivalente de $9/4$ da resistência total do circuito.

3. DESENVOLVIMENTO

3.1. Análise em Equações Diferenciais

A análise, utilizando equações diferenciais, tem como objetivo encontrar a expressão que define a resistência equivalente da parte comutada do conversor, permitindo o entendimento do seu comportamento e influenciando na escolha dos componentes, de modo a obter a menor resistência possível e assim maximizando a eficiência do conversor.

Desse modo, inicialmente, para obter a equação que define a resistência equivalente, é possível usar o modelo da Figura 4, de tal modo a obter a equação (1), onde V_{in} é a tensão de entrada, V_o é a tensão de saída, sobre a carga, e I_o é a corrente média de saída.

$$R_{eq} = \frac{\frac{V_i}{2} - V_o}{I_o} \quad (1)$$

O valor médio da corrente de saída pode ser definido pela expressão (2), onde ΔV_c é a variação de tensão no capacitor chaveado, V_b é a tensão máxima do capacitor, V_a é a tensão mínima no mesmo e T_s é o período. A expressão pode ser reescrita, resultando em (3) onde f_s é a frequência de chaveamento.

$$I_o = C \cdot \frac{\Delta V_c}{\Delta t} \rightarrow I_o = C \cdot \frac{(V_b - V_a)}{T_s} \quad (2)$$

$$I_o = C \cdot f_s \cdot (V_b - V_a) \quad (3)$$

As tensões máximas e mínimas no capacitor podem ser obtidas utilizando equações diferenciais, baseados nas etapas (a) e (b) da Figura 8. A tensão máxima no capacitor é descrita por (4) e a tensão mínima é descrita por (5). Onde τ_1 e τ_2 são apresentados nas equações (6) e (7) respectivamente.

$$V_b = \left(\frac{V_i}{2} \cdot e^{\frac{(1-D)}{\tau_2 \cdot f_s}} \cdot \left(e^{\frac{D}{\tau_1 \cdot f_s}} - 1 \right) + V_o \cdot \left(e^{\frac{(1-D)}{\tau_2 \cdot f_s}} - 1 \right) \right) \cdot \left(e^{\frac{D}{\tau_1 \cdot f_s} + \frac{(1-D)}{\tau_2 \cdot f_s}} - 1 \right)^{-1} \quad (4)$$

$$V_a = \left(\frac{V_i}{2} \cdot \left(e^{\frac{D}{\tau_1 \cdot f_s}} - 1 \right) + V_o \cdot e^{\frac{D}{\tau_1 \cdot f_s}} \cdot \left(e^{\frac{(1-D)}{\tau_2 \cdot f_s}} \right) \right) \cdot \left(e^{\frac{D}{\tau_1 \cdot f_s} + \frac{(1-D)}{\tau_2 \cdot f_s}} - 1 \right)^{-1} \quad (5)$$

$$\tau_1 = (RDS_{on} + R_D + 2 \cdot RSE) \cdot \frac{C}{2} \quad (6)$$

$$\tau_2 = \left(RDS_{on} + \frac{R_D}{2} + \frac{RSE}{2} \right) \cdot 2 \cdot C \quad (7)$$

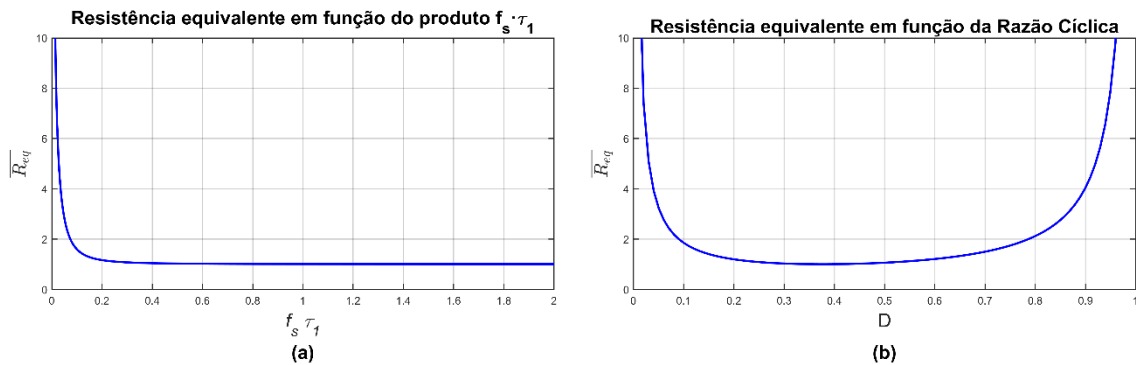
Substituindo (4) e (5) em (3) e, por fim, substituindo em (1) é possível obter a expressão para a resistência equivalente, apresentada na equação (8).

$$R_{eq} = \frac{1}{2 \cdot C \cdot f_s} \cdot \frac{e^{\frac{D}{\tau_1 \cdot f_s} + \frac{(1-D)}{\tau_2 \cdot f_s}} - 1}{\left(e^{\frac{D}{\tau_1 \cdot f_s}} - 1 \right) \cdot \left(e^{\frac{(1-D)}{\tau_2 \cdot f_s}} - 1 \right)} \quad (8)$$

A equação (8) permite visualizar que a resistência equivalente do circuito depende dos parâmetros de projeto escolhidos, como a frequência de chaveamento, capacitância, razão cíclica e as resistências intrínsecas aos componentes utilizados.

A Figura 9 demonstra o comportamento de R_{eq} normalizada em função da variação do produto $f_s \cdot \tau_1$ e também em função da variação da razão cíclica (D), onde os valores de R_{eq} foram normalizados em função da resistência equivalente mínima. A Figura 9 (a) demonstra a diminuição da resistência equivalente a partir do aumento do produto $f_s \cdot \tau_1$, aproximando-se de um valor mínimo definido por uma assíntota horizontal. Já a Figura 9 (b) evidencia a existência de uma razão cíclica (D) que minimiza a R_{eq} do conversor.

Figura 9: Comportamento da resistência equivalente R_{eq} . normalizada (a) Em função da variação do produto $f_s \cdot \tau_1$. (b) Em função da variação da razão Cíclica (D).

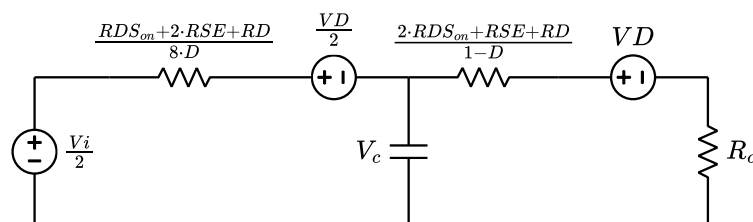


Fonte: Autor.

3.2. Análise em Valores Médios Quase Instantâneos

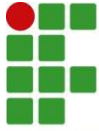
A análise em Valores Médios Quase Instantâneos é um método de análise para a modelagem de conversores CC-CC, descrevendo a dinâmica do conversor em baixas frequências de modo a preservar a magnitude e fase das formas de onda (Erickson, 2021). Essa análise é utilizada aqui para encontrar os esforços, principalmente de corrente, nos componentes. Através dela é possível conectar duas etapas distintas de operação do conversor, convertendo-o em um circuito único, relacionando a corrente de saída aos demais componentes do circuito. O circuito resultante da análise é exibido na Figura 10.

Figura 10: Circuito em Valores Médios



Fonte: Autor.

Neste modelo, a tensão e a corrente de saída são definidas, respectivamente, pelas expressões (9) e (10), a tensão média no capacitor (\overline{Vc}) é dada pela equação



(11) e a eficiência do conversor pode ser obtida por (12).

$$V_o = \frac{R_o}{R_o + \frac{RDS_{on} + 2 \cdot RSE + RD}{8 \cdot D} + \frac{2 \cdot RDS_{on} + RSE + RD}{1 - D}} \cdot \left(\frac{V_i}{2} - \frac{3}{2} \cdot VD \right) \quad (9)$$

$$I_o = \frac{V_o}{R_o} \quad (10)$$

$$\bar{V}_C = \frac{2 \cdot D \cdot (V_i - VD) \cdot (2 \cdot RDS_{on} + RSE + RD) + (VD + V_o) \cdot (1 - D) \cdot (RDS_{on} + 2 \cdot RSE + RD)}{(1 - D) \cdot (RDS_{on} + 2 \cdot RSE + RD) + 4 \cdot D \cdot (2 \cdot RDS_{on} + RSE + RD)} \quad (11)$$

$$\eta = \frac{2 \cdot V_o}{V_i} \quad (12)$$

Além das equações para a saída do conversor, é possível estabelecer os esforços de corrente, para os componentes do circuito, em função da corrente média de saída assim como os esforços de tensão. A Tabela 2 exibe os esforços de tensão e de corrente aos quais os componentes do circuito estarão suscetíveis.

Tabela 2: Esforços de Tensão e de Corrente

Componente	Tensão de pico/reversa máxima	Corrente Média	Corrente Eficaz
Capacitor Chaveado	$\frac{V_i}{2}$	0	$\sqrt{\left(\frac{I_o^2}{4 \cdot D}\right) + \left(\frac{I_o^2}{(1 - D)}\right)}$
Capacitor de Saída	$\frac{V_i}{2}$	0	$\sqrt{I_o^2 \cdot D + \frac{(I_o \cdot D)^2}{1 - D}}$
Chave S1	$\frac{V_i}{2}$	$\frac{I_o}{2}$	$\sqrt{\left(\frac{I_o^2}{4 \cdot D}\right)}$
Chave S2	$\frac{V_i}{2}$	I_o	$\sqrt{\left(\frac{I_o^2}{(1 - D)}\right)}$
Diodo D1	$-\frac{V_i}{2}$	$\frac{I_o}{2}$	$\sqrt{\left(\frac{I_o^2}{4 \cdot D}\right)}$
Diodo D2	$-\frac{V_i}{2}$	$\frac{I_o}{2}$	$\frac{\sqrt{\left(\frac{I_o^2}{(1 - D)}\right)}}{2}$
Diodo D3	$-\frac{V_i}{2}$	$\frac{I_o}{2}$	$\frac{\sqrt{\left(\frac{I_o^2}{(1 - D)}\right)}}{2}$

Fonte: Autor.

3.3. Dimensionamento dos Capacitores

Para as equações do capacitor chaveado, Menegatti (2021) propõe as equações (13) e (14) que são baseadas no equacionamento por valores médios quase instantâneos.

$$C \geq \frac{I_o}{2 \cdot f_s \cdot \Delta V_c} \quad (13)$$

$$C_o \geq \frac{I_o \cdot D}{f_s \cdot \Delta V_{co}} \quad (14)$$

3.4. Projeto do Conversor

Para a produção de um protótipo é necessário definir alguns parâmetros de projeto. Como o objetivo deste estudo é compreender o funcionamento da topologia, validar a metodologia de projeto e verificar a viabilidade prática dos conversores a capacitor chaveado, fez-se a opção por um conversor de baixa potência e baixa tensão. Dessa forma, a Tabela 3 apresenta os parâmetros definidos para o desenvolvimento do protótipo.

Tabela 3: Parâmetros de Projeto

Parâmetro	Valor
Potência de saída (P_o)	80 W
Frequência de Chaveamento (f_s)	50 kHz
Tensão de Entrada (V_i)	48 V
Tensão de Saída (V_o)	24 V
Razão Cíclica (D)	1/3
Ondulação de Tensão nos Capacitores (ΔV)	<1% de V_o

Fonte: Autor.

Os parâmetros estabelecidos seguem a metodologia de especificação utilizada no projeto de conversores chaveados, conforme apresentado por Barbi (2001). Apenas a razão cíclica é definida, a priori, com o objetivo de minimizar a resistência série equivalente para esta topologia, conforme discutido por Barbi (2019).

O dimensionamento dos componentes é realizado com base nos esforços de tensão e corrente previamente calculados. Nesse sentido, os valores apresentados na Tabela 3 são ideais e permitem estimar os esforços de corrente nos componentes, resultando em uma corrente média, ideal, de saída de 3,33 A. A Tabela 4 apresenta estes esforços calculados, que servem como base para a seleção dos componentes do circuito.

Após o dimensionamento dos componentes é possível encontrar a resistência equivalente do circuito e assim recalculer os valores de tensão e de corrente a partir das equações obtidas nas seções anteriores, para a realização das comparações

entre prática, teoria e simulação.

Tabela 4: Esforços de Tensão e Corrente Calculados

Componente	Tensão de pico/reversa	Corrente Média	Corrente Eficaz
Capacitor Chaveado	24 V	0 A	3,54 A
Capacitor de Saída	24 V	0 A	2,36 A
Chave S1	24 V	1,66 A	2,88 A
Chave S2	24 V	3,33 A	4,08 A
Diodo D1	-24 V	1,66 A	2,88 A
Diodo D2	-24 V	1,66 A	2,04 A
Diodo D3	-24 V	1,66 A	2,04 A

Fonte: Autor.

O cálculo dos capacitores chaveado e de saída resulta, respectivamente, em 139 μF e 93 μF , todavia, capacitores comerciais próximos a estes valores não suportarão a corrente eficaz ao qual estarão suscetíveis. Dessa forma, com base na disponibilidade de materiais, um banco de capacitores eletrolíticos foi projetado, visando atender os requisitos mínimos e suportar a corrente eficaz. A Tabela 5 apresenta as capacitâncias dimensionadas e suas resistências série equivalente e a Tabela 6 demonstra os MOSFETs e os diodos dimensionados, apresentando suas características.

Tabela 5: Capacitores Dimensionados

Capacitor	Cap. Mínima	Qtd. Capacitores em paralelo para um banco	Cap. Equivalente	RSE Equivalente
Chaveado	139 μF	5 x 150 μF	750 μF	0,024 Ω
Saída	93 μF	4 x 150 μF	600 μF	0,03 Ω

Fonte: Hitano, 2016.

Tabela 6: Dimensionamento MOSFETs e Diodos

Componente	Tensão	Corrente	Resistência
MOSFET IRF540	$V_{DS}=100\text{ V}$	28 A (25° C)	$R_{DS(on)}= 77\text{ m}\Omega$
Diodo MUR460	Bloqueio: 600 V Condução: 1,05 V	4 A	$R_d= 20\text{ m}\Omega$

Fonte: Vishay, 2021.

Com a definição dos parâmetros de projeto e o dimensionamento dos componentes é possível estabelecer qual será o modo de carga do capacitor, através do produto entre a frequência de chaveamento e a constante de tempo da primeira etapa. O resultado é apresentado na Tabela 7 e indica que o modo de operação do capacitor será o modo de carga constante.

Tabela 7: Valores Modo de Operação do Capacitor

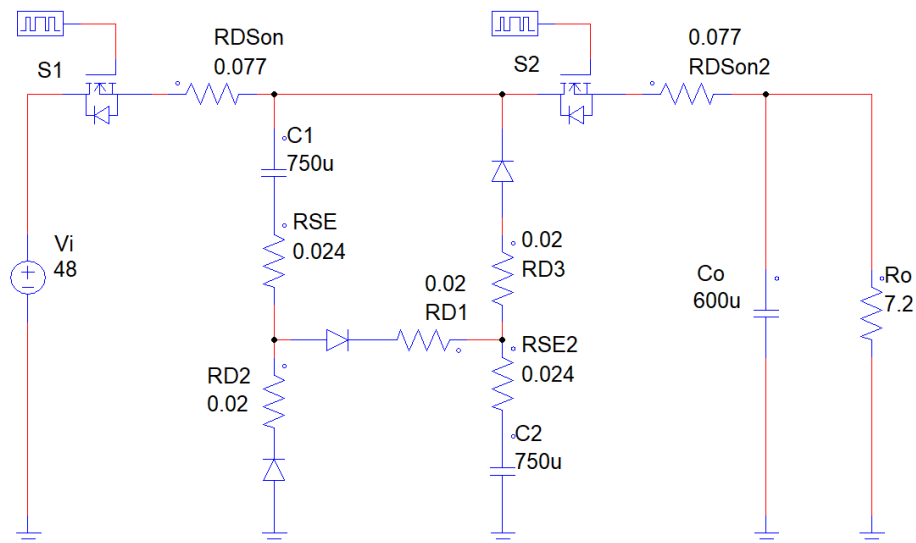
Parâmetro	Valor
τ_1	54,38 μ s
f_s	50 kHz
$f_s \cdot \tau_1$	2,72

Fonte: Autor.

4. RESULTADOS E DISCUSSÃO

Concluída a etapa de projeto do conversor, passou-se a validação dos conceitos pela análise dos resultados de simulação e pela implementação de um protótipo físico. A simulação foi realizada através do software de simulação PSIM, cujo esquemático do circuito é apresentado na Figura 11.

Figura 11: Esquemático do Circuito no Software PSIM



Fonte: Autor.

Como exemplo, a Figura 12 exibe a forma de onda da tensão e de corrente no capacitor chaveado, onde é possível confirmar o modo de operação em carga constante previamente calculado.

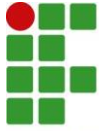
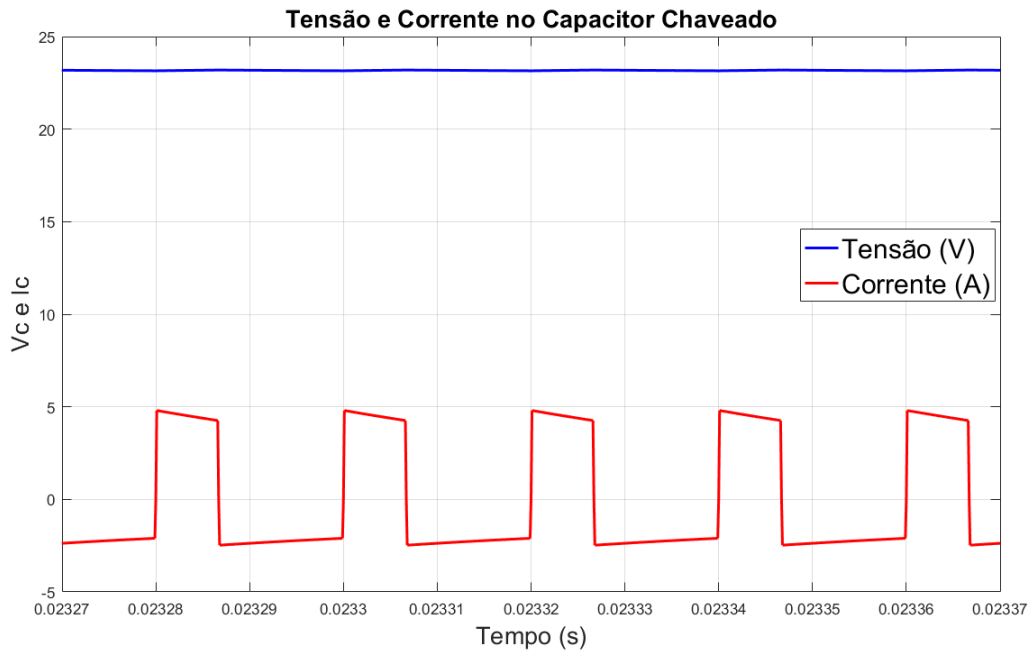


Figura 12: Forma de Onda Simulada no Capacitor Chaveado



Fonte: Autor.

Para a validação, inicialmente o conversor opera nas condições de projeto a fim de avaliar suas características, entretanto, foram efetuadas também avaliações sob variação de frequência, da razão cíclica e da carga, de modo a comprovar, principalmente, o comportamento da resistência equivalente diante dessas variações. A Figura 13 exibe o protótipo físico do conversor elaborado.

Figura 13: Protótipo Elaborado



Fonte: Autor.

4.1. Avaliação sob condições de projeto

Como pode ser observado na Tabela 8 e na Tabela 9, os valores obtidos na prática se assemelham aos valores obtidos na simulação e no cálculo teórico. A diferença existente entre os valores é justificada pelos elementos não considerados, como a resistência da placa de circuito impresso, a resistência de contato e indutâncias parasitas. Para o valor prático da corrente média no capacitor chaveado é possível observar que o valor não é zero conforme esperado pelo cálculo e a simulação. Esse valor obtido se deve à janela de medição do osciloscópio que calcula

a média apenas sobre o intervalo exibido na tela. Durante as medições não foi possível alinhar a janela de medição com o período de chaveamento, resultando em um valor médio de corrente pequeno, porém diferente de zero.

Tabela 8: Valores de Tensão Calculado, Simulado e Prático

Parâmetro	Cálculo	Simulação	Prática
Saída	21,4 V (médio)	21,7 V (médio)	21,9 V (médio)
Chave S1	24,0 V (máx.)	25,1 V (máx.)	24,2 V (máx.)
Chave S2	24,0 V (máx.)	25,1 V (máx.)	23,8 V (máx.)
Cap. Chaveado	23,2 V (médio)	23,3 V (médio)	22,8 V (médio)
Cap. Saída	24,0 V (médio)	22,2 V (médio)	21,9 V (médio)
Diodo D1	-24,0 V (máx.)	-24,0 V (máx.)	-23,2 V (máx.)
Diodo D2 e D3	-24,0 V (máx.)	-24,2 V (máx.)	-23,8 V (máx.)

Fonte: Autor.

Tabela 9: Valores de Corrente Calculado, Simulado e Prático

Parâmetro	Cálculo		Simulação		Prática	
	Médio	Eficaz	Médio	Eficaz	Médio	Eficaz
Saída	2,98 A	2,98 A	3,02 A	3,02 A	2,76 A	2,76 A
Chave S1	1,49 A	2,58 A	1,48 A	2,59 A	1,51 A	2,48 A
Chave S2	2,98 A	3,65 A	3,01 A	3,71 A	2,87 A	3,54 A
Cap. Chaveado	0,00 A	3,16 A	0,00 A	3,19 A	0,19 A	2,80 A
Cap. Saída	0,00 A	2,11 A	0,00 A	2,17 A	0,18 A	2,08 A
Diodo D1	1,49 A	2,58 A	1,49 A	2,60 A	1,39 A	2,43 A
Diodo D2 e D3	1,49 A	1,82 A	1,50 A	1,85 A	1,40 A	1,81 A

Fonte: Autor.

Para a eficiência do conversor, a Tabela 10 apresenta os valores de potência e eficiência, indicando uma eficiência prática de 87,90%, apresentando uma diferença de apenas 1,7% em relação ao valor calculado e 3,6% inferior ao valor simulado.

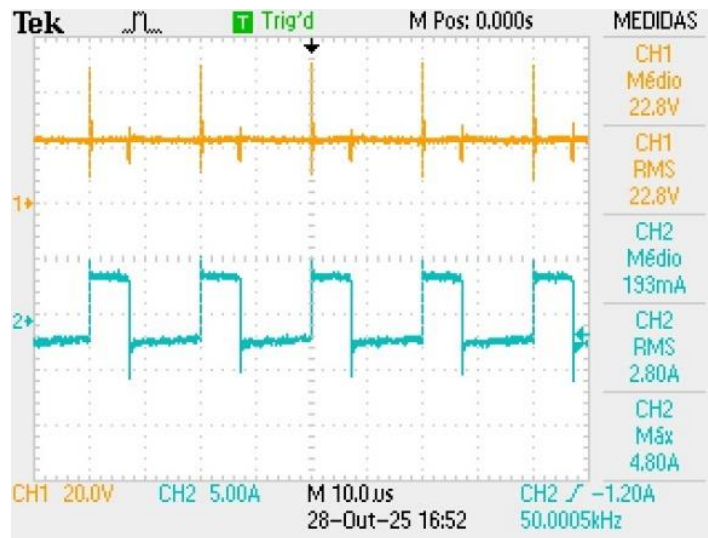
Tabela 10: Valores de Potência e Eficiência

Parâmetro	Cálculo	Simulação	Prático
Potência de Entrada (P_{in})	71,5 W	71,6 W	67,8 W
Potência de Saída (P_{out})	64,0 W	65,5 W	59,6 W
Eficiência (η)	89,60%	91,50%	87,90%

Fonte: Autor.

Na Figura 14 é possível observar que a forma de onda prática no capacitor chaveado é semelhante à forma de onda simulada, com pequenas diferenças devido à presença de picos na comutação, entre as etapas de funcionamento.

Figura 14: Forma de onda prática no capacitor chaveado



Fonte: Autor.

4.2. Avaliação Sob Variação de Parâmetros

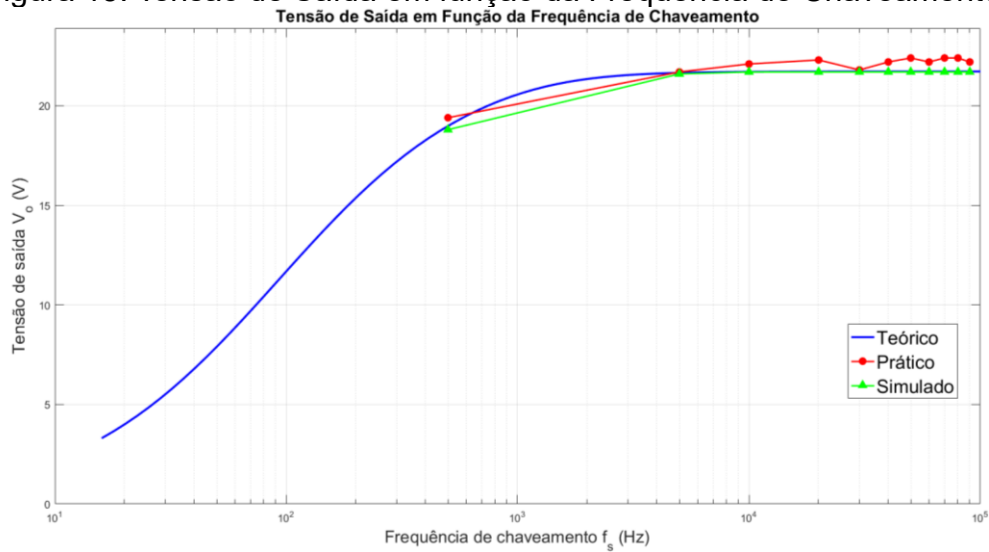
Para a avaliação do conversor diante da variação de determinados parâmetros, a variável escolhida para observação foi a tensão de saída, pois esta é a variável de maior importância para a finalidade de um conversor e, além disso, permite avaliar o comportamento da resistência equivalente.

4.2.1. Avaliação Sob Variação da Frequência de Chaveamento

Na avaliação sob variação de frequência o conversor apresenta mudanças significativas apenas na operação em baixas frequências, conforme pode ser observado na Figura 15, uma vez que a resistência equivalente tende a aumentar em operações com chaveamento em baixa frequência. Com o aumento da frequência, a tensão de saída estabiliza, atingindo seu valor final a partir de, aproximadamente, 10 kHz. Por outro lado, o aumento da frequência de chaveamento implica no aumento das perdas por comutação, conforme discutido por Barbi (2019). Nesse estudo foi possível constatar que o diodo D1 entrou em colapso com a operação chegando em 100 kHz.

Adicionalmente, constata-se que o ajuste da tensão de saída para valores abaixo da tensão de saída nominal é possível variando a frequência de operação. No entanto, a faixa de valores para as frequências que permitem o ajuste de tensão coincide com o espectro de frequências audíveis, introduzindo ruídos acústicos para o conversor e, além disso, este ajuste também compromete a eficiência do conversor.

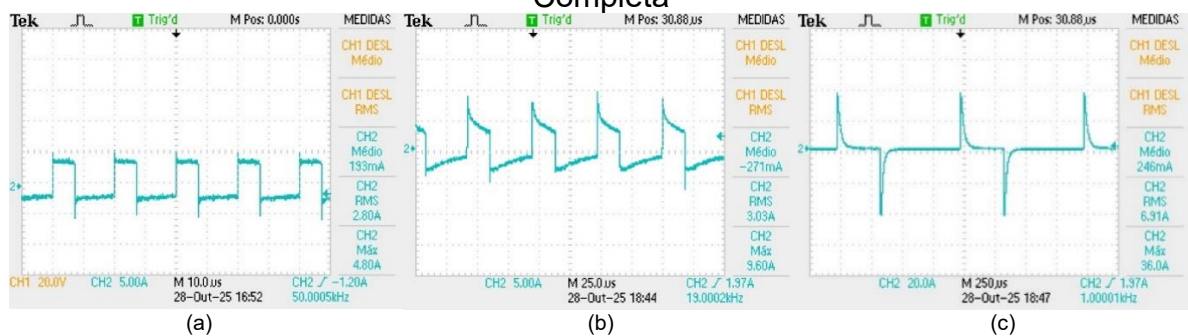
Figura 15: Tensão de Saída em função da Frequência de Chaveamento



Fonte: Autor.

Além da influência na tensão de saída, a variação de frequência altera o modo de operação do conversor. A Figura 16 apresenta os resultados experimentais para essas mudanças na frequência de comutação. Em (a) o produto " $f_s \cdot \tau_1$ " resulta em 2,72 resultando no modo de operação carga constante, em (b) este produto é aproximadamente igual a 1, indicando a operação em modo de carga parcial e, por fim, em (c) o produto obtido é igual a 0,05 ocasionando na operação em carga completa. Através disso, é possível confirmar os limiares estabelecidos na teoria, conforme a Tabela 1.

Figura 16: Formas de onda da corrente no capacitor chaveado para diferentes frequências de comutação: (a) Carga Constante, (b) Carga Parcial e (c) Carga Completa



Fonte: Autor.

4.2.2. Avaliação Sob Variação da Razão Cíclica

A variação da razão cíclica foi efetuada considerando a razão cíclica sobre o transistor S1, sendo a razão cíclica do transistor S2 complementar a este primeiro. A Figura 17 retrata que as maiores variações da tensão de saída são encontradas quando a razão cíclica está entre 0 e 10% ou entre 90% e 100%. Além disso, é possível confirmar que a razão cíclica que maximiza a tensão de saída para esta topologia é de 1/3, conforme avaliado em Barbi (2019).

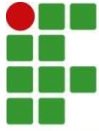
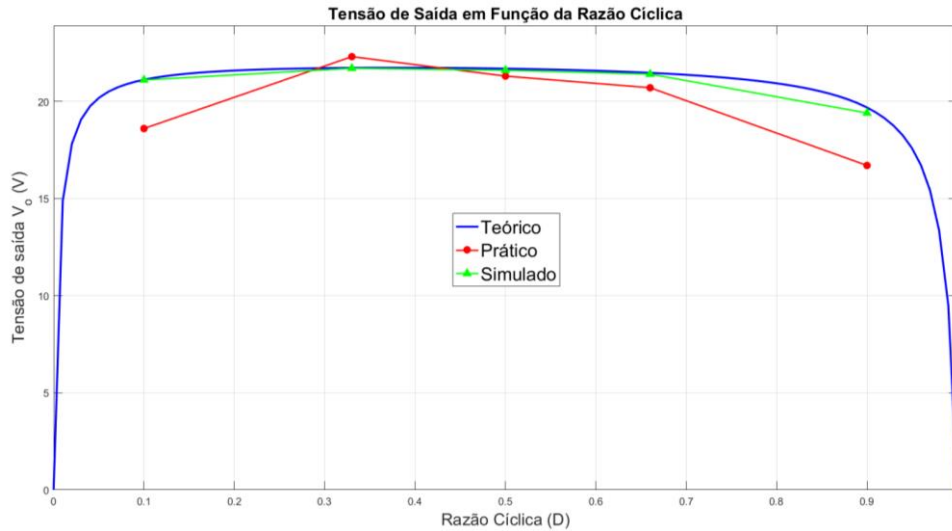


Figura 17: Tensão de Saída em Função da Razão Cíclica



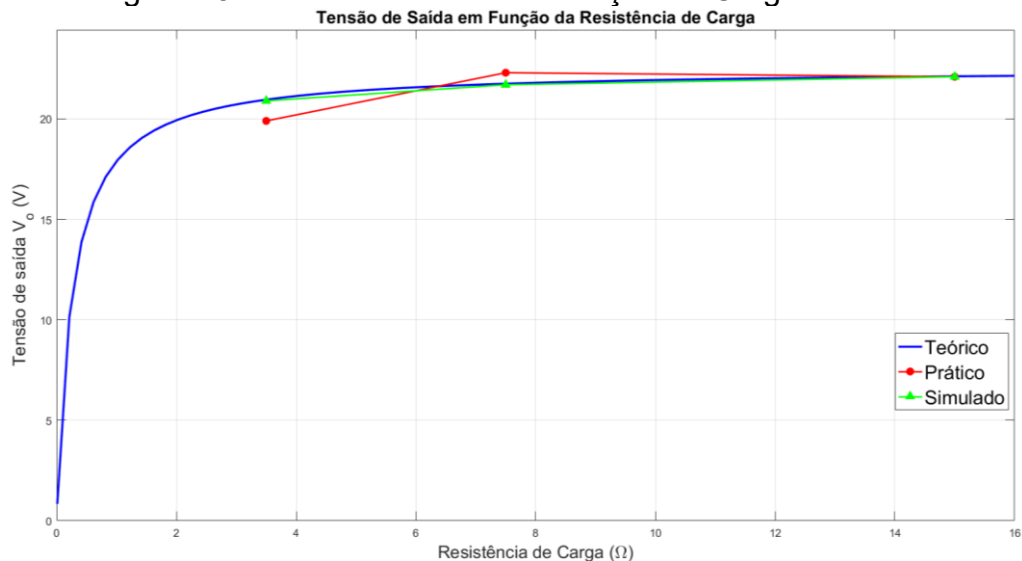
Fonte: Autor.

Ainda é possível observar na Figura 17 que o controle da tensão de saída, através da razão cíclica, para valores abaixo do projetado é possível, entretanto, a faixa útil para controle é bastante restrita, limitando-se a pequenos intervalos nos extremos inferior e superior da razão cíclica. Além disso, estes ajustes na tensão de saída comprometem significativamente a eficiência do conversor.

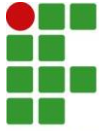
4.2.3. Avaliação Sob Variação da Carga de Saída

Através da Figura 18 é possível observar que a tensão de saída reduz consideravelmente a medida em que a carga aumenta (ou seja, quando a resistência de carga diminui). Este comportamento acontece devido ao aumento da corrente de saída que eleva a queda de tensão distribuída entre a resistência equivalente (R_{eq}) do conversor e a resistência de carga (R_o).

Figura 18: Tensão de Saída em Função da Carga de Saída



Fonte: Autor.



5. CONSIDERAÇÕES FINAIS

O presente trabalho apresentou a análise, projeto e implementação de um conversor CC-CC a capacitor chaveado utilizando a topologia série-paralelo, que emprega o uso da célula *Valley-Fill* e possui ganho ideal de $1/2$. As equações diferenciais obtidas descrevem o comportamento do conversor, permitindo a determinação da resistência equivalente através do modelo proposto por Seeman e Sanders (2008). A modelagem em valores médios quase instantâneos empregada permitiu a obtenção das equações para a tensão e corrente nos componentes, possibilitando o dimensionamento dos elementos do circuito.

A partir das equações obtidas foi realizado o projeto do conversor considerando a disponibilidade de materiais e os esforços aos quais os componentes são submetidos, seguido de simulações em softwares apropriados para a validação teórica e, por fim, a montagem de um protótipo experimental. A comparação entre os resultados teóricos, simulados e práticos demonstrou boa concordância, validando o modelo proposto. A tensão de saída obtida para o conversor foi de 21,9 V com uma corrente de 2,76 A e eficiência de 87,9%. Os resultados indicam uma dependência da resistência equivalente do circuito, ressaltando a importância do dimensionamento dos componentes, visando o aumento do rendimento do circuito. A diferença resultante para os valores práticos em relação ao cálculo e a simulação podem ser atribuídas a outros elementos não considerados na análise como as resistências da placa de circuito impresso e de contato, além de indutâncias parasitas e a tolerância nos valores dos componentes, como a queda de tensão nos diodos, por exemplo.

A avaliação do conversor sob a variação de alguns parâmetros permitiu compreender o efeito na tensão de saída. A variação da frequência de chaveamento indica uma estabilização na tensão de saída a partir de uma frequência de aproximadamente 10 kHz, para este projeto, indicando que o aumento deste parâmetro acima deste valor, contribui apenas para o aumento de perdas por comutação. A análise sob o comportamento do conversor pela variação da razão cíclica indica a existência de um valor que minimiza a resistência equivalente conforme discutido na literatura, que é $1/3$. A avaliação diante da mudança das cargas, indicam um bom desempenho operacional para valores de corrente média igual ou menores as condições de projeto e uma redução significativa na tensão de saída para correntes superiores ao projetado.

No que se refere à capacidade de ajuste da tensão de saída, os resultados indicaram que a variação da frequência de chaveamento e a variação da razão cíclica permitem o ajuste da tensão de saída para valores inferiores ao valor máximo de saída do conversor. Porém, o ajuste de tensão em função da frequência de chaveamento é significativo apenas para valores de frequência até 10 kHz, o que introduz ruídos acústicos, uma vez que esta faixa se situa dentro do espectro audível. Paralelamente, o ajuste da tensão de saída em função da razão cíclica também apresenta limitações, uma vez que os ajustes relevantes na tensão são possíveis somente para valores extremos da razão cíclica e com um intervalo bastante restrito para o ajuste. Em ambas as estratégias para a regulação da tensão de saída, a eficiência do conversor é comprometida.

Por fim, verificou-se que o conversor analisado apresentou comportamento coerente com a teoria, atingindo a tensão de saída próxima aos valores calculados e simulados, validando a análise proposta e aprofundando os conhecimentos acerca

desta tecnologia de conversores.

Como sugestões para trabalhos futuros, recomenda-se a avaliação de estratégias de controle destes conversores, bem como o estudo de outras topologias existentes, tais como, as topologias Série-série, Fibonacci e Dickson, visando maior eficiência e melhor desempenho dinâmico.

REFERÊNCIAS

BARBI, I. **Conversores a Capacitor Chaveado**. Edição do autor, 1. [S.l.]: UFSC, 2019.

BARBI, I. **Projeto de Fontes Chaveadas**. Florianópolis: Edição do Autor, 2001.

BENDER, V. C. **Modelagem e Acionamento de Diodos Orgânicos Emissores de Luz (OLEDs) para Sistemas de Iluminação**. Tese (Doutorado) — Universidade Federal de Santa Maria, UFSM, Santa Maria – RS, 2015.

BROADBAND TELCOM POWER, INC. K. Kit Sum. **Valley-Fill power factor correction circuit**. Patente EUA n. 6.141.230, 31 out. 2000.

ERICKSON, R. W; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. 3. ed. Cham: Springer, 2020.

HITANO. **Aluminum Electrolytic Capacitors-ESX Series**. [S.l.], 2016. Disponível em: https://www.hitano.com.tw/wp-content/uploads/doc/ESX_20231128.pdf. Acesso em: 01/10/2025.

MARTINS, G. B. **Estudo de Conversores a Capacitores Chaveados**. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, UFSC, Florianópolis – SC, 2013.

MENEGATTI, R. B. **Conversores abaixador série-paralelo CC-CC e CA-CC a Capacitor Chaveado**. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, UTFPR, Pato Branco – PR, 2021.

SEEMAN, M.D.; SANDERS, S. R. **Analysis and Optimization of Switched-Capacitor DC-DC Converters**. IEEE Transactions on Power Electronics, v. 23, n. 2, p. 841 – 851, mar., 2008.

SILVA, R. L. **Fonte Auxiliar Alimentada em Média Tensão Baseada na Integração do Conversor Forward com Células de Capacitor Chaveado**. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, UFSC, Florianópolis – SC, 2018.

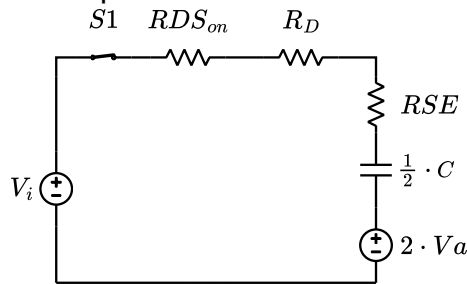
VISHAY. **IRF540 Power MOSFET**. [S.l.], 2021. Disponível em: <https://www.vishay.com/docs/91021/irf540.pdf>. Acesso em: 01/10/2025.

APÊNDICE A

Análise em Equações Diferenciais

Equacionamento da primeira etapa de funcionamento:

Figura 19: Primeira Etapa do Funcionamento – Análise Diferencial



Fonte: Autor.

Para esta análise a queda de tensão do diodo (V_D) será desconsiderada pois a mesma não influencia no valor da resistência equivalente do circuito, cujo é o objetivo desta análise.

Aplicando LKT ao circuito:

$$(RDS_{on} + RD + 2 RSE) \cdot \frac{C}{2} \cdot \frac{d(V_{c_{etapa1}}(t))}{dt} + V_{c_{etapa1}}(t) = Vi - 2 Va$$

A resolução da equação diferencial acima é dada pela soma da equação diferencial homogênea e a solução particular.

EDO homogênea:

$$VC_{H_etapa1}(t) = C1 \cdot e^{\frac{-t}{\tau_1}} \quad \text{Onde: } \tau_1 = (RDS_{on} + RD + 2 RSE) \cdot \frac{Cs}{2}$$

EDO particular:

$$VC_{S_etapa1}(t) = A$$

$$(RDS_{on} + RD + 2 RSE) \cdot \frac{C}{2} \cdot \frac{d(A)}{dt} + A = Vi - 2 Va$$

$$A = Vi - 2 Va$$

A solução final da equação é a soma das duas EDO's:

$$V_{c_{etapa1}}(t) = C1 \cdot e^{\frac{-t}{\tau_1}} + Vi - 2 Va$$

No modelo da Figura 19 já é contemplado a tensão inicial do capacitor pela fonte com o dobro do valor de V_a , logo para descobrir a constante $C1$ da EDO, o capacitor do modelo possui tensão inicial nula no início do período logo:

$$0 = C1 \cdot e^{\frac{-0}{\tau_1}} + Vi - 2 Va$$

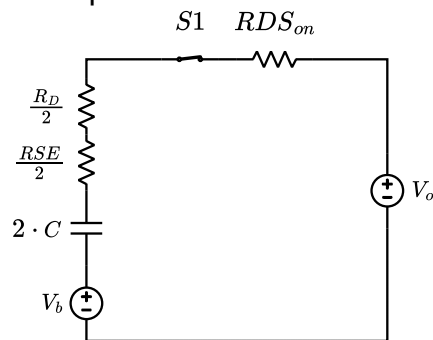
$$C1 = 2 Va - Vi$$

Por fim, a equação final para a tensão no capacitor na primeira etapa é dada pela expressão abaixo:

$$V_{c_{etapa1}}(t) = \left(\frac{Vi}{2} - Va \right) \cdot \left(1 - e^{\frac{-t}{\tau_1}} \right) + Va$$

Equacionamento da segunda etapa de funcionamento:

Figura 20: Segunda Etapa de Funcionamento – Análise Diferencial



Fonte: Autor.

Aplicando LKT ao circuito:

$$\left(RDS_{on} + \frac{RD}{2} + \frac{RSE}{2} \right) \cdot 2 C \cdot \frac{d(V_{c_{etapa2}}(t))}{dt} + V_{c_{etapa2}}(t) = V0 - Vb$$

EDO Homogênea:

$$V_{c_{sH_etapa2}}(t) = C1 \cdot e^{\frac{-t}{\tau_2}} \quad \text{Onde: } \tau_2 = \left(RDS_{on} + \frac{RD}{2} + \frac{RSE}{2} \right) \cdot 2 C$$

EDO Particular:

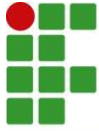
$$V_{c_{sP_etapa2}}(t) = A$$

$$\left(RDS_{on} + \frac{RD}{2} + \frac{RSE}{2} \right) \cdot 2 C \cdot \frac{d(A)}{dt} + A = V0 - Vb$$

$$A = V0 - Vb$$

O resultado é a soma das EDO's:

$$V_{c_{etapa2}}(t) = C1 \cdot e^{\frac{-t}{\tau_2}} + V0 - Vb$$



No modelo da Figura 20 já é contemplado a tensão inicial do capacitor pela fonte com o dobro do valor de V_a , logo para descobrir a constante C_1 da EDO, o capacitor do modelo possui tensão inicial nula no início do período logo:

$$0 = C_1 \cdot e^{\frac{-0}{\tau_2}} + V_0 - V_b$$

$$C_1 = V_b - V_0$$

Por fim, a equação final para a tensão no capacitor na segunda etapa é dada pela seguinte expressão:

$$V_{c_{etapa2}}(t) = (V_0 - V_b) \cdot \left(1 - e^{\frac{-t}{\tau_2}}\right) + V_b$$

Sabe-se que a tensão sobre o capacitor no final da etapa 1 é igual a V_b , matematicamente $V_{c_{etapa1}}(D \cdot T) = V_b$, e no final da segunda etapa a tensão é igual a V_a , matematicamente $V_c((1-D) \cdot T) = V_b$, aplicando essa consideração nas expressões para cada etapa obtida e realizando as devidas manipulações é possível obter o seguinte sistema de equações:

$$V_b = \frac{\frac{V_i}{2} \left(1 - e^{\frac{-D \cdot T}{\tau_1}}\right) + \left(V_0 - V_0 \cdot e^{\frac{-(1-D) \cdot T}{\tau_2}}\right) \cdot e^{\frac{-D \cdot T}{\tau_1}}}{1 - e^{\frac{-(1-D) \cdot T}{\tau_2}} - \frac{D \cdot T}{\tau_1}}$$

$$V_a = \frac{\frac{V_i}{2} \cdot \left(e^{\frac{D \cdot T}{\tau_1}} - 1\right) + V_0 \cdot e^{\frac{D \cdot T}{\tau_1}} \cdot \left(e^{\frac{(1-D) \cdot T}{\tau_2}} - 1\right)}{e^{\frac{D \cdot T}{\tau_1}} + \frac{(1-D) \cdot T}{\tau_2} - 1}$$

A variação de tensão no capacitor é dada por:

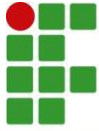
$$\Delta V_c = V_b - V_a$$

Substituindo as equações a expressão que define a variação de tensão no capacitor é expressada abaixo.

$$\Delta V_c = \frac{\left(\frac{V_i}{2} - V_0\right) \cdot \left(e^{\frac{D \cdot T}{\tau_1}} - 1\right) \cdot \left(e^{\frac{(1-D) \cdot T}{\tau_2}} - 1\right)}{e^{\frac{D \cdot T}{\tau_1}} + \frac{(1-D) \cdot T}{\tau_2} - 1}$$

Pelo modelo proposto por Seeman e Sanders (2008), a resistência equivalente do sistema pode ser expressa pela seguinte equação:

$$R_{eq} = \frac{\left(\frac{V_i}{2} - V_0\right)}{I_0}$$



A corrente média de saída (I_0) pode ser relacionada pela equação da carga do capacitor da seguinte maneira:

$$\Delta Q = C \cdot \Delta V_c \quad \text{Dividindo a expressão pelo período}$$

$$\frac{\Delta Q}{T} = C \cdot \frac{\Delta V_c}{T} \quad \text{Sabe-se que: } \frac{\Delta Q}{T} = I_0$$

$$I_0 = 2 \cdot C \cdot f_s \cdot \Delta V_c$$

Dessa Forma, substituindo a expressão da variação de tensão no capacitor obtida e aplicando na equação da resistência equivalente, obtêm-se:

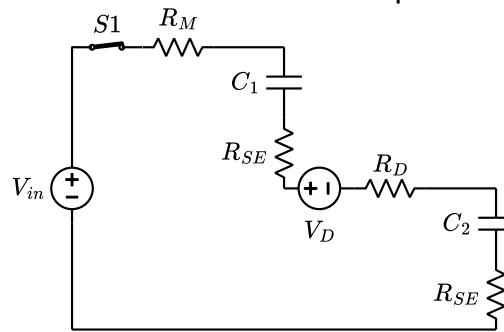
$$R_{eq} = \frac{1}{2 \cdot C \cdot f_s} \cdot \frac{e^{\frac{(D)}{\tau_1 \cdot f_s} + \frac{((1-D))}{\tau_2 \cdot f_s}} - 1}{\left(e^{\frac{D}{\tau_1 \cdot f_s}} - 1 \right) \cdot \left(e^{\frac{(1-D)}{\tau_2 \cdot f_s}} - 1 \right)}$$

APÊNDICE B

Análise em Valores Médios Quase Instantâneos

Equacionamento da Primeira Etapa de Funcionamento:

Figura 21: Circuito da Primeira Etapa de Operação



Fonte: Autor.

$$I_{c1} = \frac{(V_i - V_d - V_{c1} - V_{c2})}{R_M + 2 R_{SE} + R_D} = C \cdot \frac{dV_{c1}}{dt}$$

$$I_{c2} = \frac{(V_i - V_d - V_{c1} - V_{c2})}{R_M + 2 R_{SE} + R_D} = C \cdot \frac{dV_{c2}}{dt}$$

Se $V_{c1} = V_{c2} = V_c$ e $C_1 = C_2 = C$, logo:

$$\frac{(V_i - V_d - 2 V_c)}{R_M + 2 R_{SE} + R_D} = \frac{C}{2} \cdot \frac{dV_c}{dt}$$

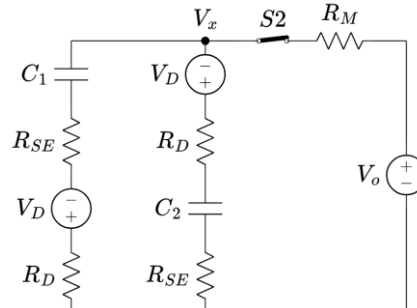
Multiplicando por D:

$$\frac{(V_i - V_d - 2 V_c)}{R_M + 2 R_{SE} + R_D} \cdot D = \frac{C}{2} \cdot \frac{dV_c}{dt} \cdot D$$

$$\boxed{\frac{2 \cdot (V_i - V_d - 2 V_c)}{R_M + 2 R_{SE} + R_D} \cdot D = C \cdot \frac{dV_c}{dt} \cdot D}$$

Equacionamento da Segunda Etapa de Funcionamento:

Figura 22: Circuito da Segunda Etapa de Operação



Fonte: Autor.

$$I_{c1} = \frac{I_o}{2} \quad I_{c2} = \frac{I_o}{2} \quad I_o = \frac{(V_x - V_o)}{R_M}$$

$$V_{c1} - (R_{SE} + R_D) \cdot I_{c1} - V_d - V_x = 0$$

$$I_{c1} = \frac{(V_{c1} - V_x - V_d)}{R_{SE} + R_D} \rightarrow I_{c1} = -C_1 \cdot \frac{dV_{c1}}{dt} \rightarrow \frac{(V_{c1} - V_x - V_d)}{R_{SE} + R_D} = -C_1 \cdot \frac{dV_{c1}}{dt}$$

$$V_{c1} - V_d + C_1 \cdot \frac{dV_{c1}}{dt} \cdot (R_{SE} + R_D) = V_x$$

$$V_{c2} - V_d + C_2 \cdot \frac{dV_{c2}}{dt} \cdot (R_{SE} + R_D) = V_x$$

$$I_o = I_{c1} + I_{c2} = -C_1 \cdot \frac{dV_{c1}}{dt} - C_2 \cdot \frac{dV_{c2}}{dt}$$

$$\frac{(V_x - V_o)}{R_M} = -C_1 \cdot \frac{dV_{c1}}{dt} - C_2 \cdot \frac{dV_{c2}}{dt}$$

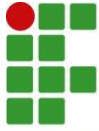
$$(V_x - V_o) = R_M \cdot \left(-C_1 \cdot \frac{dV_{c1}}{dt} - C_2 \cdot \frac{dV_{c2}}{dt} \right)$$

$$\left(\left(V_{c1} - V_d + C_1 \cdot \frac{dV_{c1}}{dt} \cdot (R_{SE} + R_D) \right) - V_o \right) = R_M \cdot \left(-C_1 \cdot \frac{dV_{c1}}{dt} - C_2 \cdot \frac{dV_{c2}}{dt} \right)$$

$V_{c1} = V_{c2} = V_c$, assim como, $C_1 = C_2 = C$.

$$\left(\left(V_c - V_d + C \cdot \frac{dV_c}{dt} \cdot (R_{SE} + R_D) \right) - V_o \right) = R_M \cdot \left(-2 \cdot C \cdot \frac{dV_c}{dt} \right)$$

$$V_c - V_d - V_o = -2 \cdot C \cdot \frac{dV_c}{dt} \cdot \left(R_M + \frac{R_{SE}}{2} + \frac{R_D}{2} \right)$$



Multiplicado à última expressão por (1-D) e expandindo têm-se:

$$(V_c - V_d - V_0) \cdot (1 - D) = -2 \cdot C \cdot \frac{dV_c}{dt} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) \cdot (1 - D)$$

$$(V_c - V_d - V_0) \cdot (1 - D) = -2 \cdot C \cdot \frac{dV_c}{dt} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) + 2 \cdot C \cdot D \cdot \frac{dV_c}{dt} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right)$$

Adicionando a expressão da primeira etapa nesta última:

$$(V_c - V_d - V_0) \cdot (1 - D) = -2 \cdot C \cdot \frac{dV_c}{dt} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) + 2 \cdot \frac{(V_i - V_d - 2 V_c) \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right)$$

$$(V_c - V_d - V_0) \cdot (1 - D) = 2 \cdot \frac{(V_i - V_d - 2 V_c)}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right)$$

$$(V_c - V_d - V_0) \cdot (1 - D) = \frac{4 \cdot (V_i - V_d - 2 V_c) \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right)$$

$$(V_c - V_d - V_0) - D \cdot (V_c - V_d - V_0) = \frac{4 \cdot (V_i - V_d) \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) - \frac{8 \cdot V_c \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right)$$

$$V_c \cdot (1 - D) - (V_d + V_0) \cdot (1 - D) = \frac{4 \cdot (V_i - V_d) \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) - \frac{8 \cdot V_c \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right)$$

$$V_c \cdot (1 - D) + \frac{8 \cdot V_c \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) = \frac{4 \cdot (V_i - V_d) \cdot D}{RM + 2 RSE + RD} \cdot \left(RM + \frac{RSE}{2} + \frac{RD}{2} \right) + (V_d + V_0) \cdot (1 - D)$$

$$V_c \left((1 - D) + \frac{4 \cdot D \cdot (2 RM + RSE + RD)}{RM + 2 RSE + RD} \right) = \frac{2 \cdot D \cdot (V_i - V_d) \cdot (2 RM + RSE + RD)}{RM + 2 RSE + RD} + (V_d + V_0) \cdot (1 - D)$$

$$V_c \left(\frac{(1 - D) \cdot (RM + 2 RSE + RD) + 4 \cdot D \cdot (2 RM + RSE + RD)}{RM + 2 RSE + RD} \right) = \frac{2 \cdot D \cdot (V_i - V_d) \cdot (2 RM + RSE + RD) + (V_d + V_0) \cdot (1 - D) \cdot (RM + 2 RSE + RD)}{RM + 2 RSE + RD}$$

$$V_c \left((1 - D) \cdot (RM + 2 RSE + RD) + 4 \cdot D \cdot (2 RM + RSE + RD) \right) = 2 \cdot D \cdot (V_i - V_d) \cdot (2 RM + RSE + RD) + (V_d + V_0) \cdot (1 - D) \cdot (RM + 2 RSE + RD)$$

$$V_c = \frac{2 \cdot D \cdot (V_i - V_d) \cdot (2 RM + RSE + RD) + (V_d + V_0) \cdot (1 - D) \cdot (RM + 2 RSE + RD)}{\left((1 - D) \cdot (RM + 2 RSE + RD) + 4 \cdot D \cdot (2 RM + RSE + RD) \right)}$$

Esta última equação refere-se a tensão média sobre o capacitor em valores médios.

Obtenção do circuito equivalente:

As expressões finais de cada etapa (circuladas em preto) podem ser escritas na forma de circuitos elétricos e resultam nos circuitos abaixo.

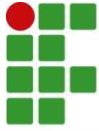
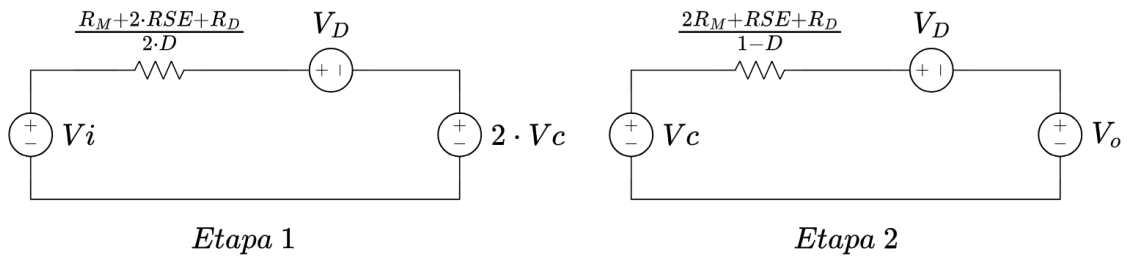


Figura 23: Modelo de Cada Etapa em Valores Médios



Fonte: Autor.

Pelo princípio da conservação de energia a energia processada no capacitor tem que ser igual nas duas etapas, logo:

$$P_{C_etapa1} = P_{C_etapa2}$$

$$I_1 \cdot 2 \cdot Vc = I_2 \cdot Vc$$

$$I_1 = \frac{I_2}{2}$$

Do circuito equivalente da primeira etapa têm-se:

$$Vi - \left(\frac{R_M + 2 \cdot R_{SE} + R_D}{2 \cdot D} \right) \cdot I_1 - Vd - 2 \cdot Vc = 0$$

Substituindo I1:

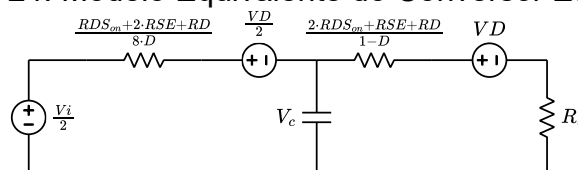
$$Vi - \left(\frac{R_M + 2 \cdot R_{SE} + R_D}{2 \cdot D} \right) \cdot \frac{I_2}{2} - Vd - 2 \cdot Vc = 0$$

Manipulando algebricamente é possível obter a seguinte expressão:

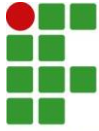
$$\frac{Vi}{2} - \left(\frac{R_M + 2 \cdot R_{SE} + R_D}{8 \cdot D} \right) \cdot I_2 - \frac{Vd}{2} - Vc = 0$$

A partir dessa manipulação as etapas 1 e 2 possuem em suas expressões o valor de Vc em comum de modo que a partir das devidas substituições matemáticas e a consideração que Vo é uma carga Ro, o seguinte circuito equivalente pode ser obtido. Neste circuito o capacitor está em regime permanente.

Figura 24: Modelo Equivalente do Conversor Estudado



Fonte: Autor.



Neste circuito o capacitor está em regime permanente.

As equações de saída são:

$$V_o = \frac{R_o}{R_o + \left(\frac{RDS_{on} + 2 \cdot RSE + RD}{8 \cdot D} + \frac{2 \cdot RDS_{on} + RSE + RD}{1 - D} \right)} \cdot \left(\frac{V_i}{2} - \frac{3}{2} \cdot V_d \right)$$

$$I_o = \frac{\frac{V_i}{2} - \frac{3}{2} \cdot V_d}{R_o + \left(\frac{RDS_{on} + 2 \cdot RSE + RD}{8 \cdot D} + \frac{2 \cdot RDS_{on} + RSE + RD}{1 - D} \right)}$$

Esforços nos Componentes em Valores Médios

Esforços de Tensão:

$$VS1 = \frac{V_i}{2} \quad VS2 = \frac{V_i}{2} \quad VC = \frac{V_i}{2} \quad VD1 = \frac{V_i}{2} \quad VD2 = \frac{V_i}{2} \quad VD3 = \frac{V_i}{2}$$

Esforços de Corrente:

- Transistores S1 e S2:

$$\frac{I_o}{2} = \frac{1}{T} \cdot \int_0^{D \cdot T} IS1 dt \rightarrow \frac{I_o}{2} = \frac{1}{T} \cdot IS1 \cdot [D \cdot T] \rightarrow IS1 = \frac{I_o}{2 \cdot D}$$

$$IS1_{méd} = \frac{I_o}{2}$$

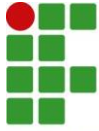
$$IS1_{ef} = \sqrt{\frac{1}{T} \cdot \int_0^{D \cdot T} (IS1)^2 dt} = \sqrt{\frac{1}{T} \cdot \int_0^{D \cdot T} \left(\frac{I_o}{2 \cdot D} \right)^2 dt} = \sqrt{\frac{1}{T} \cdot \left(\frac{I_o}{2 \cdot D} \right)^2 \cdot [D \cdot T]} = \sqrt{\frac{I_o^2}{4 \cdot D}}$$

$$I_o = \frac{1}{T} \cdot \int_{D \cdot T}^T IS2 dt \rightarrow I_o = \frac{1}{T} \cdot IS2 \cdot [T - D \cdot T] \rightarrow IS2 = \frac{I_o}{1 - D}$$

- Diodos:

$$Id1 = IS1 = \frac{I_o}{2 \cdot D} \quad Id1_{méd} = IS1_{méd} = \frac{I_o}{2} \quad Id1_{ef} = IS1_{ef} = \sqrt{\frac{I_o^2}{4 \cdot D}}$$

$$Id2 = Id3 = \frac{I_o}{2 \cdot (1 - D)} \quad Id2_{méd} = Id3_{méd} = \frac{IS2_{méd}}{2} = \frac{I_o}{2} \quad Id2_{ef} = Id3_{ef} = \frac{IS2_{ef}}{2} = \frac{\sqrt{\frac{I_o^2}{1 - D}}}{2}$$

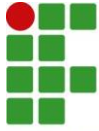


- Capacitor Chaveado:

$$I_{cef} = \sqrt{\frac{1}{T} \cdot \int_0^{D \cdot T} (IS1)^2 dt + \frac{1}{T} \cdot \int_{D \cdot T}^T \left(\frac{IS2}{2}\right)^2 dt} = \sqrt{\left(\frac{Io^2}{4 \cdot D}\right) + \frac{Io^2}{4 \cdot (1-D)}}$$

- Capacitor de Saída:

$$I_{coef} = \sqrt{\frac{1}{T} \cdot \left(\int_0^{D \cdot T} Io^2 dt + \int_{D \cdot T}^T \left(\frac{Io \cdot D}{1-D}\right)^2 dt \right)} = \sqrt{Io^2 \cdot D + \frac{(Io \cdot D)^2}{(1-D)}}$$



APÊNDICE C

Projeto do Conversor

$$V_i := 48 \text{ V} \quad D := \frac{1}{3}$$

$$V_o := 24 \text{ V}$$

$$P_{out} := 80 \text{ W} \quad \Delta V_o := 0.01 \cdot V_o = 0.24 \text{ V}$$

$$f_s := 50 \text{ kHz} \quad \Delta V_{cc} := \Delta V_o = 0.24 \text{ V}$$

$$I_{o_{ideal}} := \frac{P_{out}}{V_o} = 3.333 \text{ A} \quad R_o := \frac{V_o}{I_{o_{ideal}}} = 7.2 \text{ } \Omega \quad T := \frac{1}{f_s} = 20 \text{ } \mu\text{s}$$

$$C_c := \frac{I_{o_{ideal}}}{2 \cdot f_s \cdot \Delta V_{cc}} = 138.889 \text{ } \mu\text{F}$$

$$C_o := \frac{I_{o_{ideal}} \cdot D}{f_s \cdot \Delta V_o} = 92.593 \text{ } \mu\text{F}$$

$$IS1_{méd} := \frac{I_{o_{ideal}}}{2} = 1.667 \text{ A} \quad IS1_{ef} := \sqrt{\frac{I_{o_{ideal}}^2}{4 \cdot D}} = 2.887 \text{ A} \quad IS1 := \frac{I_{o_{ideal}}}{2 \cdot D} = 5 \text{ A}$$

$$IS2_{méd} := I_{o_{ideal}} = 3.333 \text{ A} \quad IS2_{ef} := \sqrt{\frac{I_{o_{ideal}}^2}{1 - D}} = 4.082 \text{ A} \quad IS2 := \frac{I_{o_{ideal}}}{1 - D} = 5 \text{ A}$$

$$Id1_{méd} := IS1_{méd} = 1.667 \text{ A} \quad Id1_{ef} := IS1_{ef} = 2.887 \text{ A} \quad Id1 := IS1 = 5 \text{ A}$$

$$Id2 := \frac{IS2}{2} = 2.5 \text{ A} \quad Id2_{méd} := \frac{IS2_{méd}}{2} = 1.667 \text{ A} \quad Id2_{ef} := \frac{IS2_{ef}}{2} = 2.041 \text{ A}$$

$$Id3 := Id2 = 2.5 \text{ A} \quad Id3_{méd} := Id2_{méd} = 1.667 \text{ A} \quad Id3_{ef} := Id2_{ef} = 2.041 \text{ A}$$

$$I_{C_{ef}} := \sqrt{\left(\left(\frac{I_{o_{ideal}}}{4 \cdot D} \right)^2 + \frac{I_{o_{ideal}}^2}{4 \cdot (1 - D)} \right)} = 3.536 \text{ A}$$

$$I_{C_{o_{ef}}} := \sqrt{I_{o_{ideal}}^2 \cdot D + \frac{(I_{o_{ideal}} \cdot D)^2}{(1 - D)}} = 2.357 \text{ A}$$

Dimensionamento Capacitor Chaveado:

Com base na disponibilidade do almoxarifado da instituição e utilizando o *datasheet* dos componentes, o capacitor eletrolítico escolhido foi de 150 μF , com capacidade de suportar 762 mA RMS.

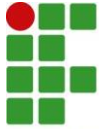


Tabela 11: Características do Capacitor Disponível

Marca	Tensão	Capacitância	Corrente Eficaz	Resistência
HITANO	100 V	150 μ F	762 mA RMS	0,12 Ω

Fonte: HITANO, s.d.

Para suportar a corrente eficaz, um banco de capacitor deve ser elaborado, pois além de suportar a corrente eficaz há uma diminuição na resistência série equivalente.

$$n_{\text{capacitores}} := \text{ceil} \left(\frac{I_{c_{ef}}}{0.762 \text{ A}} \right) = 5$$

$$RSE_{eq} := 0.024 \Omega$$

Dimensionamento Transistores S1 e S2:

Para o dimensionamento dos transistores, foi considerado o transistor com a disponibilidade no almoxarifado que possuísse a menor resistência *Drain-Source*, suportando as tensões e correntes necessárias e com chaveamento rápido. Neste caso, o modelo disponível adotado foi o Mosfet IRF 540.

Tabela 12: Mosfet IRF 540 Principais Características

Parâmetro	Símbolo	Valor	Unidade
Tensão <i>Drain-Source</i>	V_{DS}	100	V
Resistência <i>Drain-Source</i>	$R_{DS(on)}$	0,077	Ω
Corrente <i>Drain-Source</i> ($T_c = 25 \text{ }^\circ\text{C}$)	I_D	28	A
Resist. Junção Cápsula	R_{thJC}	1	K/W
Resist. Cápsula Dissipador (com pasta térmica)	R_{thCS}	0,5	K/W
Resist. Máx. Junção para o ambiente	R_{thJA}	62	K/W

Fonte: Vishay, 2021.

$$VS1_{pico} := 24 \text{ V} \quad IS1_{ef} = 2.887 \text{ A} \quad Rds_{on} := 0.077 \Omega \quad tf := 43 \text{ ns}$$

$$IS1_{pico} := IS1 = 5 \text{ A} \quad IS1_{méd} = 1.667 \text{ A} \quad tr := 44 \text{ ns} \quad Tj := 175 \text{ }^\circ\text{C}$$

$$VS2_{pico} := 24 \text{ V} \quad IS2_{ef} = 4.082 \text{ A} \quad IS2_{pico} := IS2 = 5 \text{ A}$$

$$Ta := 25 \text{ }^\circ\text{C} \quad R_{tjc} := 1 \frac{\text{K}}{\text{W}} \quad R_{tcd} := 0.5 \frac{\text{K}}{\text{W}} \quad (\text{com pasta térmica}).$$

Cálculo Térmico:

$$PS1_{cond} := Rds_{on} \cdot IS1_{ef}^2 = 0.642 \text{ W}$$

$$PS2_{cond} := Rds_{on} \cdot IS2_{ef}^2 = 1.283 \text{ W}$$

$$PS1_{comut} := \frac{((tr + tf) \cdot IS1_{pico} \cdot |VS1_{pico}|)}{2 \cdot T} = 0.261 \text{ W}$$

$$PS2_{comut} := \frac{((tr + tf) \cdot IS2_{pico} \cdot |VS2_{pico}|)}{2 \cdot T} = 0.261 \text{ W}$$

$$PS1 := PS1_{cond} + PS1_{comut} = 0.903 \text{ W}$$

$$PS2 := PS2_{cond} + PS2_{comut} = 1.544 \text{ W}$$

$$Rtda_{PS1} := \frac{(T_j - T_a)}{PS1} - R_{tjc} - R_{tcd} = 164.674 \frac{K}{W} \quad Rtda_{PS2} := \frac{(T_j - T_a)}{PS2} - R_{tjc} - R_{tcd} = 95.629 \frac{K}{W}$$

A partir dos resultados, nenhum dos transistores necessita de dissipador térmico.

Dimensionamento dos Diodos:

Com base nas especificações de corrente e tensão e no tempo de recuperação rápido considerando a aplicação em alta frequência, o diodo dimensionado foi o MUR460.

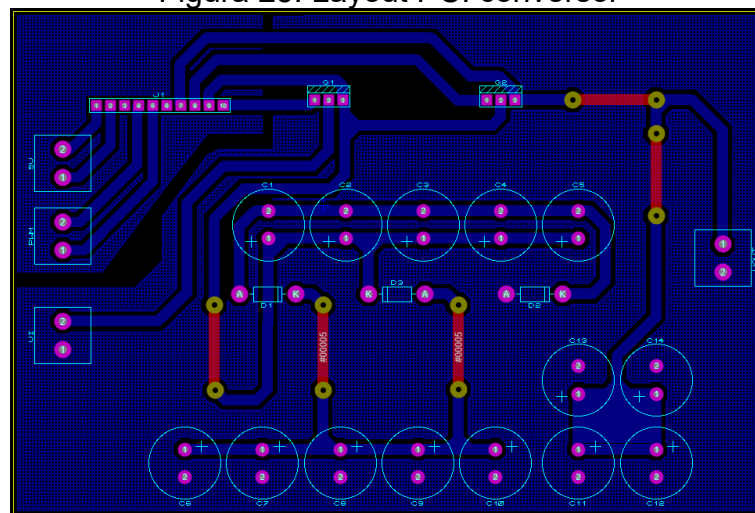
Tabela 13: Características Diodo MUR460

Parâmetro	Símbolo	Valor	Unidade
Tensão Máx. de Bloqueio	V_{DC}	600	V
Corrente Média Máx.	$I_{F(AV)}$	4	A
Resistência	R_D	0,02	Ω
Tensão Direta Máx. (150 °C)	V_F	1,05	V

Fonte: Vishay, 2018.

Layout da placa de circuito impresso do protótipo:

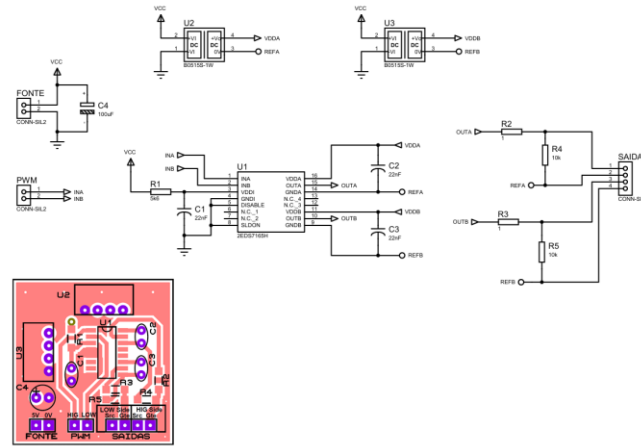
Figura 25: Layout PCI conversor



Fonte: Autor.

Esquemático do *driver* de comando utilizado:

Figura 26: *Driver* de Comando



Fonte: Autor.

Cálculos Reais:

$$V_o := \frac{R_o}{R_o + \left(\frac{RDS_{on} + 2 \cdot RSE + RD}{8 \cdot D} + \frac{2 \cdot RDS_{on} + RSE + RD}{1 - D} \right)} \cdot \left(\frac{V_i}{2} - \frac{3}{2} \cdot V_d \right) = 21.382 \text{ V}$$

$$I_o := \frac{\frac{V_i}{2} - \frac{3}{2} \cdot V_d}{R_o + \left(\frac{RDS_{on} + 2 \cdot RSE + RD}{8 \cdot D} + \frac{2 \cdot RDS_{on} + RSE + RD}{1 - D} \right)} = 2.97 \text{ A}$$

Esforços Reais nos componentes:

$$IS1_{méd} := \frac{I_o}{2} = 1.485 \text{ A} \quad IS1_{ef} := \sqrt{\frac{I_o^2}{4 \cdot D}} = 2.572 \text{ A} \quad IS1 := \frac{I_o}{2 \cdot D} = 4.454 \text{ A}$$

$$IS2_{méd} := I_o = 2.97 \text{ A} \quad IS2_{ef} := \sqrt{\frac{I_o^2}{1 - D}} = 3.637 \text{ A} \quad IS2 := \frac{I_o}{1 - D} = 4.454 \text{ A}$$

$$Id1_{méd} := IS1_{méd} = 1.485 \text{ A} \quad Id1_{ef} := IS1_{ef} = 2.572 \text{ A} \quad Id1 := IS1 = 4.454 \text{ A}$$

$$Id2 := \frac{IS2}{2} = 2.227 \text{ A} \quad Id2_{méd} := \frac{IS2_{méd}}{2} = 1.485 \text{ A} \quad Id2_{ef} := \frac{IS2_{ef}}{2} = 1.819 \text{ A}$$

$$Id3 := Id2 = 2.227 \text{ A} \quad Id3_{méd} := Id2_{méd} = 1.485 \text{ A} \quad Id3_{ef} := Id2_{ef} = 1.819 \text{ A}$$

$$I_{cef} := \sqrt{\left(\frac{I_o^2}{4 \cdot D} \right) + \frac{I_o^2}{4 \cdot (1 - D)}} = 3.15 \text{ A}$$

$$I_{co_{ef}} := \sqrt{I_o^2 \cdot D + \frac{(I_o \cdot D)^2}{(1 - D)}} = 2.1 \text{ A}$$

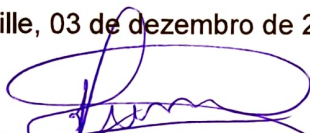


CHRISTYAN BATISTA

**ANÁLISE E IMPLEMENTAÇÃO DE UM CONVERSOR CC-CC A CAPACITOR
CHAVEADO SÉRIE-PARALELO**

Este trabalho foi julgado adequado para obtenção do título em Bacharel em Engenharia Elétrica, pelo Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina, e aprovado na sua forma final pela comissão avaliadora abaixo indicada.

Joinville, 03 de dezembro de 2025.



Prof. José Flávio Dums, Dr.
Orientador
Instituto Federal de Santa Catarina



Prof. Rafael Gomes Faust, Me.
Instituto Federal de Santa Catarina



Prof. Janderson Duarte, Dr.
Instituto Federal de Santa Catarina