

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE
SANTA CATARINA - CÂMPUS FLORIANÓPOLIS
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE ENGENHARIA ELETRÔNICA**

FLAVIO JUNIOR DE FAVERI

**ESTRATÉGIA DE CONTROLE MODERNO APLICADO AO
DESENVOLVIMENTO DE CONVERSORES CA-CA HÍBRIDOS**

FLORIANÓPOLIS, 2018.

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE
SANTA CATARINA - CÂMPUS FLORIANÓPOLIS
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE ENGENHARIA ELETRÔNICA**

FLAVIO JUNIOR DE FAVERI

**ESTRATÉGIA DE CONTROLE MODERNO APLICADO AO
DESENVOLVIMENTO DE CONVERSORES CA-CA HÍBRIDOS**

Trabalho de Conclusão de Curso submetido
ao Instituto Federal de Educação, Ciência
e Tecnologia de Santa Catarina como parte
dos requisitos para obtenção do título de
Engenheiro Eletrônico.

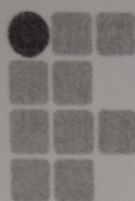
Orientador:
Flabio Alberto Bardemaker Batista, Dr. Eng

FLORIANÓPOLIS, 2018.

Faveri, Flavio Junior de
Estratégia de controle moderno aplicado ao desenvolvimento
de conversores CA-CA híbridos / Flavio Junior de Faveri;
Orientador: Flávio Alberto Bardemaker Batista, Dr. Eng – Florianópolis,
SC, 2018.
131 p. : il. color.

Trabalho de Conclusão de Curso (Eng. Eletrônica) – Instituto Federal
de Educação, Ciência e Tecnologia de Santa Catarina.
Inclui referências.

1. Eletrônica de Potência. 2. Controle Moderno. 2. Conversor CA-CA.
I. Batista, Flávio A. B. II. Instituto Federal de Educação, Ciência e
Tecnologia de Santa Catarina. III. Estratégia de controle moderno
aplicado ao desenvolvimento de conversores CA-CA híbridos.



INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO
SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA INSTITUTO FEDERAL DE
EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA CAMPUS FLORIANÓPOLIS

**ATA DA BANCA FINAL DO TRABALHO DE CONCLUSÃO DO CURSO DE BACHARELADO EM
ENGENHARIA ELETRÔNICA DO INSTITUTO FEDERAL DE SANTA CATARINA – CÂMPUS
FLORIANÓPOLIS Nº 03**

Aos 17 dias do mês de dezembro de 2018, às 9h40min, o estudante **Flávio Júnior de Faveri** apresentou o seu Trabalho de Conclusão de Curso para julgamento à Banca Examinadora constituída pelos seguintes integrantes: Prof. Flávio Alberto Bardemaker Batista (orientador/presidente da banca/IFSC), Prof. Clóvis Antônio Petry (IFSC) e Prof. Mauro Tavares Peraça (IFSC). A sessão pública de defesa foi aberta pelo Presidente da Banca, que apresentou a Banca Examinadora e deu continuidade aos trabalhos, fazendo uma breve referência ao TCC que tem como título **Estratégia de Controle Moderno Aplicado ao Desenvolvimento de Conversores CA-CA Híbridos**. Na sequência, o(a) estudante teve 30 minutos para a exposição de seu trabalho, e cada integrante da Banca Examinadora fez a arguição após a apresentação do mesmo. Finalmente, foi aberto um espaço aos presentes para eventuais perguntas ou comentários sobre o trabalho apresentado. Ouvidas as explicações do(a) estudante, a Banca Examinadora, reunida em caráter sigiloso, para proceder à avaliação final, deliberou pela nota 10 com () sem (☒) restrições. Foi dada ciência ao(à) estudante que a versão final do trabalho deverá ser entregue em até 20 dias corridos a partir da data da defesa - excluindo recesso e férias docentes -, sendo os primeiros 10 dias para a entrega ao(à) orientador(a) e os outros 10 para a entrega à Biblioteca do Câmpus e à Coordenação do Curso, com as devidas alterações sugeridas pela banca, após o aval do orientador. Nada mais havendo a tratar, a sessão foi encerrada às 11 h 06 min., dela sendo lavrada a presente ata, que, uma vez aprovada, foi assinada por todos os membros da Banca Examinadora e pelo(a) estudante.

Prof(a). Orientador(a) / Presidente: _____

Prof(a). Avaliador(a) 1: _____

Prof(a). Avaliador(a) 2: _____

Estudante: FLÁVIO DE FAVERI

*Este trabalho é dedicado
a todos aqueles que se desafiam
e buscam superar seus limites.*

AGRADECIMENTOS

Agradeço, em primeiro lugar, a minha esposa Renata Faraco Cunha por esta trajetória de seis anos ao meu lado, sempre apoiando, ajudando e compreendendo que o que estava fazendo não era apenas um meio de melhorar de vida, mas também a conquista de um sonho um pouco adiado. Agradeço também pelas preciosas correções ortográficas e técnicas que fizeram deste um trabalho mais agradável de ser lido.

Agradeço a minha família de origem. Meus pais Natalino e Maria Olinda e minhas irmãs Caroline e Camila, pela base e suporte que sempre foram para mim. Através deles construí os valores de vida que carrego e procuro colocar em prática todos os dias.

Agradeço em especial ao meu orientador Flávio Alberto Bardemaker Batista que aceitou entrar neste desafio junto comigo, sempre apoiando, motivando e me orientando com a mais alta qualidade que um bom professor pode propor.

Agradeço também aos queridos amigos Augusto Hoffmann da Silva e João Antônio Cardoso por todo companherismo, ajuda e motivação que me proporcionaram, em especial, neste último ano da minha formação em Engenharia.

Agradeço aos membros da banca examinadora, Professores Clóvis Antônio Petry e Mauro Tavares Peraça, pela gentileza de aceitar ao convite, ler este trabalho e fazer considerações para a melhoria e enriquecimento do mesmo.

Também agradeço aos amigos e colegas da engenharia e do Laboratório de Processamento Eletrônico de Energia, que sempre estiveram por perto ajudando e incentivando.

Agradeço ao Instituto Federal de Santa Catarina por proporcionar a oportunidade de ter uma educação da mais alta qualidade e gratuita em uma área tão vasta e complexa como a Engenharia Eletrônica. Agradeço também ao Departamento Acadêmico de Eletrônica do câmpus Florianópolis, seu corpo docente e técnico-administrativo, que proporcionaram todo o suporte educacional e humano para que minha formação fosse completa.

Se hoje posso dizer que me experimento um engenheiro é por causa de todas estas pessoas que durante esta jornada me apoiaram, me ensinaram, me motivaram, me incentivaram a nunca desistir e sempre tentar ser melhor.

Obrigado.

*"I learned that you
can fail at what you don't love
so you might as well do what you love"*
Jim Carrey

RESUMO

Este trabalho apresenta o desenvolvimento de estratégias de controle moderno aplicadas a conversores CA–CA híbridos. Tais estratégias se baseiam em métodos de controle no espaço de estados envolvendo alocação de polos e observadores de estados. Os conversores CA–CA híbridos são sistemas que buscam entregar maior precisão em sua tensão de saída com a utilização de tecnologias de chaveamento lentas em conjunto com tecnologias rápidas. Para isso, apresenta-se um estudo referenciado em bibliografia especializada a respeito de estabilizadores de tensão, conversores CA–CC e CC–CA, bem como sobre sistemas de controle no espaço de estados. Em seguida, os projetos de *hardware* e *firmware* são descritos e testados via simulação. A validação dos mesmos permitiu a montagem de protótipos e estes foram testados de maneira modular e em conjunto para aquisição de dados a respeito do sistema. Por fim, os resultados são discutidos e são sugeridas melhorias. Com isto, demonstra-se que o estabilizador híbrido é viável e funcional, permitindo o desenvolvimento de produtos de base eletrônica com menor custo de fabricação agregado, mas adicionando maior qualidade ao sinal de saída para cargas sensíveis.

Palavras-chave: Eletrônica de Potência. Controle Moderno. Conversor CA–CA. Conversor Híbrido.

ABSTRACT

This work presents the development of modern control strategies applied to AC–AC hybrid converters. These strategies are based on state space control methods involving poles allocation and state space observers. AC–AC hybrid converters are systems that aim to deliver an output voltage with higher precision using electromechanical switching technologies along with faster and modern switching technologies. In order to reach out this purpose, a study referenced in specialized bibliography about voltage stabilizers, AC–DC converters, DC–AC converters and state space control systems is presented. Thereafter, the hardware and firmware projects are described and tested via simulation. The projects validation enabled their assembly as a prototype which was modularly tested. After that, the modules were assembled together and new tests were performed for data acquisition and analysis. These analyzes allowed the suggestion of improvements. To conclude, the results showed that the hybrid converter is viable and functional which yields to the possibility of developing electronic based products with lower manufacturing cost and higher output signal quality to sensible loads.

Keywords: Power Electronics. Modern Control. AC–AC Converter. Hybrid Converter.

LISTA DE ILUSTRAÇÕES

Figura 1 – Sistema completo do conversor híbrido.	20
Figura 2 – Estabilizador de tensão com chaveamento por <i>taps</i>	21
Figura 3 – Retificador de onda completa com filtro capacitivo.	22
Figura 4 – Conversor CC–CA com filtro LC.	24
Figura 5 – Modulação PWM senoidal a três níveis.	25
Figura 6 – Diagrama de blocos da planta e controle com rastreamento de referência senoidal.	34
Figura 7 – Diagrama de blocos da planta e controle com rastreamento de referência senoidal e observador de ordem plena.	36
Figura 8 – Diagrama de blocos da planta e controle com rastreamento de referência senoidal e observador de ordem mínima.	37
Figura 9 – Diagrama do circuito do PLL trifásico.	42
Figura 10 – Diagrama do circuito do PLL monofásico.	43
Figura 11 – TMDSCNCD28335 <i>controlCard</i> com TMS320F28335 utilizado neste trabalho.	44
Figura 12 – Variação da tensão de saída do estabilizador chaveado por relés.	47
Figura 13 – Variação da tensão de saída percentual em função do número de <i>taps</i>	49
Figura 14 – Variação da tensão de saída em função da faixa de variação da tensão de entrada para topologia abaixador e elevador com 3 e 4 <i>taps</i>	51
Figura 15 – Variação da tensão de saída em função da faixa de variação da tensão de entrada para topologia abaixador com 3 e 4 <i>taps</i>	52
Figura 16 – Autotransformador em topologia abaixador utilizado no conversor híbrido.	53
Figura 17 – Tensões de entrada e saída do retificador de onda completa com filtro capacitivo.	58
Figura 18 – Tensão e corrente de saída do retificador de onda completa com filtro capacitivo.	58
Figura 19 – Corrente em um ramo da ponte de diodos e em um diodo do retificador.	59
Figura 20 – Tensão e corrente de entrada do retificador de onda completa com filtro capacitivo.	60
Figura 21 – Tensão de saída sobre a resistência de carga do conversor.	64
Figura 22 – Corrente de saída sobre a resistência de carga do conversor.	64
Figura 23 – Componentes harmônicas da tensão de saída.	65
Figura 24 – Sinal alternado da tensão de saída do conversor CC–CA anterior ao filtro.	65
Figura 25 – Correntes que circulam pelas chaves estáticas e diodos do inversor.	66

Figura 26 – Tensão sobre uma chave estática e um diodo do inversor.	66
Figura 27 – Circuito do sensor de tensão LV-20P utilizado para as medições. . .	69
Figura 28 – Circuito somador inversor para adicionar <i>offset</i> de 1,5 V ao valor lido pelo sensor.	70
Figura 29 – Versão final da placa de condicionamento de sinais.	70
Figura 30 – Arquitetura do filtro passa baixas MFB.	71
Figura 31 – Resultado de simulação do filtro passa baixas MFB.	73
Figura 32 – Resultado de simulação do sinal de sincronismo.	75
Figura 33 – Resultado de θ_{ref} em simulação.	76
Figura 34 – Resultado de $P_{3\phi}$ em simulação.	76
Figura 35 – <i>Driver</i> utilizado para chaveamento dos transistores do conversor CC–CA.	77
Figura 36 – Circuito do estabilizador híbrido simplificado.	78
Figura 37 – Circuito do estabilizador híbrido simplificado para um conversor buck com um <i>offset</i> na saída.	79
Figura 38 – a) Primeira etapa de funcionamento do conversor. b) Segunda etapa de funcionamento do conversor.	79
Figura 39 – Teste da modelagem do conversor híbrido.	82
Figura 40 – a) Conversor Buck Ideal. b) Primeira etapa de funcionamento do conversor Buck. c) Segunda etapa de funcionamento do conversor Buck.	83
Figura 41 – Teste da modelagem do conversor CC–CA.	85
Figura 42 – Resultados de simulação para a tensão de saída do controlador e observador do conversor híbrido.	90
Figura 43 – Resultados de simulação para o desempenho do observador de ordem plena.	91
Figura 44 – Resultados de simulação para o desempenho da ação de controle e erro.	91
Figura 45 – Resultados de simulação para a tensão de saída do conversor híbrido completo.	92
Figura 46 – Resultados de simulação para o observador de ordem plena.	93
Figura 47 – Resultados de simulação para a saída do retificador que alimenta o conversor CC–CA.	93
Figura 48 – Resultados de simulação para o chaveamento dos <i>taps</i> do estabilizador.	94
Figura 49 – Resultados de simulação para a tensão de saída do conversor CC–CA.	95
Figura 50 – Resultados de simulação para a variável de estado observada.	95
Figura 51 – Resultados de simulação para a ação de controle e erro do controlador.	96
Figura 52 – Fluxograma da inicialização básica do microcontrolador.	97

Figura 53 – Fluxograma da medição do valor eficaz da entrada e do chaveamento dos relés.	98
Figura 54 – Fluxograma da geração do sinal de sincronismo.	99
Figura 55 – Fluxograma do controlador do conversor híbrido.	100
Figura 56 – Fluxograma do controlador do conversor CC–CA.	101
Figura 57 – Imagem do protótipo completo montado.	102
Figura 58 – Tensão e corrente de saída do retificador de onda completa.	103
Figura 59 – Ondulação de tensão e corrente na saída do retificador de onda completa.	104
Figura 60 – Corrente de entrada do retificador de onda completa.	105
Figura 61 – Sinal de sincronismo via PLL.	106
Figura 62 – Sinal de sincronismo via PLL com escala de tempo maior.	106
Figura 63 – Resultado da saída do conversor CC–CA em malha aberta.	107
Figura 64 – Resultado da saída do conversor CC–CA em malha aberta com as melhorias na programação e protótipo.	108
Figura 65 – Resultado da saída do conversor CC–CA sem o filtro passa baixas.	109
Figura 66 – Resultado da saída do conversor CC–CA em malha fechada com fonte <i>CC</i> na entrada.	110
Figura 67 – Resultado da saída do conversor CC–CA em malha fechada com retificador de onda completa na entrada.	111
Figura 68 – Circuito de simulação completo do conversor híbrido controlado.	117
Figura 69 – Circuito de simulação completo do conversor CC–CA controlado.	118
Figura 70 – Esquemático do retificador de onda completa.	129
Figura 71 – Esquemático do conversor CC–CA.	129
Figura 72 – Esquemático dos circuitos dos sensores.	129
Figura 73 – Esquemático dos circuitos de comando.	130
Figura 74 – Esquemático dos filtros de condicionamento de sinais.	130
Figura 75 – Leiaute lado <i>top</i>	131
Figura 76 – Leiaute lado <i>bottom</i>	131

LISTA DE TABELAS

Tabela 1 – Pré-requisitos gerais para o projeto do conversor híbrido	19
Tabela 2 – Resultados para variação da tensão de saída do estabilizador . . .	50
Tabela 3 – Parâmetros de entrada para cálculos do projeto do retificador	57
Tabela 4 – Grandezas calculadas do projeto do retificador	57
Tabela 5 – Parâmetros de entrada para o cálculo do filtro LC	63
Tabela 6 – Grandezas calculadas do projeto do filtro LC	63
Tabela 7 – Valores de tensão e corrente obtidos para semicondutores em simulação	67
Tabela 8 – Valores necessários para o cálculo e resultados das perdas do conversor CC–CA	68
Tabela 9 – Valores estipulados e resultados para composição do filtro anti- <i>aliasing</i> . .	73
Tabela 10 – Valores de entrada para modelagem do conversor híbrido	81
Tabela 11 – Valores de entrada para modelagem do conversor CC–CA	84

SUMÁRIO

1	INTRODUÇÃO	16
1.1	Justificativa	17
1.2	Definição do problema	17
1.3	Objetivos	17
1.3.1	Objetivo geral	17
1.3.2	Objetivos específicos	18
2	ESTÁGIO DE POTÊNCIA	19
2.1	Conversor híbrido	19
2.2	Estabilizador chaveado por relés	20
2.3	Retificador de onda completa com filtro capacitivo	22
2.4	Conversor CC–CA de tensão em ponte completa	23
3	CONTROLE BASEADO NA ESTRATÉGIA DE RETROAÇÃO DE ESTADOS UTILIZANDO OBSERVADORES	27
3.1	Modelagem de conversores empregando modelo médio em espaço de estados	27
3.2	Sistema de controle no espaço de estados	29
3.2.1	Controle por alocação de polos	30
3.2.2	Controle com rastreamento de referência senoidal	32
3.2.3	Controle por retroação de estados utilizando observadores	34
3.3	Medição de sinal via <i>true RMS</i>	39
3.4	Sinal de referência através de DPLL	41
3.5	Controlador digital de sinais TMS320F28335	43
4	METODOLOGIA	45
4.1	Métodos aplicados	45
5	DESENVOLVIMENTO DO PROJETO	46
5.1	Projeto do estabilizador chaveado por relés	46
5.1.1	Topologia escolhida para o estabilizador	53
5.2	Projeto dos conversores CA–CC e CC–CA	54
5.2.1	Projeto do retificador de onda completa com filtro capacitivo	54
5.2.1.1	Resultados de simulação do retificador de onda completa	58
5.2.2	Projeto do conversor CC–CA de tensão em ponte completa	60
5.2.2.1	Resultados de simulação do projeto do conversor CC–CA em ponte completa	63
5.2.2.2	Cálculo das perdas de chaveamento nos semicondutores do conversor CC–CA	67

5.3	Projeto dos circuitos de condicionamento de sinais	68
5.3.1	Amostragem de tensão e filtro anti- <i>aliasing</i>	71
5.3.2	Geração do sinal de sincronismo	74
5.3.3	Circuitos de <i>driver</i> para as chaves e relés	77
5.4	Projeto do controlador	78
5.4.1	Modelagem do conversor híbrido	78
5.4.2	Modelagem do conversor CC–CA	82
5.4.3	Projeto do controlador utilizando alocação de polos para o conversor híbrido	85
5.4.4	Projeto do controlador utilizando alocação de polos para o conversor CC–CA	87
5.4.5	Projeto do observador de ordem plena para controle do conversor híbrido	88
5.4.6	Projeto do observador de ordem mínima para controle do conversor CC–CA	88
5.5	Resultados de simulação do conversor híbrido controlado	89
5.6	Resultados de simulação do conversor CC–CA controlado	94
5.7	Programação do TMS320F28335	96
5.7.1	Programação da medição <i>true RMS</i> e chaveamento do <i>taps</i>	97
5.7.2	Programação do PLL	98
5.7.3	Programação do controlador	99
6	RESULTADOS	102
6.1	Protótipo	102
6.2	Resultados do retificador de onda completa	103
6.3	Resultados do DPLL	105
6.4	Resultados em malha aberta	106
6.5	Resultados em malha fechada	109
7	CONCLUSÃO	112
	REFERÊNCIAS	114
	APÊNDICES	116
	APÊNDICE A – CIRCUITO COMPLETO DE SIMULAÇÃO DO CONVERSOR HÍBRIDO CONTROLADO	117

APÊNDICE B – CIRCUITO COMPLETO DE SIMULAÇÃO DO COMVERSOR CC–CA CONTROLADO	118
APÊNDICE C – PROGRAMAÇÃO BÁSICA DO TMS320F28335 . .	119
APÊNDICE D – PROGRAMAÇÃO DO <i>TRUE RMS</i> E DO CHAVEAMENTO DOS <i>TAPS</i>	122
APÊNDICE E – PROGRAMAÇÃO DO DPLL	124
APÊNDICE F – PROGRAMAÇÃO DO CONTROLADOR DO CONVERSOR HÍBRIDO	125
APÊNDICE G – PROGRAMAÇÃO DO CONTROLADOR DO CONVERSOR CC–CA	127
APÊNDICE H – ESQUEMÁTICOS E LEIAUTE FINAL DO PROTÓTIPO	129

1 INTRODUÇÃO

No ramo da Engenharia Elétrica e Eletrônica uma das áreas mais promissoras é o estudo de produtos voltados ao processamento e estabilização da energia entregue pelas concessionárias para cargas das mais diversas ordens. Muito comuns no mercado, os estabilizadores de energia são construídos tomando como referência a NBR14373 de 2006. Esta norma estabelece padrões de projeto, construção e testes de qualidade para equipamentos de até 3 kVA. Segundo ela, a tensão de entrada obedece a duas regras: em regiões em que a tensão nominal eficaz é menor que 150 V, o equipamento deve estar preparado para uma variação de 45% na sua entrada. Já quando a tensão nominal eficaz é maior que 150 V, a variação poderá ser de 40%, podendo esta porcentagem ser dividida conforme a necessidade do fabricante, ou seja, $\pm 20\%$ ou $+30\%$ e -10% , e assim por diante. Para a saída, a norma estabelece a tensão nominal da região com variação de $\pm 6\%$. Então, em Santa Catarina, o equipamento deve ter na saída a tensão de 206,8 V a 233,2 V (ABNT, 2006).

Em relação a Taxa de Distorção Harmônica (THD), a norma especifica que o estabilizador pode injetar até 8% de distorção na rede CA. No caso de a THD ser menor que 1%, o fabricante tem permissão para especificar que seu equipamento não injeta distorção na rede. Uma observação importante da norma é que durante o teste de validação do equipamento, o equipamento variador de tensão utilizado para injetar tensão de entrada no estabilizador não pode ter THD maior que 5% e o cálculo para designação da distorção imposta pelo equipamento é feito subtraindo-se a THD já existente na rede daquela gerada pelo equipamento (ABNT, 2006).

No entanto, equipamentos com estas variações de tensão não atendem cargas hospitalares (equipamentos chamados eletromédicos), cargas industriais ou laboratoriais, como fornos, sondas, sensores, cargas de transmissão de áudio e vídeo digital, ou mesmo cargas de tecnologia da informação, como as encontradas em *Data Centers*. Para este tipo de demanda, encontram-se no mercado projetos especiais de estabilizadores que possuem, além das características normatizadas, baixa variação na tensão de saída (1%) e menores índices de THD (5% ou menos). Estes equipamentos, no entanto, costumam utilizar apenas conversores CA-CA com semicondutores de comutação rápida para a estabilização da energia, o que os torna mais custosos e com aplicação limitada.

Sendo assim, este trabalho visa apresentar uma topologia de conversor CA-CA híbrido. Neste contexto, o termo híbrido se refere a mescla em um mesmo equipamento de uma tecnologia lenta, a base de relés ou tiristores, e de uma tecnologia

rápida, a base de transistores MosFETs, em menor escala. Isto porque o conversor com tecnologia rápida processa menor quantidade de energia na medida em que seu objetivo é compensar a tensão elétrica, não alcançada pelo conversor de tecnologia lenta, para entregar à carga a tensão eficaz adequada em qualquer situação em que a rede elétrica se encontre (PETRY et al., 2016).

1.1 Justificativa

O conversor híbrido abordado neste projeto é uma topologia inovadora na medida em que congrega duas tecnologias diferentes para conversores CA-CA: uma baseada em relés e outra baseada em transistores. Estabilizadores de tensão elétrica de baixo custo são baseados em chaveamento por relés, uma tecnologia lenta e que não atende a necessidade de cargas mais sensíveis em termos de amplitude de tensão. Com isso, aplica-se uma etapa de conversão baseada em comutação de transistores, mais rápidos que relés, com maiores possibilidades de controle sobre a forma de onda da tensão de saída. Assim, pode-se obter uma melhoria importante em uma tecnologia originalmente de baixo custo. Para que o resultado do conversor de comutação rápida seja satisfatório, é necessária uma estratégia de controle que obtenha na saída do sistema um desempenho acima da média com um custo energético baixo.

1.2 Definição do problema

Seria possível encontrar e aplicar, a partir da modelagem de conversores CC-CC com o modelo médio em espaço de estados, uma estratégia de controle que promova a eficácia e eficiência do conversor CA-CA a transistores que compensará a diferença de tensão elétrica na saída do estabilizador a relés?

1.3 Objetivos

Para que se promova o estudo de uma estratégia de controle que responda a questão acima, traçaram-se os seguintes objetivos, geral e específicos, que devem ser alcançados ao longo do trabalho.

1.3.1 Objetivo geral

Desenvolver um conversor híbrido capaz de satisfazer os pré-requisitos que serão estabelecidos neste trabalho, a partir de conversores estáticos e a estratégia de controle baseada no modelo médio em espaço de estados.

1.3.2 Objetivos específicos

Para que se alcance o objetivo citado acima, traçaram-se os seguintes objetivos específicos que devem ser alcançados ao longo deste trabalho:

- a) estudar a modelagem e funcionamento de conversores estáticos e a estratégia de controle baseada no modelo médio em espaço de estados;
- b) desenvolver um projeto de controle e conversor estático que possa compensar a tensão necessária para que o estabilizador disponha sempre tensão de 220 V sobre a carga;
- c) executar simulação computacional dos projetos elaborados;
- d) construir o protótipo do conversor híbrido completo e testá-lo;
- e) analisar os resultados, qualitativa e quantitativamente, verificando a validade do projeto construído e sua viabilidade como estratégia inovadora.

2 ESTÁGIO DE POTÊNCIA

O estágio de potência do conversor híbrido é composto pelos módulos que fazem o processamento de energia convertendo-a para outros níveis de amplitude ou mesmo para outras formas de tensão e corrente elétrica. Dentre estes estão o estabilizador chaveado por relés, o retificador de onda completa com filtro capacitivo e o conversor CC–CA ponte completa. Sendo assim, este capítulo tem por objetivo apresentar cada uma destas estruturas, mostrando, quando possível, o equacionamento que baseia seu respectivo projeto. A [Tabela 1](#) mostra os pré-requisitos para o conversor híbrido completo, e assim para os projetos individuais de cada estrutura.

Tabela 1 – Pré-requisitos gerais para o projeto do conversor híbrido

Grandeza	Descrição
$V_{in-conv.min} = 180 \text{ V}$	Tensão eficaz mínima na entrada do conversor híbrido
$V_{in-conv.max} = 268 \text{ V}$	Tensão eficaz máxima na entrada do conversor híbrido
$V_{out-conv} = 220 \text{ V}$	Tensão eficaz nominal na saída do conversor híbrido
$P_O = 440 \text{ W}$	Potência de saída do conversor híbrido
$\Delta V_O = \pm 1\%$	Máxima tolerância admitida para a tensão de saída
$f_s = 24 \text{ kHz}$	Frequência de chaveamento
$V_{CC-CA} = 27,27 \text{ V}$	Tensão eficaz máxima a ser compensada pelo conversor CC–CA
$N_{taps} = 3$	Número de <i>taps</i> de derivação do autotransformador

Fonte: Elaboração própria (2018).

2.1 Conversor híbrido

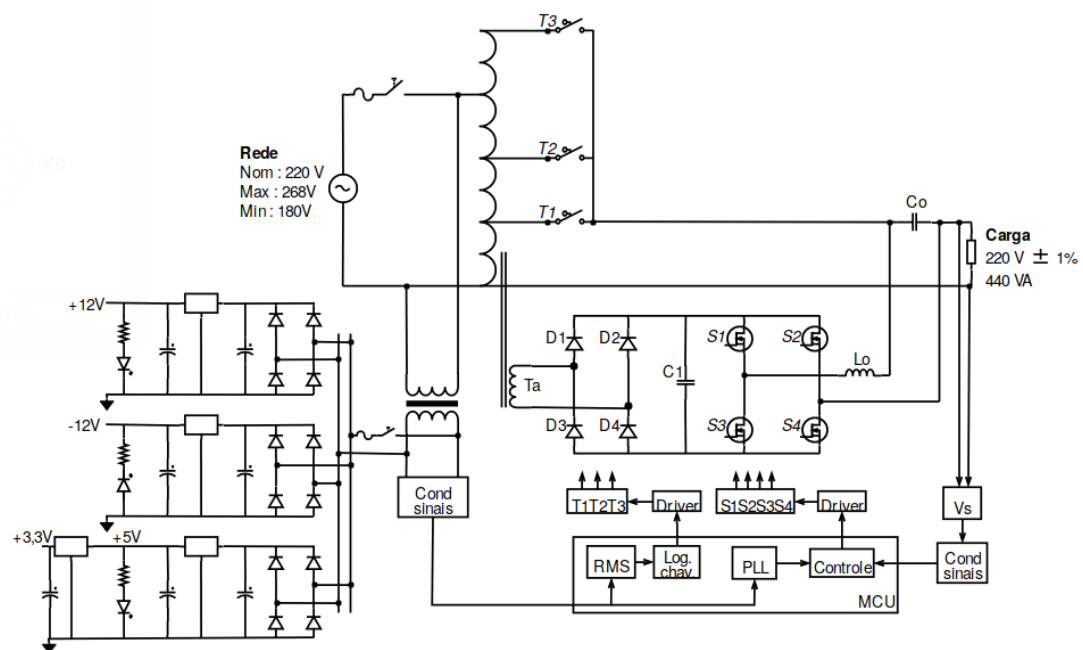
A topologia de conversor híbrido utilizada neste trabalho foi inspirada no trabalho de [Petry et al. \(2016\)](#). No entanto, de acordo com este autor, o termo conversor híbrido para conversão CA–CA não possui apenas um significado em termos de topologia de circuito. Há autores que também chamam topologias que mesclam sistemas de processamento de energia magnéticos e por chaveamento de conversor híbrido. Nesse caso, torna-se necessária uma apresentação do sistema que se busca desenvolver neste trabalho.

A [Figura 1](#) mostra o sistema completo do conversor híbrido. Como se pode observar, ele é composto por um autotransformador com três *taps* de derivação (estabilizador) e uma etapa compensadora, constituída por um retificador com filtro capacitivo e um conversor CC–CA. Esta etapa compensadora irá contribuir somando a tensão que falta para que o estabilizador entregue sempre 220 V eficaz à carga. A tensão de entrada do retificador é proveniente de um *tap* auxiliar, construído no

autotransformador, especialmente para esta aplicação. Na entrada do autotransformador, há uma derivação para um transformador auxiliar que serve de alimentação para as fontes auxiliares dos demais circuitos de apoio ao funcionamento do conversor híbrido.

Entre os circuitos auxiliares o de condicionamento de sinais é responsável por ler as tensões de entrada e saída do estabilizador. O valor da tensão de entrada servirá para o cálculo da tensão eficaz e para a geração do sinal de sincronismo, necessário ao sistema de controle. A tensão eficaz da entrada servirá para indicar o limite em que os *taps* deverão ser chaveados. Já a tensão de saída é uma das componentes do sistema de controle do conversor CC-CA. Ainda na [Figura 1](#) aparece uma etapa ilustrativa do microcontrolador (MCU), que fará o controle do chaveamento dos *taps* e dos transistores do conversor CC-CA, e os circuitos de *Driver* que enviam os sinais de comando para os relés e transistores.

Figura 1 – Sistema completo do conversor híbrido.



Fonte: Elaboração própria (2018).

2.2 Estabilizador chaveado por relés

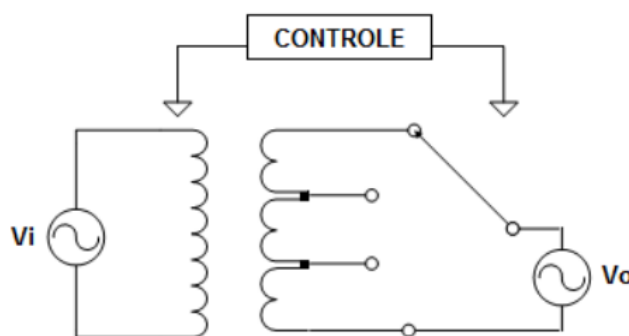
Estabilizadores de tensão alternada são equipamentos classificados como conversores CA-CA. Estes recebem uma tensão alternada, geralmente da concessionária de energia, a processam de modo a diminuir ou retirar os ruídos e problemas trazidos pelas linhas de transmissão e distribuição, e entregam à carga uma tensão alternada de maior qualidade, com menores distorções e com amplitude mais

próximo do exigido. As distorções mais próximas de zero e a amplitude mais próxima do exigido dependerá da tecnologia e da complexidade utilizadas para a construção do estabilizador.

A NBR14373 de 2006, como visto anteriormente, impõe medidas de padronização para estes equipamentos vendidos comercialmente até a potência de 3 kVA. No entanto, não exige que os estabilizadores tenham tensão eficaz exata ou com nenhum componente harmônico na saída do equipamento, de forma que os fabricantes podem utilizar tecnologias menos caras que fazem o produto ter um valor final de venda atrativo. Neste contexto, encontram-se os estabilizadores de tensão chaveados por relés eletromecânicos que, em geral, contam com um autotransformador com dois ou três *taps*, relés que chaveiam os *taps* e um controle, digital ou analógico (através de comparadores), que comanda os relés quando a tensão de entrada atinge um limite específico. A Figura 2 ilustra o esquemático do estabilizador descrito acima em que, conforme o nível de tensão na entrada, um dos *taps* será chaveado pelo controle (ABNT, 2006).

A escolha do nível de tensão da entrada limite para o chaveamento dos *taps* para estabilizadores de até 3 kVA depende do que está especificado na NBR14373. Segundo a ANEEL (2018), em Santa Catarina o nível de tensão eficaz entregue pela concessionária de energia para as cargas é de 220 V, e, para este nível de tensão a ABNT (2006) referencia que os estabilizadores devem ter uma tolerância de até 6% para mais ou para menos da tensão eficaz estabelecida. Sendo assim, os fabricantes são livres para escolher de que maneira construirão uma lógica de chaveamento que atenda a estas regras.

Figura 2 – Estabilizador de tensão com chaveamento por *taps*.



Fonte: Almeida (2009).

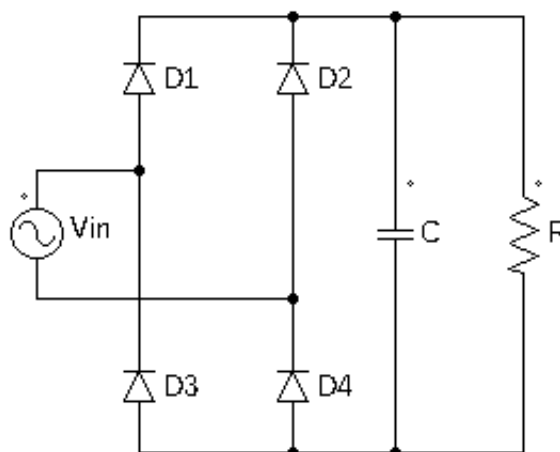
Neste trabalho, manteve-se o foco em buscar uma lógica de chaveamento que contivesse apenas três *taps* sem, no entanto, limitar-se aos $\pm 6\%$ da NBR14373, em função da utilização de uma topologia de estabilizador apenas abaixador da tensão de entrada. Apesar de a Figura 1 mostrar um autotransformador com um *tap* de derivação

acima de 220 V, diz-se que o estabilizador é apenas abaixador em função de sua saída estar sempre abaixo de 220 V eficaz. A necessidade de se utilizar uma topologia apenas abaixadora vem do fato de o retificador de onda completa, colocado na entrada do conversor CC-CA, ser unidirecional, impedindo assim o fluxo de energia no sentido da carga para a rede da concessionária, necessário quando se utiliza uma topologia abaixador/elevador.

2.3 Retificador de onda completa com filtro capacitivo

O retificador de onda completa é um conversor que transforma um sinal de corrente alternada em corrente contínua. Sua função principal é suprir outros elementos ou dispositivos que necessitem de corrente contínua em sua entrada de uma maneira simples e barata. A [Figura 3](#) mostra o circuito do retificador de onda completa com filtro capacitivo usado neste trabalho. Este conversor é dito não controlado e unidirecional porque é constituído, basicamente, por quatro diodos dispostos em ponte, de maneira que a energia provinda da fonte de tensão senoidal passa pela ponte sempre em um único sentido ([MOHAN; UNDELAND; ROBBINS, 2002](#)).

Figura 3 – Retificador de onda completa com filtro capacitivo.



Fonte: Elaboração própria (2018).

O valor do capacitor utilizado como filtro de saída é calculado como parte do projeto do retificador. No entanto, sua capacitância é, em geral, bastante alta em função do requisito de a ondulação de tensão na saída do conversor, ser o valor mais baixo possível, para que a carga não sofra os efeitos de uma tensão e corrente pulsadas. No entanto, o dimensionamento dos capacitores tem uma consequência importante na corrente que flui no lado CA do conversor, pois como a corrente média no capacitor é igual a zero, a corrente média nos diodos será igual a corrente média que flui pela

carga. Já a corrente de pico nos diodos alcançará patamares bem mais elevados que sua corrente média, em função da duração de sua condução ser mais curta. Estes fenômenos contribuem para que haja uma corrente alternada não senoidal na entrada, com forte conteúdo de harmônicas ímpares e baixo fator de potência ([HART, 2012](#)).

As etapas de operação do retificador de onda completa com filtro capacitivo podem ser divididas como descrito abaixo:

1. No primeiro semiciclo da rede, em que a fonte de tensão V_{in} apresenta tensão positiva, os diodos $D2$ e $D3$ são polarizados inversamente enquanto os diodos $D1$ e $D4$ são polarizados diretamente, fazendo a corrente circular por $D1$ e $D4$. Enquanto a derivada da tensão é positiva, o capacitor C é carregado. No momento em que a derivada da tensão for igual a zero, o capacitor começa a descarregar sobre a resistência de carga R , até o momento em que o capacitor começa a ser carregado novamente.
2. No segundo semiciclo da rede, em que a fonte de tensão V_{in} apresenta tensão negativa, os diodos $D1$ e $D4$ são polarizados inversamente enquanto os diodos $D2$ e $D3$ são polarizados diretamente, fazendo a corrente circular por $D2$ e $D3$. Neste momento, a derivada da tensão torna-se positiva novamente e o capacitor volta a ser carregado. Mais uma vez, quando a derivada da tensão da entrada for zero, o capacitor passa a descarregar sobre a resistência de carga e, assim, um período da rede se fecha.

Estas etapas se repetem continuamente e o resultado é uma tensão e uma corrente CC na saída com uma ondulação muito baixa. Porém, a corrente que circula pelo capacitor possui um valor eficaz e um valor de pico que devem ser levados em consideração quando o capacitor utilizado no filtro tem uma resistência série equivalente (RSE) de valor elevado. Esta associação da RSE com a corrente do capacitor causa aquecimento dos componentes e, dessa forma, perdas de potência que devem ser consideradas no projeto do retificador ([BARBI, 2007](#)).

2.4 Conversor CC–CA de tensão em ponte completa

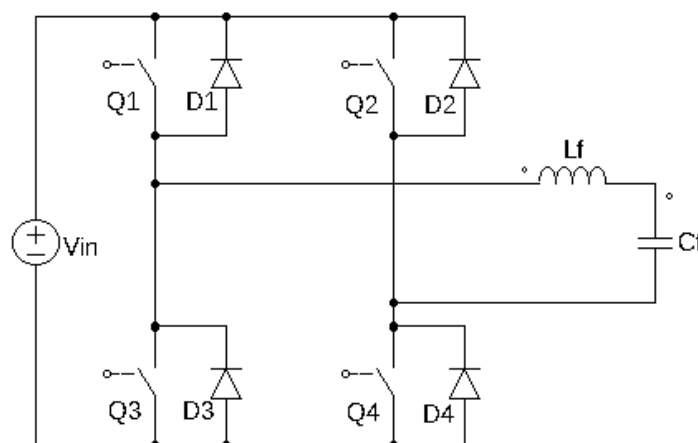
O conversor CC–CA de tensão, também chamado pela indústria de inversor, é um equipamento eletrônico que recebe em sua entrada tensão CC, a processa e entrega à carga, em sua saída, uma tensão CA com valor médio nulo. Em um inversor básico, a tensão de saída tem o aspecto de uma onda quadrada, que pode servir para aplicações que não necessitem de nenhum tratamento extra. No entanto, quando se deseja produzir uma tensão senoidal é necessário lançar mão de técnicas de modulação, usando chaves estáticas semicondutoras de alta frequência, e filtragem

do conteúdo harmônico que se apresenta na onda quadrada. É importante salientar também que um conversor CC–CA pode trabalhar com diferentes níveis de tensão e corrente em sua saída, bem como diferentes frequências de chaveamento. Tudo isto a depender da necessidade da aplicação e do seu projeto (MARTINS; BARBI, 2005).

A Figura 4 mostra o circuito completo do conversor CC–CA utilizado neste trabalho. Ele é constituído por quatro chaves, em formato de ponte completa, com quatro diodos de roda livre. O filtro LC visto na saída serve para suprimir as harmônicas do sinal de saída transformando a tensão CA em uma onda senoidal. Esta topologia possui quatro etapas de funcionamento, como descrito abaixo:

1. Chaves $Q1$, $Q4$ fechadas: Nesta etapa, as chaves $Q1$ e $Q4$ são fechadas conduzindo a corrente de carga, e a saída recebe tensão V_{in} , ponderada pelo sinal de modulação e controle utilizados, como veremos mais adiante;
2. Chaves $Q1$, $Q4$ bloqueadas: Nesta etapa, as chaves $Q1$ e $Q4$ são bloqueadas e os diodos de roda livre $D2$ e $D3$ conduzem até que a corrente no indutor do filtro seja descarregada. Este é um ponto importante, pois sem os diodos de roda livre a corrente seria possivelmente descarregada nas chaves, provocando problemas nas mesmas;
3. Chaves $Q2$, $Q3$ fechadas: Nesta etapa, as chaves $Q2$ e $Q3$ são fechadas conduzindo a corrente de carga, e a saída recebe tensão $-V_{in}$, ponderada pelo sinal de modulação e controle utilizados;
4. Chaves $Q2$, $Q3$ bloqueadas: Nesta etapa, as chaves $Q2$ e $Q3$ são bloqueadas e os diodos de roda livre $D1$ e $D4$ conduzem até que a corrente no indutor seja descarregada.

Figura 4 – Conversor CC–CA com filtro LC.

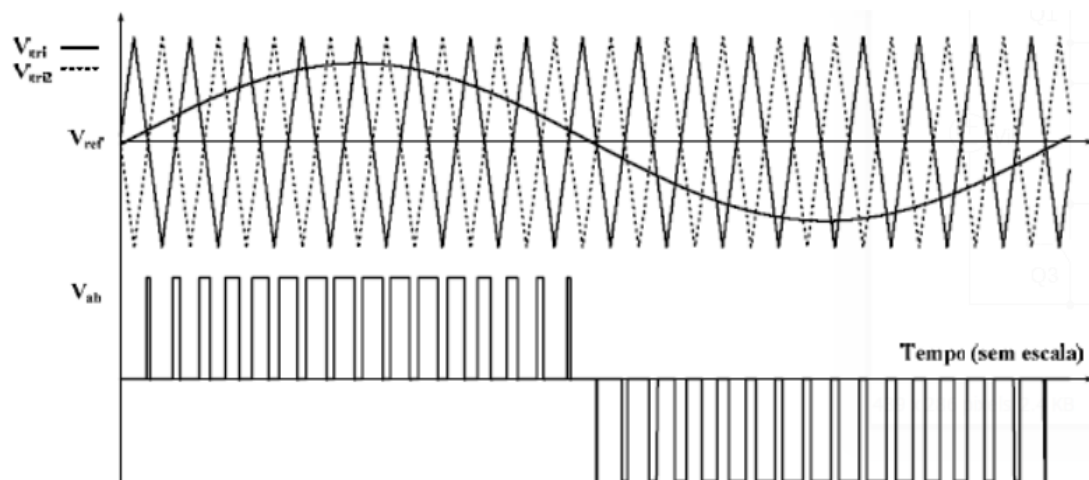


Fonte: Elaboração própria (2018).

O sistema de comutação das chaves é baseado na estratégia de modulação por largura de pulsos (PWM) senoidal. A grande vantagem desta estratégia é a redução da distorção e das componentes harmônicas de ordem mais baixa presentes na tensão de saída. Seu funcionamento se dá a partir da comparação entre uma onda senoidal modulante, ou de referência, de baixa frequência e uma onda portadora triangular de alta frequência. A frequência do sinal modulante ditará a frequência fundamental da senóide na saída e a frequência da onda portadora ditará a frequência de chaveamento das chaves estáticas.

Para este trabalho, se utilizará a modulação PWM senoidal a três níveis, mostrado na [Figura 5](#). Como se pode observar, esta estratégia é composta por uma onda modulante e duas ondas portadoras defasadas de 180° . No ponto em que o sinal modulante cruza com a portadora, estabelece-se o início ou fim do sinal de comando das chaves estáticas. O sinal modulado resultante segue uma função senoidal, com largura de pulsos maior na parte central e gradualmente menor em ambos os lados, bem como com característica alternada que se repete a cada período do sinal modulante ([MARTINS; BARBI, 2005](#)).

Figura 5 – Modulação PWM senoidal a três níveis.



Fonte: [Petry \(2013\)](#).

A amplitude do sinal modulante não necessariamente é fixa. Ela é imposta pelo índice de modulação (M) do conversor CC-CA. Este índice é a razão entre o valor de pico do sinal modulante e o valor de pico da onda portadora (que, geralmente, não varia). A variação do sinal modulante, e por consequência de M , ocorre como estratégia de controle da amplitude da tensão de saída, e também pode ocorrer em situações em que a fonte de tensão CC, da entrada do conversor, sofrer variações. Nesse caso, M pode variar para manter um sinal de tensão alternada fixa ([MOHAN; UNDELAND; ROBBINS, 2002](#)).

No conversor CC–CA, também há uma figura de mérito chamada razão da frequência de modulação (m_f). Ela é calculada através da razão entre a frequência da portadora triangular e a frequência do sinal modulante. A razão da frequência de modulação indica se a onda modulante está sincronizada com a portadora, o que é importante para evitar sub-harmônicas da frequência fundamental da tensão de saída. Para que os sinais estejam sincronizados, é necessário que m_f seja um valor inteiro. Além disso, quanto maior o valor de m_f , maior será a frequência de chaveamento e mais distantes estarão as componentes harmônicas da componente fundamental da tensão de saída. Na prática, no entanto, esta não é uma verdade facilmente aplicada, visto que os semicondutores possuem limite de frequência de chaveamento, e quanto maiores estas frequências, maiores também serão as perdas de potência por comutação. Nesse sentido, a estratégia de modulação a três níveis conta com a vantagem de funcionar com duas ondas portadoras defasadas de 180° , como descrito anteriormente. Em função disso, a frequência em que aparecem as primeiras componentes harmônicas é duas vezes maior que a frequência fundamental da portadora, podendo-se escolher frequências de chaveamento menores. Isto também facilita o projeto do filtro LC, pois permite que se use uma frequência de corte maior, resultando em componentes com menor peso e volume (MARTINS; BARBI, 2005).

O projeto do filtro LC na saída do conversor CC–CA é uma parte importante desta topologia, pois através dele a maior parte do conteúdo harmônico existente na tensão gerada pelo inversor será reduzida. Estes harmônicos devem ser retirados em função do prejuízo que causam à carga que o inversor está alimentando. Entre os principais problemas estão o sobre aquecimento e as perdas de potência, que podem, inclusive, diminuir a vida útil da carga. O filtro LC, então, é uma topologia do tipo passa baixas de segunda ordem, bastante eficaz para o objetivo a que se destina. Segundo Martins e Barbi (2005, p. 392), seu projeto deve ser trabalhado de maneira a "buscar um compromisso entre a atenuação dos harmônicos desejados, a regulação de tensão e a melhor relação entre corrente na entrada do filtro [...] e a corrente de carga". Ou seja, a influência da indutância e da capacitância do filtro deve ser de tal maneira que se tenham tensões e correntes equilibradas entre a entrada e a saída do filtro com o máximo de componentes harmônicas atenuadas. Maiores detalhes destas situações serão no projeto deste filtro na subseção 5.2.2.

3 CONTROLE BASEADO NA ESTRATÉGIA DE RETROAÇÃO DE ESTADOS UTILIZANDO OBSERVADORES

Este capítulo trata da fundamentação teórica necessária para a construção da estratégia de controle utilizada neste trabalho, para o conversor híbrido. Nesta parte serão abordados a modelagem matemática de conversores que permite a obtenção de controladores digitais, o sistema de controle por alocação de polos através de rastreamento de referência senoidal e o processo de controle utilizando observadores de estado. Além disso, também serão tratados métodos de medição de valor eficaz, geração de sinais de referência e o microcontrolador utilizado neste trabalho.

3.1 Modelagem de conversores empregando modelo médio em espaço de estados

Como conversores estáticos, inicialmente, são sistemas não-lineares devido às características de suas chaves, como transistores e diodos, é necessário analisá-los em pelo menos duas etapas: uma quando todos ou parte de seus semicondutores estão conduzindo e outra quando não estão. Nestas etapas, é possível observar características lineares no circuito e assim, torna-se possível aplicar as leis de Kirchhoff para a análise. Considerando que estes conversores possuem estados independentes que formam um vetor de estados ($x(t)$) e são excitados por fontes independentes que formam um vetor de entradas ($u(t)$), então, pode-se obter um modelo médio em espaço de estado para o sistema. Neste caso, o sistema apresentará duas representações independentes, como mostram as Equações 1, 2, 3 e 4 (ERICKSON, 2000).

$$K\dot{x}(t) = A_1x(t) + B_1u(t) \quad (1)$$

$$y(t) = C_1x(t) + E_1u(t) \quad (2)$$

$$K\dot{x}(t) = A_2x(t) + B_2u(t) \quad (3)$$

$$y(t) = C_2x(t) + E_2u(t) \quad (4)$$

Em que para este caso, K é uma matriz contendo os valores dos acumuladores de energia do sistema, dos quais, pode-se retirar variáveis de estado. Com estas equações, é possível aplicar a estratégia do modelo médio, obtendo-se

assim uma representação única do conversor estudado. O modelo médio é importante pois a partir dele são geradas as equações de estado de equilíbrio (modelo CC) e o modelo de pequenos sinais CA . O modelo CC é obtido com base no conhecimento de que as frequências naturais do conversor, bem como de sua fonte de tensão, são muito menores que a frequência de chaveamento (ERICKSON, 2000). Sendo assim, tem-se que:

$$0 = AX + BU \quad (5)$$

$$Y = CX + EU \quad (6)$$

Em que as componentes CC , que representam valores de equilíbrio do modelo médio, são:

- X = vetor de estados CC ;
- U = vetor de entradas CC ;
- Y = vetor de saídas CC ;
- D = razão cíclica CC .

Sabe-se que as duas etapas de funcionamento estão atreladas aos tempos de chave fechada e chave aberta. Estes dizem respeito à razão cíclica D do conversor dentro de um período T de funcionamento. A primeira etapa ocorre de 0 a DT e a segunda, de DT a T , sendo D um valor localizado entre 0 e 1. Se os intervalos de duração das duas etapas forem equacionados, obtém-se com D e $1 - D$, as matrizes do modelo médio, conforme as Equações 7, 8, 9 e 10.

$$A = A_1D + A_2(1 - D) \quad (7)$$

$$B = B_1D + B_2(1 - D) \quad (8)$$

$$C = C_1D + C_2(1 - D) \quad (9)$$

$$E = E_1D + E_2(1 - D) \quad (10)$$

Resolvendo-se as Equações 5 e 6 para X e Y , respectivamente, tem-se um vetor de estados CC e um vetor de saída CC , conforme mostrado nas Equações

11 e 12. Sendo assim, estas equações obtêm valores que representam o estado de equilíbrio das variáveis e o vetor de saída (ERICKSON, 2000).

$$X = -A^{-1}BU \quad (11)$$

$$Y = (-CA^{-1}BU + E)U \quad (12)$$

No entanto, em projetos de controle, utiliza-se o modelo linearizado que é obtido através do modelo CA de pequenos sinais descrito nas Equações 13 e 14.

$$K\dot{\hat{x}}(t) = A\hat{x}(t) + B\hat{u}(t) + \{(A_1 - A_2)X + (B_1 - B_2)U\}\hat{d}(t) \quad (13)$$

$$\hat{y}(t) = C\hat{x}(t) + E\hat{u}(t) + \{(C_1 - C_2)X + (E_1 - E_2)U\}\hat{d}(t) \quad (14)$$

As variáveis $\hat{x}(t)$, $\hat{u}(t)$, $\hat{y}(t)$ e $\hat{d}(t)$ são pequenas perturbações inseridas em torno de seus correspondentes CC que modelam variáveis CA (ERICKSON, 2000). Desse modo, as matrizes linearizadas são:

$$A_p = K^{-1}A \quad (15)$$

$$B_p = K^{-1}\{(A_1 - A_2)X + (B_1 - B_2)U\} \quad (16)$$

$$C_p = C \quad (17)$$

$$E_p = (C_1 - C_2)X + (E_1 - E_2)U \quad (18)$$

Na execução das Equações 15, 16, 17 e 18, os valores de X já serão conhecidos da Equação 11 e U será dado pelo vetor de entradas CC .

3.2 Sistema de controle no espaço de estados

Sistemas de controle no espaço de estados envolvem técnicas de controle moderno, pautadas em forte conteúdo matemático, mas que tem um resultado que simplifica a manipulação do controle pelo projetista. Esta vantagem traz como benefício a praticidade no projeto, já que seus parâmetros podem ser alterados e rapidamente se obtém um projeto de controle diferente. Sendo assim, nesta seção serão apresentados os métodos necessários para a construção de um projeto de controle no espaço de estados.

3.2.1 Controle por alocação de polos

O controle por alocação de polos é uma estratégia que requer um sistema modelado em espaço de estados em que se tenha à disposição todas as variáveis de estados mensuráveis. Quando este sistema satisfaz todas as condições de controlabilidade, torna-se possível alocar todos os seus polos de malha fechada à esquerda do plano S . Assim, através de uma retroação de estado, se obtém um controlador que mantém a saída estável e com erro nulo em regime permanente (OGATA, 2010).

Considerando um sistema de controle com as matrizes A_p , B_p , C_p e E_p , conforme visto na seção anterior, tem-se:

$$\dot{\mathbf{x}} = \mathbf{A}_p \mathbf{x} + \mathbf{B}_p u \quad (19)$$

$$y = \mathbf{C}_p \mathbf{x} + E_p u \quad (20)$$

Para este sistema, escolhe-se um sinal de controle do tipo:

$$u = -\mathbf{K} \mathbf{x} \quad (21)$$

Em que $\mathbf{K}$ é uma matriz ($1 \times n$) que contém os ganhos de retroação de estado. Substituindo-se a Equação 21 na Equação 19, obtém-se a Equação 22, que tem como solução a Equação 23.

$$\dot{\mathbf{x}}(t) = (\mathbf{A}_p - \mathbf{B}_p \mathbf{K}) \mathbf{x}(t) \quad (22)$$

$$\mathbf{x}(t) = e^{(\mathbf{A}_p - \mathbf{B}_p \mathbf{K})t} \mathbf{x}(0) \quad (23)$$

Em que:

- $\mathbf{x}(0)$ = estado inicial do sistema;
- $(\mathbf{A}_p - \mathbf{B}_p \mathbf{K})$ = matriz de autovalores escolhidos ou de polos reguladores do sistema.

Segundo Ogata (2010, p. 660), "se a matriz $\mathbf{K}$ for escolhida corretamente, a matriz $\mathbf{A}_p - \mathbf{B}_p \mathbf{K}$ poderá ser assintoticamente estável e, para todo $\mathbf{x}(0) \neq \mathbf{0}$, será possível fazer $\mathbf{x}(t)$ tender a $\mathbf{0}$, à medida em que t tender a infinito". Ou seja, a questão

da alocação de polos passa pela melhor escolha dos autovalores da matriz $\mathbf{A}_p - \mathbf{B}_p \mathbf{K}$. Quanto mais ajustada for esta escolha, melhor será a resposta do sistema em termos de estabilidade e erro. Para isso, podem-se fazer inúmeros projetos de controle com diferentes autovalores até que se chegue ao resultado que melhor satisfaça os pré-requisitos do projeto.

Para que os autovalores de $\mathbf{A}_p - \mathbf{B}_p \mathbf{K}$ sejam completamente controláveis, é necessário que a condição de controlabilidade seja verificada. Isto é feito através da matriz de controlabilidade, gerada a partir das matrizes $\mathbf{A}_p$ e $\mathbf{B}_p$, conforme mostra a Equação 24.

$$\mathbf{M} = \begin{bmatrix} \mathbf{B}_p & \vdots & \mathbf{A}_p \mathbf{B}_p & \vdots & \dots & \vdots & \mathbf{A}_p^{n-1} \mathbf{B}_p \end{bmatrix} \quad (24)$$

Em que, n é o número de colunas da matriz de controlabilidade. Já q é dito o posto da matriz de controlabilidade, que é a quantidade de colunas linearmente independentes entre si. No caso de q ser menor que n , diz-se que o sistema não possui estados completamente controláveis, e assim, não é possível alocar arbitrariamente todos os seus polos. Isto só será possível quando q for igual a n . Uma forma de verificar isto é através do cálculo do determinante de $\mathbf{M}$, que, se for igual a zero, entende-se que a matriz de controlabilidade é singular e assim q é menor que n . Quando o determinante resultar em um valor diferente de zero, diz-se que $\mathbf{M}$ é não singular e q é igual a n , ou seja, o sistema é a estados completamente controláveis (OGATA, 2010).

Com as condições para o controle verificadas, calcula-se a matriz de ganhos do controlador. Para este procedimento existe mais de um método, porém, neste trabalho foi utilizada a fórmula de Ackermann, que além de ser um método bastante eficaz, é também disponível em forma de função em *softwares* matemáticos, o que facilita muito o projeto. A fórmula, em si, é mostrada na Equação 25 (OGATA, 2010).

$$\mathbf{K} = [0 \ 0 \ \dots \ 1] \begin{bmatrix} \mathbf{B}_p & \vdots & \mathbf{A}_p \mathbf{B}_p & \vdots & \dots & \vdots & \mathbf{A}_p^{n-1} \mathbf{B}_p \end{bmatrix}^{-1} \phi(A_p) \quad (25)$$

$\phi(A_p)$ é descrito pelo teorema de Cayley-Hamilton e pode ser calculado como:

$$\phi(\mathbf{A}_p) = \mathbf{A}_p^n + \alpha_1 \mathbf{A}_p^{n-1} + \dots + \alpha_{n-1} \mathbf{A}_p + \alpha_n \mathbf{I} \quad (26)$$

Em que:

- α_n = coeficientes da equação característica desejada do sistema;

- $\mathbf{I}$ = matriz identidade $n \times n$.

O que se pode observar a partir destas últimas equações é que podem existir inúmeras equações características que satisfazem um sistema. Tudo depende de um compromisso entre velocidade de resposta e sensibilidade a distúrbios externos e erros de medida. Este *trade off* deve ser considerado na escolha da matriz de ganhos $\mathbf{K}$, pois um sistema mais veloz pode significar também um sistema menos imune a ruídos. Em um sistema de segunda ordem, a resposta pode ser correlacionada diretamente com a localização dos polos de malha fechada e zeros da planta, sendo assim, é importante que se façam vários projetos de controle, ou seja, é importante que se obtenha diferentes matrizes de ganhos de retroação $\mathbf{K}$, variando os polos e outros parâmetros, e verificando qual melhor satisfaz o projeto, dentro do horizonte de possibilidades da planta e do sistema em que esta está inserida (OGATA, 2010).

3.2.2 Controle com rastreamento de referência senoidal

O projeto de controle, proposto neste trabalho, tem como objetivo final fazer com que o sinal de saída do conversor tenha algumas características desejadas. Especificamente, que ele seja o mais próximo possível de um sinal de referência pré-concebido. Dessa forma, inclui-se no projeto por alocação de polos uma etapa que é a verificação de um sinal de erro, obtido a partir da comparação entre o sinal de saída do conversor e esta referência desejada. A ideia aqui é fazer com que o valor do erro caia assintoticamente a zero, de modo que se obtenha um sinal de saída sobreposto ao sinal de referência (OGATA, 2010).

No caso deste trabalho, o sinal de saída é uma senóide de frequência ω_0 , sendo assim é necessária uma estratégia de rastreamento de referência que envolva uma forma de onda deste tipo. A metodologia descrita por Iglesias (2013) mostra como obter um sinal de erro a partir a partir de uma referência senoidal. Em síntese, o novo sinal de erro é tratado como um estado adicional do sistema, que será observado continuamente, de modo a se garantir que ele tenda a zero. Sendo assim, define-se este novo estado como descrito nas Equações 27 e 28.

$$x_{n+1}(t) = \int_0^t er(t) dt \quad (27)$$

$$\dot{x}_{n+1} = er(t) = r(t) - y(t) \quad (28)$$

Em que:

- $x_{n+1}(t)$ = novo estado que verifica o erro;
- $r(t)$ = sinal de referência;
- $y(t)$ = sinal de saída do conversor;
- $er(t)$ = sinal de erro.

Com este novo estado, a matriz de estados x passa a ser uma nova matriz de estados aumentada z , que congrega as variáveis de estado previamente definidas e as novas variáveis de estado do sinal de erro. Para o rastreamento de uma senóide, são necessárias duas variáveis a mais, pois, como se pode verificar no domínio de Laplace, o sinal de erro em relação ao estado que o verifica, é do tipo:

$$X_{n+1}(s) = \frac{1}{s^2 + \omega_0^2} ER(s) \quad (29)$$

Desta forma, a matriz de estado aumentada e as matrizes do espaço de estados serão descritas como mostrado nas Equações 30, 31 e 32 (IGLESIAS, 2013).

$$z(t) = \begin{bmatrix} x \\ \begin{bmatrix} x_{n+1} \\ x_{n+2} \end{bmatrix} \end{bmatrix} \quad (30)$$

$$\dot{z} = \begin{bmatrix} \dot{x} \\ x_{n+1} \\ x_{n+2} \end{bmatrix} = \begin{bmatrix} A_p x + B_p u \\ x_{n+2} \\ -\omega_0^2 x_{n+1} + r - Cx \end{bmatrix} \quad (31)$$

Do qual, então:

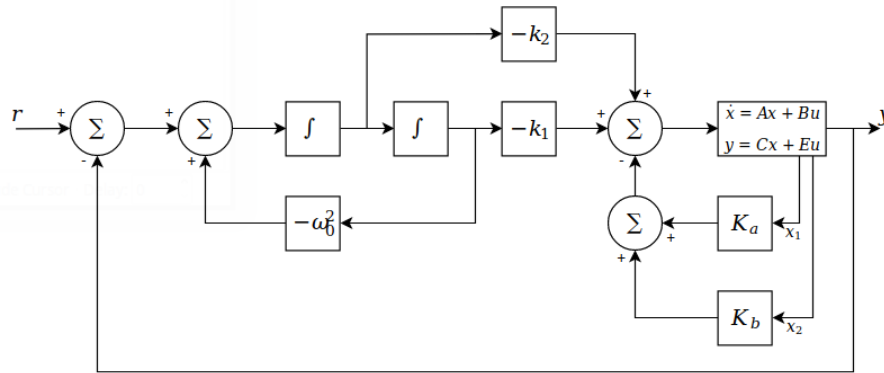
$$\dot{z} = \underbrace{\begin{bmatrix} A & 0 & 0 \\ 0 & 0 & 1 \\ -C & -\omega_0^2 & 0 \end{bmatrix}}_{\bar{A}_p} \underbrace{\begin{bmatrix} x \\ x_{n+1} \\ x_{n+2} \end{bmatrix}}_z + \underbrace{\begin{bmatrix} B \\ 0 \\ 0 \end{bmatrix}}_{\bar{B}_p} u + \underbrace{\begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix}}_{\hat{B}_p} r \quad (32)$$

Para um sistema com $n = 2$.

E então, para um sistema plenamente controlável, haverá uma matriz $\bar{K} = \begin{bmatrix} \mathbf{K} & k_1 & k_2 \end{bmatrix}$ com a qual $\bar{A}_p - \bar{B}_p \bar{K}$ é assintoticamente estável. Portanto, o projeto dos ganhos de retroação de estados passará por utilizar na Equação 25 os valores de $\bar{A}_p$ e $\bar{B}_p$.

O diagrama de blocos da [Figura 6](#) mostra como fica o sistema de controle em malha fechada. Para a implementação deste em um microcontrolador, é necessário que se retire suas equações matemáticas e que seus integradores sejam digitalizados no domínio z . Por fim, a equação em z dos integradores deve gerar equações recursivas que possam ser implementadas em uma rotina de programação C.

Figura 6 – Diagrama de blocos da planta e controle com rastreamento de referência senoidal.



Fonte: Elaboração própria (2018).

3.2.3 Controle por retroação de estados utilizando observadores

Em uma planta em que se utiliza um sistema de controle por alocação de polos, nem sempre é possível verificar todas as variáveis de estado via medição externa, visto que algumas variáveis são internas ao sistema. Sendo assim, pode-se lançar mão do recurso dos observadores de estados. Estes são sistemas que estimam todas as variáveis, tendo, idealmente, como resultado o mesmo valor para uma variável que estivesse sendo verificada por um instrumento de medida. Assim, ele funciona como um sistema que reconstrói o vetor de estados da planta e possui um modelo matemático muito parecido com o da planta, exceto por um termo adicional que incorpora o erro de estimação, que é a diferença entre a saída medida e a saída estimada. O modelo matemático do observador de estados pode ser descrito como na Equação 33 ([OGATA, 2010](#)).

$$\dot{\tilde{\mathbf{x}}} = (\mathbf{A}_p - \mathbf{K}_e \mathbf{C}_p) \tilde{\mathbf{x}} + \mathbf{B}_p u + \mathbf{B}_{CC} U + \mathbf{K}_e y \quad (33)$$

Para este caso, $\mathbf{B}_{CC}$ é obtido através da equação 34.

$$\mathbf{B}_{CC} = \mathbf{K}^{-1} \mathbf{B} \quad (34)$$

Em que:

- $\tilde{\mathbf{x}}$ = vetor de estados estimados da planta;
- $\mathbf{K}_e$ = matriz de ganhos do observador;
- u = ação de controle;
- $\mathbf{B}_{CC}$ = matriz B de parâmetros CC;
- U = vetor de entradas CC;
- y = saída medida da planta;
- K = matriz dos acumuladores de energia do sistema;
- B = matriz de estados CC do sistema.

Já o erro de estimação pode ser descrito como na equação 35.

$$\dot{\mathbf{e}}_e = (\mathbf{A}_p - \mathbf{K}_e \mathbf{C}_p) \mathbf{e}_e \quad (35)$$

Neste caso, $\mathbf{e}_e$ é o vetor de erro do observador. Através da Equação 35, entende-se que os autovalores da matriz $\mathbf{A}_p - \mathbf{K}_e \mathbf{C}_p$ determinam o comportamento do erro do observador. Mais uma vez, torna-se importante escolher adequadamente os ganhos de $\mathbf{K}_e$, de modo que o erro tenda assintoticamente a zero em uma velocidade adequada e, assim, a estimativa das variáveis de estado se sobreponha aos valores reais antes que a ação de controle seja decidida. Vale ressaltar que, como visto na Equação 33, a ação de controle (u) depende da correta estimativa das variáveis de estado, e assim, admite-se como regra geral que a ação do observador seja de duas a cinco vezes mais rápida que a decisão a respeito da ação de controle (OGATA, 2010).

Com a finalidade de se poder escolher arbitrariamente os autovalores de $\mathbf{A}_p - \mathbf{K}_e \mathbf{C}_p$, para que o observador tenha a resposta desejada, é necessário que o sistema a ser observado satisfaça plenamente as condições de observabilidade. A condição de observabilidade é definida de modo similar a condição de controlabilidade, de modo que, através da Equação 36, verifica-se se o posto (q) da matriz resultante é igual a n (OGATA, 2010).

$$\mathbf{O} = \begin{bmatrix} \mathbf{C}_p^T & : & \mathbf{A}_p^T \mathbf{C}_p^T & : & \dots & : & (\mathbf{A}_p^{n-1})^T \mathbf{C}_p^T \end{bmatrix} \quad (36)$$

Tendo a condição de observabilidade satisfeita, é possível então seguir adiante com o projeto para a obtenção da matriz de ganhos $\mathbf{K}_e$, tal que a matriz

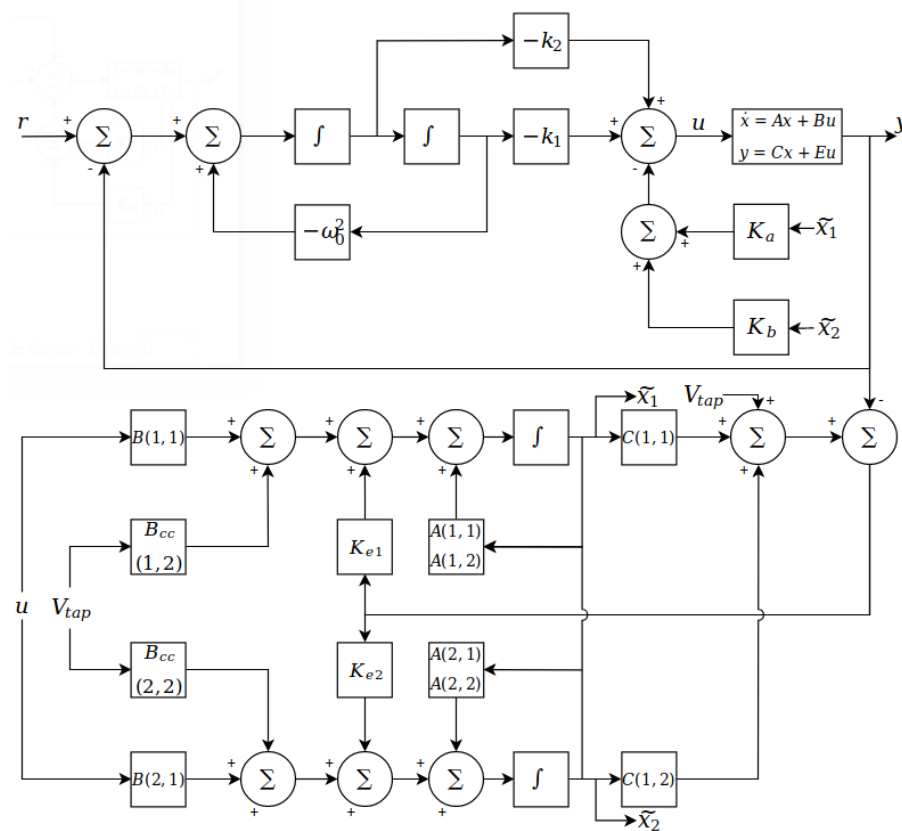
$\mathbf{A}_p - \mathbf{K}_e \mathbf{C}_p$ possua os autovalores desejados. Da mesma forma que no projeto por alocação de polos, no projeto do observador, dentre outras técnicas, também se pode usar a fórmula de Ackermann para a obtenção dos ganhos. Neste caso, a diferença é que as matrizes $\mathbf{A}_p$ e $\mathbf{C}_p$ são transpostas, assim como na Equação 36. Logo, a equação final para obtenção dos ganhos fica como descrito na Equação 37 (OGATA, 2010).

$$\mathbf{K}_e = [0 \ 0 \ \dots \ 1] \left[\mathbf{C}_p^T : \mathbf{A}_p^T \mathbf{C}_p^T : \dots : (\mathbf{A}_p^{n-1})^T \mathbf{C}_p^T \right]^{-1} \phi(\mathbf{A}_p^T) \quad (37)$$

Em que $\phi(\mathbf{A}_p^T)$ pode ser calculado da mesma forma que na Equação 26, apenas utilizando-se as respectivas matrizes transpostas.

A Figura 7 mostra o diagrama de blocos do sistema de controle com auxílio de um observador de ordem plena. Este sistema ilustra a Equação 33. Novamente, para sua implementação digital, é necessário que se obtenha seu modelo matemático detalhado e as equações recursivas dos integradores, que serão mostradas na subseção 5.4.5.

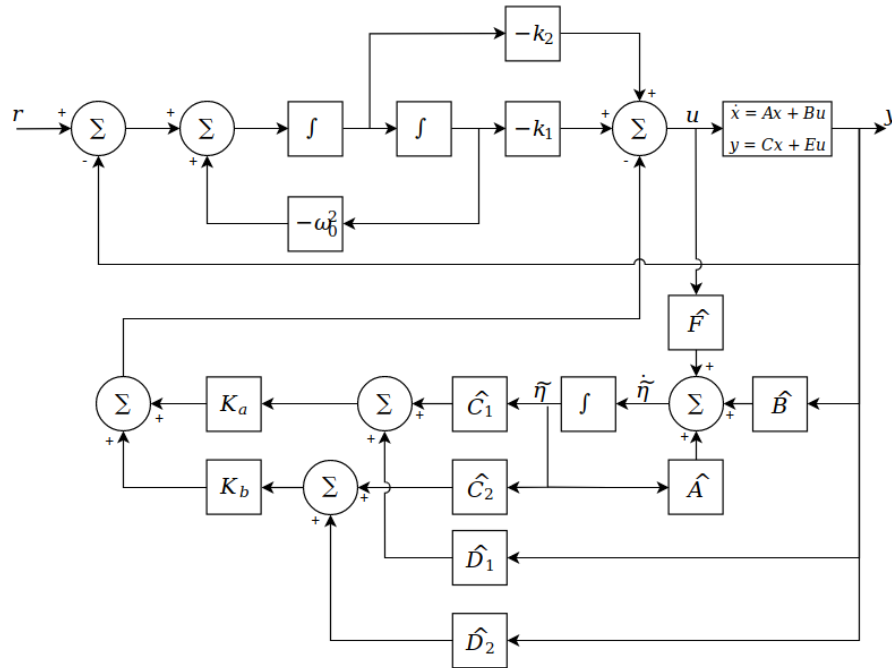
Figura 7 – Diagrama de blocos da planta e controle com rastreamento de referência senoidal e observador de ordem plena.



Fonte: Elaboração própria (2018).

Uma outra estratégia é o controle realimentado por estado observado com um observador de ordem mínima. Este é assim conhecido pois, em um sistema em que uma ou algumas das variáveis de estado é conhecida, não é necessário estimar todas as variáveis. Isto significa que se m variáveis, de um sistema com n variáveis, podem ser medidas, apenas $n - m$ variáveis precisam ser estimadas. A Figura 8 mostra o diagrama de blocos do controlador com um observador de ordem mínima.

Figura 8 – Diagrama de blocos da planta e controle com rastreamento de referência senoidal e observador de ordem mínima.



Fonte: Elaboração própria (2018).

Neste diagrama, aparecem as duas etapas necessárias para a obtenção da estimativa das variáveis de estado que não podem ser medidas. A primeira etapa é descrita na Equação 38, chamada de observador de ordem mínima, e a segunda etapa é descrita na Equação 39, chamada de etapa de transformação (OGATA, 2010).

$$\dot{\tilde{\eta}} = (\mathbf{A}_{bb} - \mathbf{K}_e \mathbf{A}_{ab}) \tilde{\eta} + [(\mathbf{A}_{bb} - \mathbf{K}_e \mathbf{A}_{ab}) \mathbf{K}_e + \mathbf{A}_{ba} - \mathbf{K}_e \mathbf{A}_{aa}] y + (\mathbf{B}_b - \mathbf{K}_e \mathbf{B}_a) \quad (38)$$

$$\tilde{\mathbf{x}} = \hat{\mathbf{C}} \tilde{\eta} + \hat{\mathbf{D}} y \quad (39)$$

Em que:

- A_{aa} = escalar proveniente da matriz $\mathbf{A}_p$;
- $\mathbf{A}_{ab}$ = matriz $1 \times (n - 1)$ proveniente da matriz $\mathbf{A}_p$;

- $\mathbf{A}_{ba}$ = matriz $(n - 1) \times 1$ proveniente da matriz $\mathbf{A}_p$;
- $\mathbf{A}_{bb}$ = matriz $(n - 1) \times (n - 1)$ proveniente da matriz $\mathbf{A}_p$;
- B_a = escalar proveniente da matriz $\mathbf{B}_p$;
- $\mathbf{B}_b$ = matriz $(n - 1) \times 1$ proveniente da matriz $\mathbf{B}_p$;

Estas novas matrizes vem da separação das matrizes $\mathbf{A}_p$ e $\mathbf{B}_p$ visto que agora m variáveis de estado são previamente conhecidas. Estas são representadas por $\dot{x}_a$, que neste caso não está em negrito por se contabilizar como apenas uma variável, como uma tensão de saída que possa ser medida, por exemplo. As demais variáveis que precisam ser estimadas, são representadas por $\dot{\mathbf{x}}_b$.

$$\begin{bmatrix} \dot{x}_a \\ \dots \\ \dot{\mathbf{x}}_b \end{bmatrix} = \begin{bmatrix} A_{aa} & \vdots & \mathbf{A}_{ab} \\ \dots & & \\ \mathbf{A}_{ba} & \vdots & \mathbf{A}_{bb} \end{bmatrix} \begin{bmatrix} x_a \\ \dots \\ \mathbf{x}_b \end{bmatrix} + \begin{bmatrix} B_a \\ \dots \\ \mathbf{B}_b \end{bmatrix} u \quad (40)$$

$$y = \begin{bmatrix} 1 & \vdots & 0 \end{bmatrix} \begin{bmatrix} x_a \\ \dots \\ \mathbf{x}_b \end{bmatrix} \quad (41)$$

Da equação 38, definem-se:

$$\hat{\mathbf{A}} = \mathbf{A}_{bb} - \mathbf{K}_e \mathbf{A}_{ab} \quad (42)$$

$$\hat{\mathbf{B}} = \hat{\mathbf{A}} \mathbf{K}_e + \mathbf{A}_{ba} - \mathbf{K}_e \mathbf{A}_{aa} \quad (43)$$

$$\hat{\mathbf{F}} = \mathbf{B}_b - \mathbf{K}_e B_a \quad (44)$$

O erro do observador de ordem mínima é definido pela Equação 45. O vetor $\mathbf{er}$ possui dimensão $n - m$ e sua dinâmica pode ser escolhida, assim como no observador de ordem plena, desde que ele satisfaça inteiramente a condição de observabilidade, como já explicado (OGATA, 2010).

$$\dot{\mathbf{er}} = (\mathbf{A}_{bb} - \mathbf{K}_e \mathbf{A}_{ab}) \mathbf{er} \quad (45)$$

Para a definição da matriz de ganhos $\mathbf{K}_e$, poderá se utilizar a estratégia da fórmula de Ackermann novamente. Desta vez, será necessário obter as matrizes transpostas de $\mathbf{A}_{bb}$ e $\mathbf{A}_{ab}$, além do vetor de autovalores (polos) desejados. Com a matriz $\mathbf{K}_e$ se obtêm as matrizes $\hat{\mathbf{A}}$, $\hat{\mathbf{B}}$ e $\hat{\mathbf{F}}$ do observador. A matriz $\hat{\mathbf{C}}$ é uma matriz coluna composta por um vetor de zeros de tamanho $n - 1$ seguido de uma matriz identidade com tamanho também de $n - 1$. Já a matriz $\hat{\mathbf{D}}$ é descrita pela Equação 46.

$$\hat{\mathbf{D}} = \begin{bmatrix} 1 \\ \mathbf{K}_e \end{bmatrix} \quad (46)$$

3.3 Medição de sinal via *true RMS*

Para que o chaveamento dos relés do autotransformador funcione adequadamente, é necessário que se faça uma medição da tensão da rede elétrica na entrada do estabilizador. Com esta medição, é possível saber em que momento os sinais de comando devem ser enviados para cada relé. Esta medição pode ser executada de algumas maneiras diferentes, dentre as quais duas foram estudadas como possibilidade para serem utilizadas neste trabalho.

Inicialmente, estudou-se a medição da tensão eficaz através da técnica de detecção ortogonal, que, de acordo com Petry (2005, p. 73), utiliza-se "de relações trigonométricas para a obtenção de um valor de tensão contínua proporcional ao valor da tensão eficaz". Esta técnica tem por base a Equação 47, a partir da qual verifica-se que, em um círculo trigonométrico, a soma quadrática do seno de um ponto com o cosseno do mesmo, resulta em 1. Sabe-se que o cosseno de um ponto tem o mesmo valor do seno quando deslocado de 90° , mostrando que com dois pontos afastados de 90° , pode-se obter uma média.

$$\text{sen}^2(x) + \text{cos}^2(x) = 1 \quad (47)$$

No caso de uma senóide pura, verifica-se que o valor eficaz também pode ser obtido através da raiz quadrada da média simples de dois pontos da onda afastados de 90° , elevados ao quadrado, conforme pode ser verificado na Equação 48. Sendo assim, repetindo-se esta equação a cada ciclo de uma onda senoidal, obtém-se como resultado seu valor eficaz.

$$V_{ef} = \sqrt{\frac{V_i^2 + V_{i+90}^2}{2}} \quad (48)$$

No entanto, como destacado acima, seus resultados são confiáveis para uma senóide pura, e na medida em que distorções são adicionadas ao sinal, esta estratégia perde confiabilidade. Desse modo, quando se necessita medir o valor eficaz verdadeiro de um sinal como o da rede elétrica, por exemplo, aconselha-se a utilização de outros métodos que garantam este valor. Um destes métodos é o chamado *true RMS* ou valor eficaz verdadeiro que pode ser calculado para uma forma de onda que apresente um conjunto finito de valores (y) igualmente espaçados em um período de tempo. Sendo assim, o valor eficaz verdadeiro pode ser calculado com a Equação 49 (IEEE, 2003).

$$y_{ef} = \sqrt{\frac{1}{N} \sum_{j=1}^N y_j^2} \quad (49)$$

Com o objetivo de poder utilizar a Equação 49 para uma senóide, é necessário obter uma quantidade mínima de pontos de modo que o cálculo resulte em um valor que satisfaça o valor eficaz verdadeiro. Tais pontos são obtidos através de uma amostragem em que se delimita um período de tempo que se repete continuamente e ao final do qual se obtém um ponto da senóide. Se esta amostragem ocorrer em um período inferior a, pelo menos, duas vezes o período do sinal original que se deseja amostrar, incorre-se no risco do fenômeno de *aliasing*. O *aliasing* ocorre quando amostras de senóides em tempo contínuo, de frequências diferentes, geram o mesmo sinal em tempo discreto (LATHI, 2007).

Sendo assim, de acordo com um dos pontos do *teorema da amostragem*, deve-se amostrar uma senóide com uma frequência maior do que duas vezes a frequência original do sinal em tempo contínuo, conforme mostra a Equação 50. Dessa forma, obtém-se pelo menos dois pontos da senóide a cada período da mesma. Como se está amostrando com um microcontrolador de alta capacidade, é possível amostrar com uma frequência muito maior do que a frequência da senóide da rede elétrica. No entanto, uma frequência alta, apesar de trazer alta resolução ao sinal amostrado, pode trazer também prejuízos para o projeto de controle, pois a frequência de chaveamento precisará, pelo menos, acompanhar a frequência de amostragem. Com isso, se a frequência de amostragem for muito alta, podem ocorrer perdas de potência maiores que o necessário nos semicondutores do módulo compensador.

$$f_s > 2f \quad (50)$$

Em que:

- f_s = frequência de amostragem;
- f = frequência do sinal a ser amostrado.

Conforme estudos anteriores realizados por Almeida (2009), para que haja uma medição do valor eficaz de uma senóide com 7,5% de distorção harmônica, com menos de 1% de erro, basta que se amostram 16 pontos do sinal, quando se utiliza o método *true RMS*. Sendo assim, conclui-se que como a frequência da rede elétrica é de 60 Hz e respeitando a quantidade mínima de 16 pontos, uma frequência de amostragem de 960 Hz já é suficiente para a medição do valor eficaz. Mais adiante, no capítulo de projeto, serão mostrados mais detalhes a respeito da frequência escolhida e da estratégia de implementação do algoritmo de *true RMS*.

3.4 Sinal de referência através de DPLL

Como visto anteriormente, para que o controlador do conversor funcione adequadamente e a saída seja um sinal senoidal de amplitude, fase e frequência desejáveis, é necessário um sinal de erro obtido a partir da comparação entre o sinal de saída do conversor e uma referência criada artificialmente. Esta referência deve possuir as características de uma senóide ideal. No entanto, é importante que ela possua a mesma fase e frequência da tensão da rede elétrica, visto que o sinal gerado pelo conversor deve alimentar cargas preparadas para lidar com a tensão da rede. Desta forma, necessita-se de uma estratégia de construção da referência que garanta estes mesmos valores de atributos da rede, sem as distorções e ruídos que a mesma pode trazer consigo.

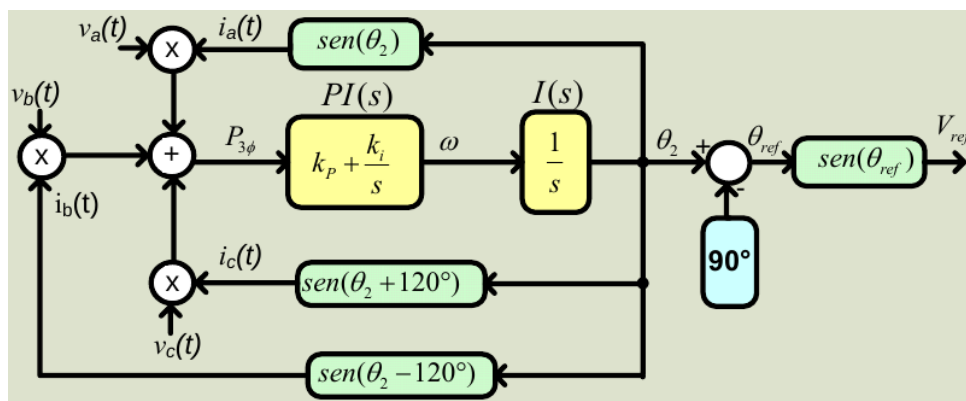
Uma estratégia bastante utilizada para isso é o DPLL (*Digital Phase Locked Loop*), que é um sistema operando em malha fechada com capacidade de obter a frequência e a fase do sinal de entrada, gerando assim, um sinal de saída sincronizado com o sinal de entrada. A estratégia utilizada neste trabalho para a construção do DPLL segue a metodologia descrita por Gomes (2007). Originalmente, esta estratégia é utilizada para a geração de um sinal de PLL trifásico. No entanto, a partir de simplificações com identidades trigonométricas, também se pode usá-lo para a obtenção de sinal de PLL monofásico.

A Figura 9 mostra o diagrama do circuito PLL trifásico. A partir dela se observa que o princípio básico de funcionamento passa pela obtenção de três tensões da rede elétrica trifásica ($v_a(t)$, $v_b(t)$ e $v_c(t)$) que são multiplicadas por correntes virtuais obtidas através de cálculos trigonométricos a partir do ângulo θ_2 , que é a referência de fase na saída do circuito PLL. Da multiplicação resulta um valor de potência trifásica instantânea ($P_{3\phi}$), que passa por um controlador PI e um integrador. A função do

controlador PI é anular $P_{3\phi}$, fazendo restar apenas ω , que é igual a frequência angular da rede elétrica, e o integrador gera, então, θ_2 ou ωt , em regime permanente (GOMES, 2007).

O motivo de se subtrair 90° de θ_2 reside no fato de que, para que o sistema gere o sinal com a mesma fase da rede elétrica lida por ele, é necessário que os ângulos das correntes virtuais estejam em quadratura com os ângulos das tensões lidas (θ_1). Mais especificamente, os ângulos das correntes devem estar adiantados de 90° em relação aos ângulos das tensões, por isso esta subtração é necessária. E, a partir dela, então, gera-se θ_{ref} . Um detalhe importante para a implementação digital desta estratégia é que θ_2 deve ser reinicializado toda vez que atingir o valor de 2π , visto que o resultado de uma integral é uma rampa. Assim, se não houverem limites, a variável que contabiliza θ_2 pode sofrer *overflow* (GOMES, 2007).

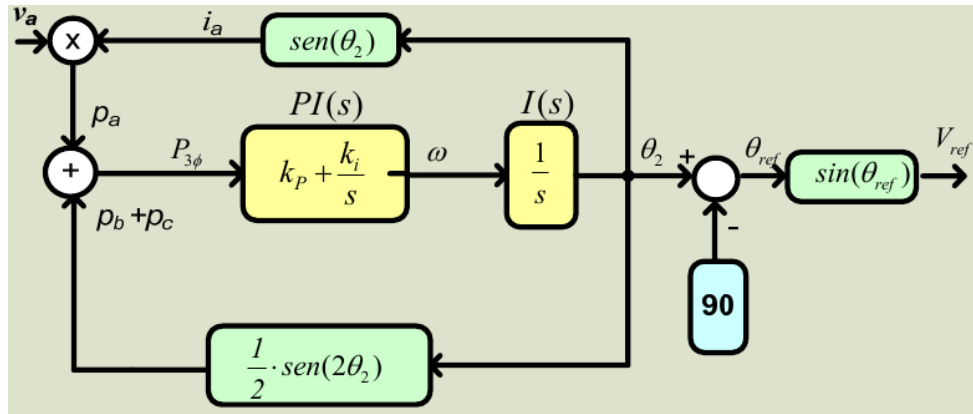
Figura 9 – Diagrama do circuito do PLL trifásico.



Fonte: Gomes (2007).

Diferentemente da tensão trifásica, na tensão monofásica existe apenas uma tensão a ser lida ($v_a(t)$), de modo que as tensões instantâneas dos ramos b e c necessitam ser calculadas internamente ao sistema, através de relações trigonométricas, como ocorre com as correntes. Para calcular as tensões, utiliza-se θ_2 , pois este está em acordo com a rede elétrica em fase e frequência e se consegue manipulá-lo adequadamente para que fique adiantado ou atrasado de $v_a(t)$. Sendo assim, a partir de um série de simplificações, obtém-se um circuito para o cálculo do PLL monofásico como o mostrado na Figura 10. Como se pode observar, a diferença é encontrada no cálculo das potências instantâneas b e c , que agora são obtidas a partir de uma simples relação trigonométrica, o que faz deste método descomplicado e com ótima eficiência (GOMES, 2007).

Figura 10 – Diagrama do circuito do PLL monofásico.



Fonte: [Gomes \(2007\)](#).

[Gomes \(2007\)](#) trata o projeto do controlador PI levando em consideração que a tensão lida da rede elétrica não é puramente senoidal e traz algum conteúdo harmônico. Este fenômeno produz uma oscilação em $P_{3\phi}$ na frequência de 120 Hz. Para que o PLL funcione adequadamente e ω tenha uma oscilação tolerável, estes aspectos devem ser levados com cuidado para o cálculo dos ganhos k_p e k_i , de modo que o controlador trabalhe para tornar o sistema estável. Com isso, o autor chegou a um resultado para a equação de transferência do controlador como mostrado na equação 51.

$$FTMA_{PLL}(s) = \frac{3500 + 116s}{s} \quad (51)$$

Em que:

- $k_p = 116$;
- $k_i = 3500$.

A equação 51 também foi utilizada para este trabalho, visto que [Gomes \(2007\)](#) já a testou e validou, economizando, assim, o tempo de se chegar a um resultado que teria o mesmo efeito prático. Mais adiante será mostrado como se digitalizou a mesma para que fosse usada dentro do programa do microcontrolador, sendo implementado, por fim, o PLL digital.

3.5 Controlador digital de sinais TMS320F28335

O controlador digital de sinais (DSC) TMS320F28335 é um tipo de microcontrolador avançado que opera com um núcleo DSP (Processador Digital de

Sinais) e periféricos em uma configuração de 32 bits com tratamento de ponto flutuante em *hardware*. Este dispositivo é desenvolvido pela Texas Instruments e distribuído, também, em uma plataforma de desenvolvimento chamada TMDSCNCD28335 *controlCard*, que pode ser visto na [Figura 11](#). O DSP que compõe o núcleo do DSC possui como característica um alto poder de processamento matemático. Sendo assim, ele consegue processar uma quantidade muito maior de cálculos que um microcontrolador comum em um mesmo período de tempo. Isto faz com que o TMS320F28335 seja visto como um circuito integrado ideal para sistemas de controle de tempo real.

Figura 11 – TMDSCNCD28335 *controlCard* com TMS320F28335 utilizado neste trabalho.



Fonte: Texas Instruments (2018).

Os periféricos mais importantes disponíveis e utilizados neste trabalho são:

- Frequência de operação de 150 MHz;
- Memória Flash de 512 kB para gravação de programas;
- Memória RAM de 68 kB;
- 16 canais ADC (conversor analógico digital) com resolução de 12 bits com 2 *sample holders*;
- 12 canais de PWM comuns e mais 6 canais de alta resolução;
- 3 canais UART (SCI);
- 88 pinos de GPIO (entradas e saídas de propósito geral).

4 METODOLOGIA

Para a elaboração deste trabalho foram utilizadas metodologias já conhecidas e difundidas, visto que o objetivo do mesmo é construir um sistema eletrônico, buscando comprovar sua funcionalidade, a partir de teorias e métodos já consolidados através dos padrões científicos. Dessa maneira, baseou-se este trabalho em pesquisa bibliográfica a partir do estudo de livros, artigos, dissertações, etc. de autores da área de eletrônica. Pode-se dizer também que a pesquisa utilizada neste trabalho é do tipo exploratória na medida em que busca aprimorar a ideia de um sistema eletrônico e responder sobre a possibilidade de seu funcionamento. Esta resposta deve ser dada com base na análise de dados quantitativos a partir de testes de simulação e bancada (GIL, 2007).

4.1 Métodos aplicados

Os métodos aplicados neste trabalho consistiram de um estudo teórico prévio dos conversores CA–CC e CC–CA, aqui aplicados, bem como de estabilizadores de tensão. Também estudou-se estratégias de controle envolvendo retroação de estados utilizando observadores. Assim, pesquisou-se controle por alocação de polos, observadores de estado de ordem plena e de ordem mínima.

Com base nestes estudos, foram feitos projetos e simulações para as estruturas do conversor híbrido e de seus circuitos auxiliares, como fontes e condicionamento de sinais. A partir destes, escolheu-se os componentes necessários para construir um protótipo que pudesse ser testado. Os projetos foram feitos com o auxílio de *softwares* como o Matlab e Smath, e as simulações foram feitas com o auxílio do Matlab, PSIM e LTspice. O leiaute do protótipo foi feito em parte com o Altium Design (placa de condicionamento de sinais) e Kicad (protótipo de potência).

Com os estudos também foram desenvolvidos projetos de controladores, observadores de estado, medição de valor eficaz da tensão da rede elétrica e geração de sinal de sincronismo via PLL. Os mesmos, após validação via simulação, foram digitalizados para utilização no microcontrolador TMS320F28335. A programação do código em linguagem C foi feita no *software* Code Composer Studio v7, disponibilizado pela Texas Instruments.

Após estes passos, o sistema foi testado em bancada de forma modular. Com cada módulo validado, os mesmos foram sendo unidos para a execução de novos testes e aquisição de novos dados até o teste com o protótipo completo.

5 DESENVOLVIMENTO DO PROJETO

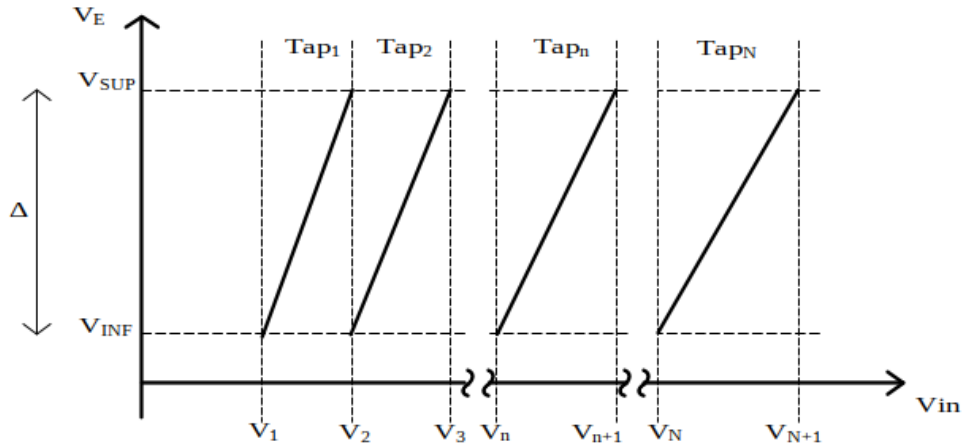
Este capítulo trata, com maior profundidade, do desenvolvimento de cada módulo constituinte do conversor híbrido. Nele serão apresentados os métodos de cálculo dos parâmetros necessários para escolha dos componentes que farão parte do estabilizador chaveado por relés, do retificador de onda completa com filtro capacitivo, do conversor CC–CA de tensão e dos circuitos de condicionamentos de sinais. Ainda neste capítulo serão apresentados os algoritmos utilizados para a medição *true RMS*, a programação do sistema PLL, a programação do chaveamento dos *taps* do estabilizador e a programação do controlador.

5.1 Projeto do estabilizador chaveado por relés

O projeto do estabilizador passa por definir quantos *taps* haverá no autotransformador, quais serão seus limites de tensão e como será a estratégia de chaveamento para eles. Nesse sentido, por falta de uma metodologia consolidada, necessitou-se criar uma forma de chegar a todas estas definições. Para isso, desenvolveu-se, então, um estudo que analisou a variação mínima da tensão de saída em função do número de *taps*. Com este estudo, foi possível chegar a uma quantidade de *taps* que permitem o menor esforço do conversor CC–CA para compensar a tensão de saída do estabilizador.

A [Figura 12](#) mostra a variação da tensão de saída do estabilizador em função do número de *taps*. Como se pode observar, pressupõe-se a existência de um valor máximo (V_{N+1}) e um valor mínimo (V_1) para a tensão de entrada (V_{in}), que serão tratados como parâmetros de entrada para o projeto do estabilizador. A variação mínima da tensão de saída é Δ , que será obtida a partir da quantidade de *taps* (N) a serem utilizados. Nesta condição, ocorre a distribuição da variação da tensão de saída de forma igual para todos os *taps*, o que significa dizer que para todos os *taps* a tensão de saída varia de um limite inferior (V_{inf}) até um limite superior (V_{sup}).

Figura 12 – Variação da tensão de saída do estabilizador chaveado por relés.



Fonte: Elaboração própria (2018).

Esta análise inicia-se com a definição das relações de transformação para os *taps*. Sendo assim, as equações abaixo descrevem estas relações da seguinte maneira:

$$V_2 = \frac{V_{sup}}{V_{inf}} V_1 \quad (52)$$

$$V_3 = \frac{V_{sup}}{V_{inf}} V_2 \quad (53)$$

$$V_{N+1} = \frac{V_{sup}}{V_{inf}} V_N \quad (54)$$

Acompanhando o desdobramento das equações, verifica-se que, considerando-se N igual a 3 e substituindo-se as Equações 52 na 53 e 53 na 54, chega-se a uma equação geral para a relação de transformação, qual seja:

$$V_{N+1} = \left(\frac{V_{sup}}{V_{inf}} \right)^N V_1 \quad (55)$$

E assim, pode-se encontrar um valor para a relação entre V_{sup} e V_{inf} como:

$$\frac{V_{sup}}{V_{inf}} = \sqrt[N]{\frac{V_{N+1}}{V_1}} \quad (56)$$

Na sequência do estudo, verificou-se duas formas de implementar o estabilizador: uma em que ele atua como abaixador e elevador de tensão, e outra em que atua apenas como abaixador de tensão. Para a primeira, os módulos utilizados na etapa de compensação da tensão de saída devem ser preparados para serem bidirecionais, pois quando o estabilizador elevar a tensão haverá processamento de energia no sentido da carga para a rede. Já para a segunda não há esta necessidade, pois, como o estabilizador apenas abaixa a tensão, a compensação de energia será sempre no sentido da rede para a carga.

No caso de um projeto com o estabilizador abaixador e elevador, considera-se, inicialmente, para o cálculo de Δ , uma variação simétrica entre os limites da tensão de saída em relação a tensão nominal da saída ($V_{O_{est}}$). Deste modo:

$$V_{sup} = V_{O_{est}} \left(1 + \frac{\Delta}{2} \right) \quad (57)$$

$$V_{inf} = V_{O_{est}} \left(1 - \frac{\Delta}{2} \right) \quad (58)$$

Relacionando-se a Equação 57 com a Equação 58 encontra-se uma nova razão entre V_{sup} e V_{inf} , conforme mostra a Equação 59.

$$\frac{V_{sup}}{V_{inf}} = \frac{\left(1 + \frac{\Delta}{2} \right)}{\left(1 - \frac{\Delta}{2} \right)} \quad (59)$$

Substituindo-se a Equação 56 na Equação 59 e, isolando-se Δ , chega-se numa relação para calcular Δ e obter a variação mínima da tensão de saída para um dado número de *taps* escolhidos, na topologia abaixador e elevador, conforme mostra a Equação 60.

$$\Delta = 2 \frac{\left(\sqrt[N]{\frac{V_{N+1}}{V_1}} - 1 \right)}{\left(\sqrt[N]{\frac{V_{N+1}}{V_1}} + 1 \right)} \quad (60)$$

Para o projeto de uma topologia apenas abaixadora, considera-se a variação entre os limites da tensão de saída como abaixo de $V_{O_{est}}$. Com isso, V_{sup} se torna igual a $V_{O_{est}}$. Já V_{inf} fica como descrito na Equação 61.

$$V_{inf} = V_{oest}(1 - \Delta) \quad (61)$$

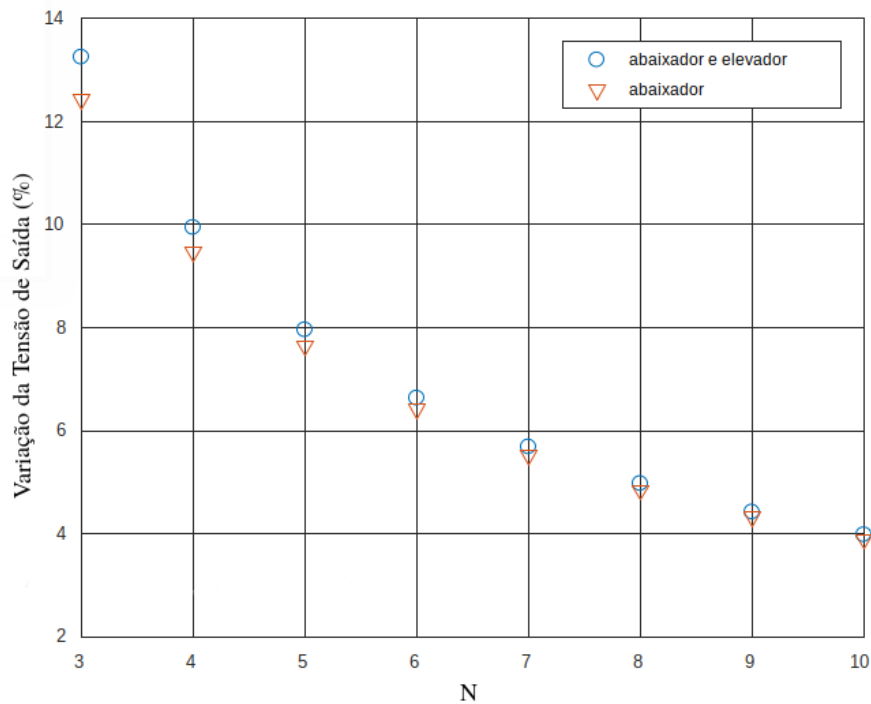
A relação entre V_{sup} e V_{inf} , então, será definida pela Equação 62 e, por consequência, Δ será definido pela Equação 63.

$$\frac{V_{sup}}{V_{inf}} = \frac{1}{1 - \Delta} \quad (62)$$

$$\Delta = 1 - \sqrt[N]{\frac{V_1}{V_{N+1}}} \quad (63)$$

Com o objetivo de testar os resultados deste estudo, levou-se as equações para um *software* matemático em que foram testadas a variação de tensão percentual do estabilizador em função da quantidade de *taps*. Como valores de entrada para as tensões, utilizou-se V_1 igual a 180 V eficaz e V_{N+1} igual a 268 V eficaz. Estes valores serão melhor entendidos mais adiante. Testou-se as equações de forma recursiva para um número de *taps* de 3 até 10. Os resultados obtidos são mostrados no gráfico da Figura 13.

Figura 13 – Variação da tensão de saída percentual em função do número de *taps*.



Fonte: Elaboração própria (2018).

Como se pode observar na [Figura 13](#), o aumento da quantidade de *taps* diminui o valor de Δ , ou seja, a saída do estabilizador fica mais próxima da tensão nominal de saída. No entanto, um projeto de autotransformador com dez *taps* é mais custoso que um projeto com três *taps*, o que significa que a utilização do módulo de compensação pode se tornar uma alternativa bastante atrativa, além de possibilitar a entrega, na saída, do valor nominal com Δ muito menor.

A [Tabela 2](#) traz o valores exatos da variação da tensão de saída percentual para melhor visualização dos resultados.

Tabela 2 – Resultados para variação da tensão de saída do estabilizador

N	$\Delta\%$ Abaixador e Elevador	$\Delta\%$ Abaixador
3	13,24	12,42
4	9,94	9,47
5	7,95	7,65
6	6,63	6,42
7	5,68	5,52
8	4,97	4,85
9	4,42	4,32
10	3,98	3,90

Fonte: Elaboração própria

Um outro ponto importante dentro do estudo para o projeto do estabilizador é a análise da distribuição da variação da tensão de entrada, visto que é importante saber para quais faixas de tensão de entrada se tem a melhor distribuição dos *taps* com a menor variação da tensão de saída. Este estudo também levou a um conjunto de equações (mostradas mais a frente) que foram testadas em um *software* matemático para verificar qual a melhor faixa de variação da tensão de entrada, utilizando-se três e quatro *taps* no estabilizador.

Iniciando-se a análise com a topologia abaixadora e elevadora, especifica-se $\Delta V_{in.total}\%$ como a variação percentual total da tensão de entrada, $\Delta V_{in.sup}\%$ como a variação percentual da tensão de entrada acima da tensão de entrada nominal (V_{in}), e, $\Delta V_{in.inf}\%$ como a variação percentual da tensão de entrada abaixo de V_{in} . Uma relação entre estes parâmetros pode ser descrita como:

$$\Delta V_{in.sup}\% = \Delta V_{in.total}\% - \Delta V_{in.inf}\% \quad (64)$$

Dessa forma, pode-se encontrar relações para V_{N+1} e V_1 , como descrito abaixo:

$$V_{N+1} = V_{in}(1 + \Delta V_{in.sup}\%) \quad (65)$$

$$V_1 = V_{in}(1 - \Delta V_{in.inf}\%) \quad (66)$$

Relacionando-se algebricamente as Equações 65 e 66, obtém-se como resultado a Equação 67.

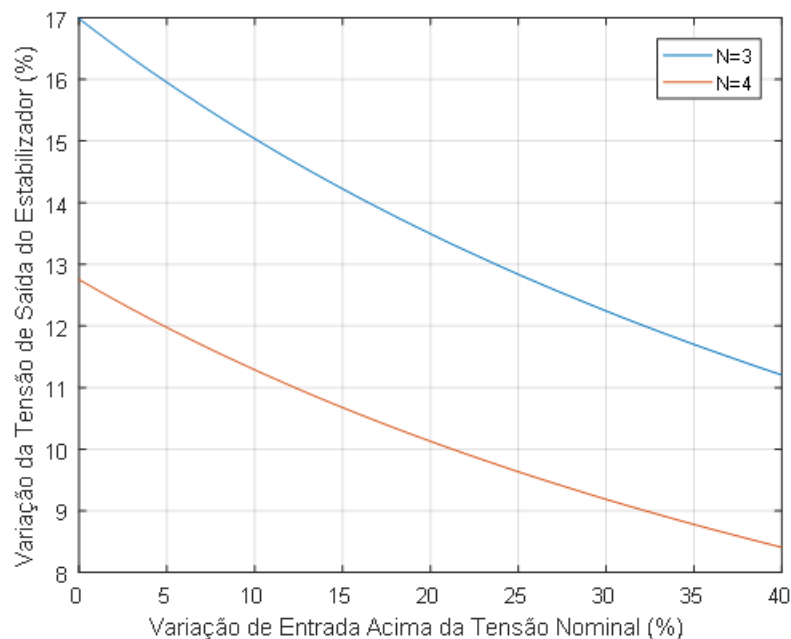
$$\frac{V_{N+1}}{V_1} = \frac{(1 + \Delta V_{in.sup}\%)}{(1 - \Delta V_{in.total}\% + \Delta V_{in.sup}\%)} \quad (67)$$

Sendo assim, substituindo-se a Equação 67 na Equação 60, encontra-se Δ para um estabilizador abaixador e elevador com distribuição simétrica da tensão de saída, conforme mostra a Equação 68.

$$\Delta = 2 \frac{\left(\sqrt[N]{\frac{1 + \Delta V_{in.sup}\%}{1 - \Delta V_{in.total}\% + \Delta V_{in.sup}\%}} - 1 \right)}{\left(\sqrt[N]{\frac{1 + \Delta V_{in.sup}\%}{1 - \Delta V_{in.total}\% + \Delta V_{in.sup}\%}} + 1 \right)} \quad (68)$$

Testando-se o resultado obtido com a Equação 68, com três e quatro *taps*, para variações percentuais da tensão de saída em função de variações percentuais da tensão de entrada, obteve-se o gráfico mostrado na Figura 14.

Figura 14 – Variação da tensão de saída em função da faixa de variação da tensão de entrada para topologia abaixador e elevador com 3 e 4 *taps*.



Fonte: Elaboração própria (2018).

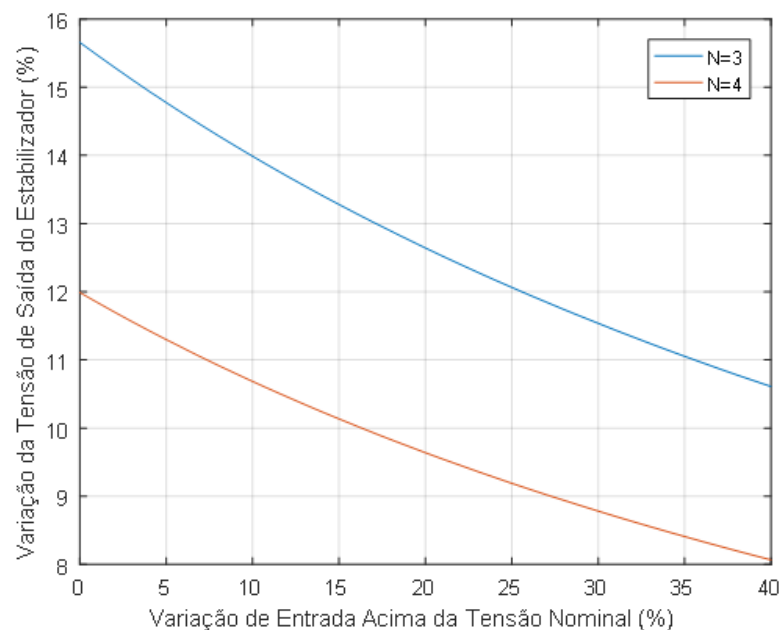
Como se pode observar, na [Figura 14](#), quanto maior a variação percentual na tensão de entrada acima da tensão nominal, menor será a variação da tensão de saída, para três e quatro *taps*. Isto significa que colocar os 40% de variação permitida acima de 220 V faria com que a saída tivesse a menor variação possível. No entanto, esta situação não é praticável visto que a tensão da rede elétrica sofre mais quedas de tensão do que sobretensões, e assim o estabilizador não estaria preparado para cumprir seu objetivo. Com isso, decidiu-se por dividir a variação total entre -19% e +21%, deixando a estrutura melhor ajustada para uma gama maior de variações possíveis da entrada. Estes valores percentuais levaram aos 180 V e 268 V eficazes escolhidos para o projeto.

Continuando o estudo com a topologia abaixadora, verifica-se que todo o raciocínio anterior segue igual, e, para se encontrar uma relação final para Δ , basta substituir a Equação 67 na Equação 63, que resulta na Equação 69.

$$\Delta = 1 - \sqrt[N]{\frac{(1 + \Delta V_{in.sup}\%) }{(1 - \Delta V_{in.total}\% + \Delta V_{in.sup}\%)}} \quad (69)$$

Novamente, testando-se a variação percentual da saída em função da variação percentual da entrada, para três e quatro *taps*, percebe-se que com 40% de variação na entrada, obtém-se a menor variação na saída, sendo que, com três *taps*, este índice chega a menos de 11%, conforme mostrado na [Figura 15](#).

Figura 15 – Variação da tensão de saída em função da faixa de variação da tensão de entrada para topologia abaixador com 3 e 4 *taps*.



Fonte: Elaboração própria (2018).

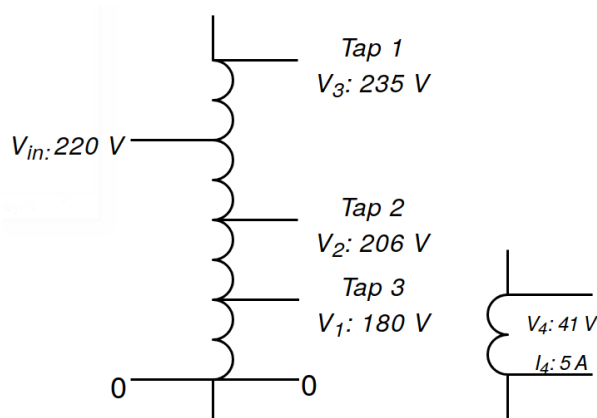
5.1.1 Topologia escolhida para o estabilizador

Como dito anteriormente, a topologia abaixadora e elevadora envolve uma complexidade maior ao projeto do conversor híbrido, pois dentro da etapa de compensação todos os módulos devem estar preparados para bidirecionalidade, visto que quando o estabilizador elevar a tensão será preciso compensar energia no sentido da carga para a rede. Nesse caso, optou-se para este trabalho pela topologia apenas abaixadora, que permite a utilização de um retificador de onda completa não controlado para fornecimento de energia para a entrada do conversor CC-CA.

A vantagem do uso do estabilizador abaixador está justamente no fato de que os conversores do módulo de compensação só precisam processar energia em um sentido, o que torna o projeto mais simples. Em contrapartida, só se consegue satisfazer todas as premissas da NBR14373 quando todo o sistema estiver funcionando em conjunto. Isto porque, em caso de a etapa compensadora não estar ligada, o estabilizador não entrega na saída uma tensão com tolerância de $\pm 6\%$, mas sim com uma tolerância de até $+12,42\%$, como foi demonstrado na [Tabela 2](#), para a entrada escolhida, entre 180 e 268 V eficazes.

A partir da escolha da topologia e das tensões mínima e máxima de entrada e com o auxílio dos resultados do estudo apresentado anteriormente, calculou-se os valores dos *taps* para um autotransformador com três *taps*. Além disso, projetou-se um enrolamento auxiliar, isolado, para servir como tensão de entrada do retificador de onda completa. A especificação da corrente que circula pelo autotransformador e pelo enrolamento auxiliar são explicadas nos tópicos seguintes, que demonstram o projeto do retificador e do inversor. A [Figura 16](#) mostra o circuito completo do autotransformador projetado. Apesar de haver um *tap* acima de 220 V no autotransformador, o estabilizador é abaixador visto que mantém sua tensão de saída sempre abaixo de 220 V.

Figura 16 – Autotransformador em topologia abaixador utilizado no conversor híbrido.



Fonte: Elaboração própria (2018).

5.2 Projeto dos conversores CA–CC e CC–CA

Esta seção trata do projeto de potência dos módulos utilizados para a compensação de tensão do conversor híbrido. Logo, é de fundamental importância na medida em que, através dela, será possível obter na saída do conversor um sinal senoidal com valor eficaz especificado e com baixo conteúdo harmônico. Os parâmetros de entrada para cada projeto bem como seus resultados estarão listados em tabelas nas subseções seguintes. Fazem parte deste módulo o projeto do retificador de onda completa e o conversor CC–CA de tensão em ponte completa.

5.2.1 Projeto do retificador de onda completa com filtro capacitivo

O projeto do retificador de onda completa com filtro capacitivo é baseado na metodologia descrita por [Petry \(2012\)](#). A partir desta, é necessário que se estabeleçam alguns pré-requisitos para o início dos cálculos, quais sejam: o valor da tensão eficaz mínima de entrada do retificador ($V_{CA.min}$) e a ondulação de tensão tolerada na saída do retificador. Esta será designada em dois valores: tensão mínima sobre o capacitor de filtro ($V_{C.min}$) e a tensão máxima sobre o capacitor de filtro ($V_{C.max}$). $V_{CA.min}$ será calculado a partir da relação de transformação obtida na especificação do *tap* auxiliar (n_{aux}) durante o projeto do estabilizador. Sendo assim, tem-se que:

$$V_{CA.min} = V_{in.min} n_{aux} \quad (70)$$

$$V_{C.max} = V_{CA.min} \sqrt{2} \quad (71)$$

$$V_{C.min} = V_{C.max} (1 - \Delta V_{C\%}) \quad (72)$$

Em que:

- $V_{in.min}$ = tensão eficaz mínima da rede da concessionária;
- $\Delta V_{C\%}$ = máxima ondulação de tensão percentual sobre o capacitor de filtro.

Com estes valores calculados e com o cálculo da potência de entrada do retificador ($P_{in.ret}$) é possível calcular a capacitância necessária para a filtragem. A potência de entrada do retificador é obtida a partir da potência de entrada necessária para o conversor CC–CA. No caso de um retificador ideal, sem perdas, pode-se dizer que a potência de entrada e a potência de saída são iguais. Como, na prática, não há

componentes ideais, considerou-se um rendimento de 90% para o retificador. Então o cálculo da potência e da capacitância ficam como descrito na Equações 73 e 74.

$$P_{in.ret} = \frac{P_{in.inv}}{0,9} \quad (73)$$

$$C = \frac{P_{in.ret}}{f(V_{C.max}^2 - V_{C.min}^2)} \quad (74)$$

Onde:

- $P_{in.inv}$ = potência de entrada do inversor;
- f = frequência da tensão de entrada do retificador.

A partir disso, calcula-se o tempo de condução dos diodos (t_c) da ponte retificadora e valores de tensão e corrente para especificação dos diodos e capacitor.

$$t_c = \frac{\arccos\left(\frac{V_{C.min}}{V_{C.max}}\right)}{2\pi f} \quad (75)$$

$$V_{Omd} = \frac{V_{C.max} + V_{C.min}}{2} \quad (76)$$

$$I_{Omd} = \frac{P_{in.inv}}{V_{Omd}} \quad (77)$$

$$\Delta V_C = V_{C.max} - V_{C.min} \quad (78)$$

$$I_{D.max} = 2 \frac{C}{t_c} \Delta V_C \quad (79)$$

$$I_{D.md} = I_{D.max} t_c f \quad (80)$$

$$I_{D.ef} = \frac{I_{D.max}}{3} \sqrt{6 t_c f} \quad (81)$$

$$I_{D1.md} = \frac{I_{D.max} t_c f}{2} \quad (82)$$

$$I_{D1.ef} = \frac{I_{D.max}}{3} \sqrt{3 t_c f} \quad (83)$$

$$I_{C.ef} = \frac{I_{D.max} f}{6} \sqrt{3 t_c \left(\frac{4}{f} - 3 t_c \right)} \quad (84)$$

Em que:

- $V_{O_{md}}$ = tensão média na saída do retificador;
- $I_{O_{md}}$ = corrente média na saída do retificador;
- ΔV_C = máxima ondulação de tensão sobre o capacitor de filtro;
- $I_{D_{max}}$ = corrente máxima em um ramo da ponte de diodos;
- $I_{D_{md}}$ = corrente média em um ramo da ponte de diodos;
- $I_{D_{ef}}$ = corrente eficaz em um ramo da ponte de diodos;
- $I_{D1_{md}}$ = corrente média em cada diodo do retificador;
- $I_{D1_{ef}}$ = corrente eficaz em cada diodo do retificador;
- $I_{C_{ef}}$ = corrente eficaz do capacitor de filtro;

Com a magnitude da corrente eficaz do capacitor de filtro, é possível calcular o valor máximo da RSE (resistência série equivalente) para que as perdas sejam limitadas e não prejudiquem o funcionamento do retificador. Para tanto, além de 20% de ΔV_C , obtido na Equação 78, assume-se um valor máximo para a corrente eficaz do capacitor ΔI_C , que será o mesmo valor de $I_{D_{max}}$ obtido na Equação 79. Assim, calcula-se a RSE máxima como:

$$RSE_{max} = \frac{0,2\Delta V_C}{\Delta I_C} \quad (85)$$

Por fim, pode-se calcular o fator de potência do retificador (FP) através da obtenção da potência aparente (S) da entrada do retificador e da potência ativa da saída do retificador, que, no caso, é a mesma potência ativa da entrada do inversor ($P_{in.inv}$). Além disso, calcula-se também um valor para a resistência de carga (R) que servirá para o teste do projeto do retificador.

$$S = V_{CA.min} I_{D_{ef}} \quad (86)$$

$$FP = \frac{P_{in.inv}}{S} \quad (87)$$

$$R = \frac{V_{O_{md}}}{I_{O_{md}}} \quad (88)$$

De posse das equações acima listadas, pode-se proceder com os cálculos. A [Tabela 3](#) lista os parâmetros de entrada utilizados para calcular as grandezas necessárias para escolha dos componentes constituintes do retificador.

Tabela 3 – Parâmetros de entrada para cálculos do projeto do retificador

Parâmetros	Descrição
$V_{in.min} = 180 \text{ V}$	Tensão eficaz mínima da rede na entrada do estabilizador
$n_{aux} = 0,1852$	Valor da relação de transformação do <i>tap</i> auxiliar
$P_{in.inv} = 60,6 \text{ W}$	Potência de saída do retificador ou potência de entrada do inversor
$f = 60 \text{ Hz}$	Frequência da rede
$\Delta V_C\% = 10 \%$	Máxima ondulação de tensão percentual tolerada sobre o capacitor de filtro

Fonte: Elaboração própria (2018).

A [Tabela 4](#) mostra os valores das grandezas calculados. Com estes valores é possível proceder simulações de teste para verificar se os valores calculados das tensões e correntes estão em acordo com o projeto. O circuito do retificador de onda completa com filtro capacitivo foi simulado com o *software* PSIM.

Tabela 4 – Grandezas calculadas do projeto do retificador

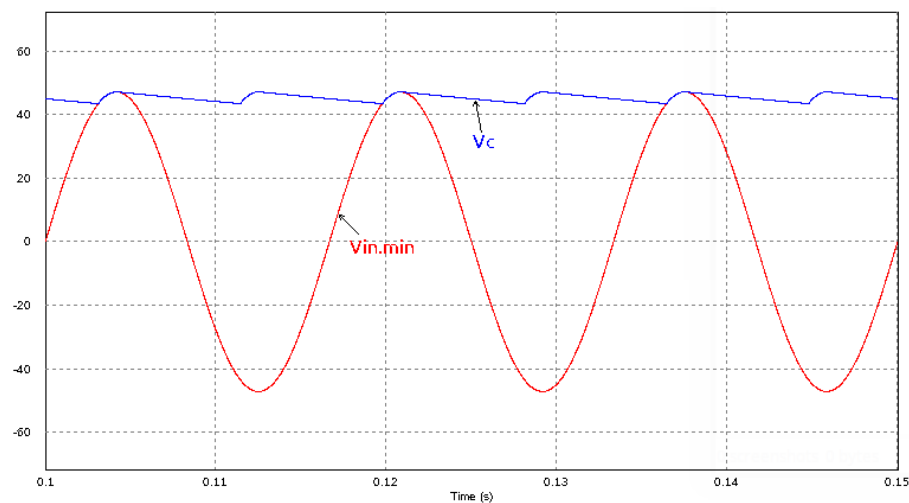
Grandeza	Descrição
$V_{CA.min} = 33,34 \text{ V}$	Tensão eficaz mínima na entrada do retificador
$V_{C.max} = 47,15 \text{ V}$	Valor tensão eficaz máxima sobre o capacitor
$V_{C.min} = 42,44 \text{ V}$	Valor tensão eficaz mínima sobre o capacitor
$P_{in.ret} = 67,36 \text{ W}$	Potência de entrada do retificador
$C = 2,66 \text{ mF}$	Máxima ondulação de tensão percentual tolerada sobre o capacitor de filtro
$t_c = 1,2 \text{ ms}$	Tempo de condução dos diodos
$V_{Omd} = 44,8 \text{ V}$	Tensão média na saída do retificador
$I_{Omd} = 1,35 \text{ A}$	Corrente média na saída do retificador
$\Delta V_C = 4,71 \text{ V}$	Ondulação de tensão admitida sobre o capacitor de filtro
$I_{D.max} = 20,95 \text{ A}$	Corrente máxima em um ramo da ponte de diodos
$I_{D.md} = 1,5 \text{ A}$	Corrente média em um ramo da ponte de diodos
$I_{D.ef} = 4,58 \text{ A}$	Corrente eficaz em um ramo da ponte de diodos
$I_{D1.md} = 0,75 \text{ A}$	Corrente média em um diodo do retificador
$I_{D1.ef} = 3,24 \text{ A}$	Corrente eficaz em um diodo do retificador
$I_{C.ef} = 3,15 \text{ A}$	Corrente eficaz no capacitor de filtro
$RSE_{max} = 45 \text{ m}\Omega$	Máxima resistência série equivalente do capacitor de filtro
$FP = 0,4$	Fator de potência da estrutura do retificador
$R = 33 \Omega$	Resistência de carga para testes da estrutura

Fonte: Elaboração própria (2018).

5.2.1.1 Resultados de simulação do retificador de onda completa

A **Figura 17** mostra o resultado de simulação para as tensões de entrada ($V_{CA.min}$) e saída (V_C ou V_o). Verifica-se pela imagem que a tensão de saída reproduz o comportamento de saída de um retificador e tem uma ondulação de 3,72 V, com pico em 47,14 V e mínimo em 43,42 V. Seu valor médio ficou em 45,34 V. A tensão de entrada teve pico em 47,14 V e seu valor eficaz ficou em 33,34 V.

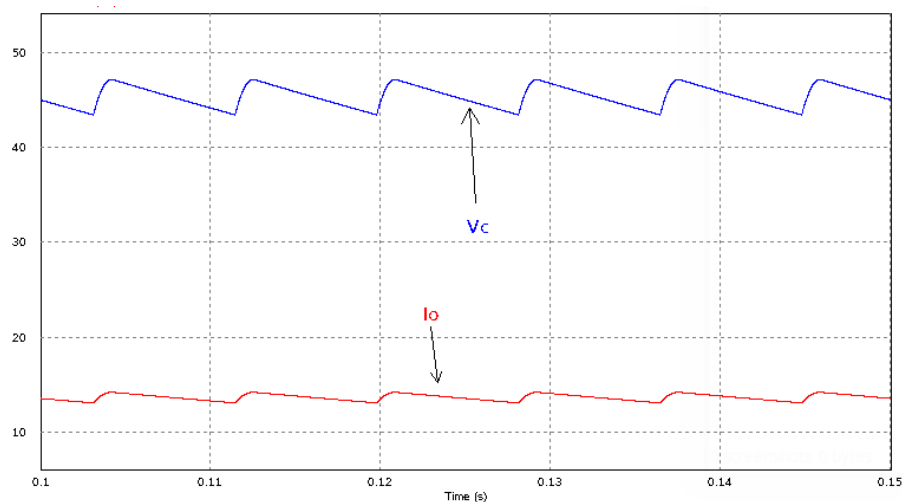
Figura 17 – Tensões de entrada e saída do retificador de onda completa com filtro capacitivo.



Fonte: Elaboração própria (2018).

A **Figura 18** mostra o comportamento de V_o e da corrente de saída (I_o).

Figura 18 – Tensão e corrente de saída do retificador de onda completa com filtro capacitivo.



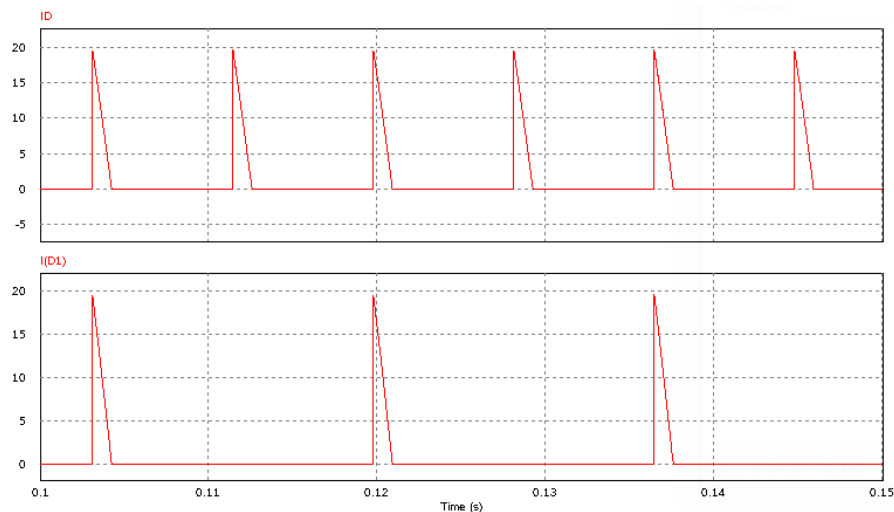
Fonte: Elaboração própria (2018).

Na imagem, I_o foi aumentada dez vezes para fins de visualização. Como se

pode observar, ela também possui uma pequena ondulação, de apenas 112 mA, o que a faz bastante semelhante com uma forma de onda *CC* constante. Seu valor médio simulado foi de 1,37 A.

A Figura 19 mostra a corrente em um ramo da ponte de diodos e em apenas um diodo da ponte retificadora. Como se pode observar, as duas formas de onda possuem o mesmo pico, porém, na primeira tem-se a corrente que passa por dois diodos em cada semiciclo da rede, o que faz com que haja variação na corrente média e eficaz em cada uma das formas de onda. Para a corrente que circula em um ramo da ponte obteve-se um valor médio ($I_{D.md}$) de 1,37 A e um valor eficaz ($I_{D.ef}$) de 4,26 A. Já para a corrente que circula em apenas um diodo obteve-se um valor médio ($I_{D1.md}$) de 686 mA e um valor eficaz ($I_{D1.ef}$) de 3 A.

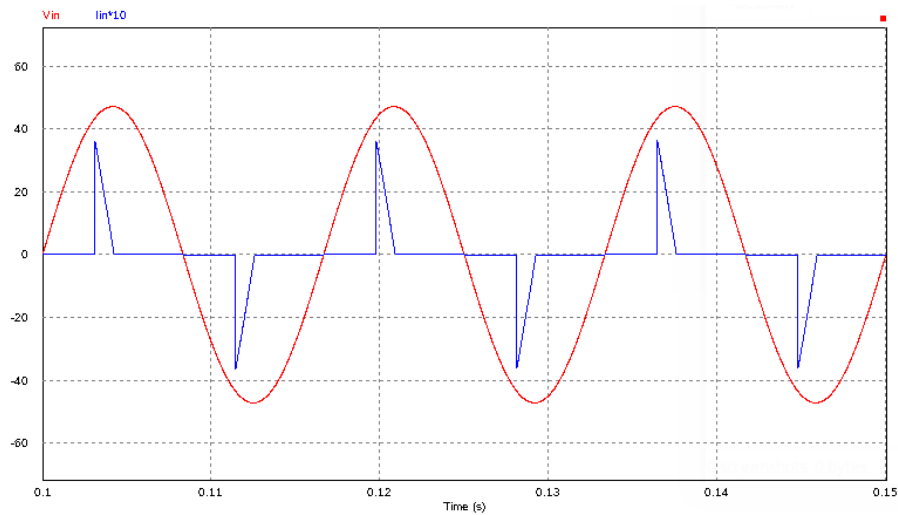
Figura 19 – Corrente em um ramo da ponte de diodos e em um diodo do retificador.



Fonte: Elaboração própria (2018).

A Figura 20 mostra a corrente e a tensão na entrada do retificador. A imagem da corrente foi aumentada dez vezes na figura para facilitar sua visualização. Seu comportamento mostra a influência da ponte de diodos e do filtro capacitivo, como visto anteriormente. Esta corrente possui um forte conteúdo harmônico que tem grande peso no fator de potência da estrutura. Este fenômeno pode ser minimizado através da correção do fator de potência, que não é objetivo deste trabalho. Em simulação, verificou-se que o fator de potência da estrutura (FP) alcançou o valor de 0,44.

Figura 20 – Tensão e corrente de entrada do retificador de onda completa com filtro capacitivo.



Fonte: Elaboração própria (2018).

Analisando os resultados de simulação em comparação com os resultados calculados, conclui-se que os mesmos são satisfatórios. Alguns valores se mostram com pequenas diferenças esperadas, em função de algumas simplificações feitas com o intuito de facilitar os cálculos e proporcionar um resultado mais rápido e próximo do modelo desejado.

5.2.2 Projeto do conversor CC–CA de tensão em ponte completa

Como o conversor CC–CA de tensão, assim como o retificador, é um circuito não-linear, seu projeto também pode se tornar pouco trivial. Portanto, decidiu-se, para este caso, projetar um filtro *LC* em acordo com a metodologia proposta em [Martins e Barbi \(2005\)](#) e verificar os resultados de tensão e corrente obtidos para a escolha das chaves estáticas via simulação pelo *software* PSIM.

O projeto do filtro *LC* inicia-se considerando, para fins de cálculo, uma carga resistiva pura (R_o). Esta deve ser obtida a partir da razão entre o valor de tensão eficaz de sua saída, elevado ao quadrado, e a potência desejada também em sua saída. Além disso, com estes parâmetros também é possível calcular a corrente eficaz de saída, que circula sobre a resistência de carga. A Equação 89 descreve o cálculo da resistência e a Equação 90 descreve o cálculo da corrente.

$$R_o = \frac{V_{o_{f.ef}}^2}{P_o} \quad (89)$$

$$I_{o_{f.ef}} = \frac{P_o}{V_{o_{f.ef}}} \quad (90)$$

Inicialmente, também, deve-se adotar um valor para o fator de amortecimento (ζ). Este deve estar, preferencialmente, entre 0,707 e 1 para que evitar o aparecimento de harmônicos de baixa frequência, próximos da frequência de corte (f_c). Por sua vez, f_c pode ser escolhida como sendo uma frequência que esteja uma década abaixo da frequência de chaveamento (f_s) e, pelo menos, trinta vezes maior que a frequência fundamental da tensão de saída (f). Com estas definições e considerações, pode-se calcular a frequência de corte da seguinte maneira (MARTINS; BARBI, 2005).

$$f_c = \frac{f_s}{10} \quad (91)$$

De posse da frequência de corte e do fator de amortecimento, previamente escolhido, pode-se calcular o valor da capacitância de filtragem e da indutância de filtragem a partir das Equações 92 e 93 (MARTINS; BARBI, 2005).

$$C_f = \frac{1}{4\pi\zeta f_c R_o} \quad (92)$$

$$L_f = \frac{1}{(2\pi f_c)^2 C_f} \quad (93)$$

Para fins de verificar se a indutância e capacitância obtida estão em acordo com a frequência de corte calculada anteriormente, é possível calcular a frequência de corte a partir dos valores de L_f e C_f , através da Equação 94.

$$f_c = \frac{1}{2\pi\sqrt{L_f C_f}} \quad (94)$$

Depois de obter os valores dos componentes do filtro, é importante verificar sua influência sobre a carga. Esta verificação tem por objetivo saber como a capacitância interfere na componente fundamental de corrente que entra no filtro, e como a indutância e a capacitância interferem na componente fundamental da tensão que entra no filtro. O ideal é que as componentes fundamentais de entrada do filtro estejam o mais próximo possível das componentes fundamentais de saída, o que significa que a influência do filtro é quase nula e apenas desempenha seu papel de reduzir as componentes harmônicas indesejadas.

Para esta análise, verificam-se dois fatores (K_1 e K_2), que são o módulo da razão entre a impedância capacitiva e a impedância de saída, e o módulo da razão entre a impedância indutiva e a impedância de saída, respectivamente. Com K_1 , juntamente

com o ângulo do fator de potência da carga (ϕ_1), pode-se analisar a relação entre a componente fundamental da corrente que entra no filtro e da corrente que circula na carga. Já com os dois fatores e ϕ_1 , pode-se verificar a regulação da componente fundamental da tensão de saída do filtro em relação à tensão de entrada. Para tanto, serão utilizadas as seguintes equações (MARTINS; BARBI, 2005).

$$K_1 = \left| \frac{X_{Cf}}{Z_o} \right| \quad (95)$$

$$\frac{|I_{in}|}{|I_o|} = \left| \frac{\cos\phi_1 + j(\sin\phi_1 - K_1)}{K_1(\sin\phi_1 - j\cos\phi_1)} \right| \quad (96)$$

$$K_2 = \left| \frac{X_{Lf}}{Z_o} \right| \quad (97)$$

$$\frac{V_o}{V_{in}} = \frac{\frac{K_1(\sin\phi_1 - j\cos\phi_1)}{\cos\phi_1 + j(\sin\phi_1 - K_1)}}{\frac{K_1(\sin\phi_1 - j\cos\phi_1)}{\cos\phi_1 + j(\sin\phi_1 - K_1)} + jK_2} \quad (98)$$

Quanto mais próximo de 1 for o resultado das Equações 96 e 98, maior o indicativo de que o filtro não interfere na tensão e corrente que circula sobre a carga. Um outro ponto importante a ser observado é o resultado da Equação 95, pois, valores mais altos de K_1 indicam maior impedância capacitiva. Isto significa que menores porções de corrente circularão pelo capacitor, fazendo com que a maior parte circule pela carga. Além disso, haverá menores parcelas de corrente no conversor CC-CA, exigindo menor esforço das chaves estáticas e diodos.

No projeto do filtro *LC*, levou-se em consideração que a saída do estabilizador está ligada em série com o capacitor de filtro, e ambos estão ligados à resistência de carga formando uma malha, conforme mostrado na Figura 1. Desse modo, a tensão de saída para o filtro não seria apenas a tensão do inversor, mas sim a tensão sobre a carga. Este fato levou a um questionamento de se a metodologia seria realmente válida, visto que a estrutura não é, a princípio, a mesma descrita por Martins e Barbi (2005). No entanto, verificou-se que as harmônicas filtradas são de frequências muito superiores àquela proveniente do estabilizador de tensão, que funciona em 60 Hz. E ainda, através de uma análise por superposição, constata-se que ao suprimir a tensão do estabilizador e colocar em seu lugar um curto-circuito, a topologia toma a mesma forma daquela mostrada pelos autores supracitados em seu trabalho. Sendo assim, a tensão escolhida para o cálculo do filtro foi a tensão sobre a carga com a

topologia do filtro LC do inversor. A [Tabela 5](#) mostra os parâmetros de entrada utilizados para o cálculo dos componentes.

Tabela 5 – Parâmetros de entrada para o cálculo do filtro LC

Grandeza	Descrição
$V_{of.ef} = 220 \text{ V}$	Tensão eficaz na saída do filtro
$P_o = 440 \text{ W}$	Potência de saída
$f_s = 24 \text{ kHz}$	Frequência de chaveamento
$\zeta = 1$	Fator de amortecimento
$\phi_1 = 0$	Ângulo do fator de potência da carga

Fonte: Elaboração própria (2018).

Com os dados mostrados na [Tabela 5](#) e as equações apresentadas anteriormente, chegou-se aos resultados mostrados na [Tabela 6](#).

Tabela 6 – Grandezas calculadas do projeto do filtro LC

Grandeza	Descrição
$R_o = 110 \Omega$	Resistência de carga da saída
$I_{of.ef} = 2 \text{ A}$	Corrente eficaz de saída do filtro
$f_c = 4,8 \text{ kHz}$	Frequência de corte
$C_f = 150,7 \text{ nF}$	Capacitância de filtragem
$L_f = 7,3 \text{ mH}$	Indutância de filtragem
$K_1 = 160$	Fator para análise da influência da capacitância sobre a corrente
$\frac{ I_{in} }{ I_o } = 1$	Relação entre corrente de entrada e corrente de saída
$\frac{V_o}{V_{in}} = 0,99$	Relação entre tensão de saída e corrente de entrada

Fonte: Elaboração própria (2018).

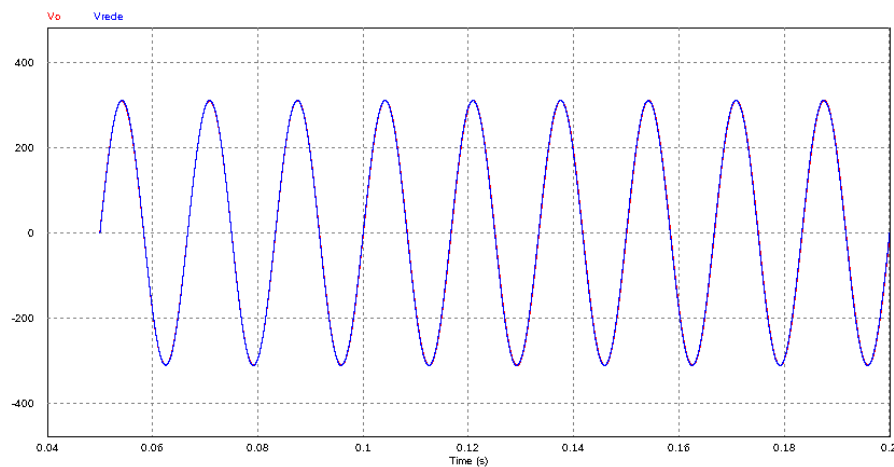
É importante ressaltar que apesar de f_s ser de 24 kHz, o valor de f_c foi de 4,8 kHz, que é cinco vezes menor que f_s em vez de dez vezes menor, como sugere a metodologia de [Martins e Barbi \(2005\)](#). Esta foi uma decisão tomada para este trabalho já que a frequência fundamental da tensão de saída é de 60 Hz, o que faz da f_c escolhida bastante satisfatória, além de ter uma grande vantagem para o projeto e construção do indutor, que terá peso e volume menores. Outro ponto importante de se considerar são os valores resultantes da análise da influência dos componentes do filtro sobre a corrente e tensão da carga. Como mostram os resultados da [Tabela 6](#), esta é praticamente inexistente.

5.2.2.1 Resultados de simulação do projeto do conversor CC–CA em ponte completa

Como próximo passo, simulou-se um circuito semelhante com o da [Figura 4](#) com uma fonte de tensão alternada (simbolizando a tensão de saída do estabilizador)

ligada ao capacitor de filtro e uma resistência de carga ligada a ambos, formando uma malha, para verificar se os valores do filtro geravam um resultado satisfatório para a tensão de saída. Além disso, verificou-se os valores de tensão e corrente sobre os semicondutores para a escolha dos mesmos. A [Figura 21](#) mostra o resultado de simulação para a tensão de saída e uma referência de 220 V eficaz (resultado a ser perseguido), criada no simulador. Como se pode observar, as tensões estão sobrepostas, indicando que o conversor CC-CA e o filtro *LC* estão funcionando de forma satisfatória.

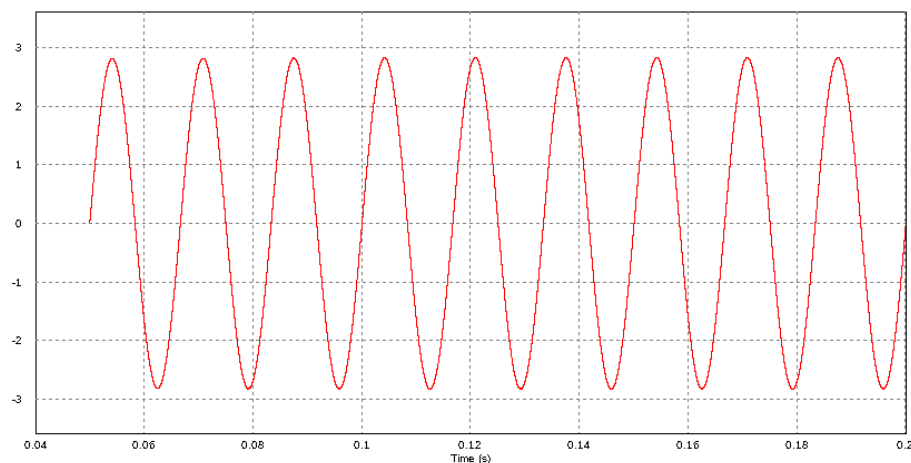
Figura 21 – Tensão de saída sobre a resistência de carga do conversor.



Fonte: Elaboração própria (2018).

A [Figura 22](#) mostra a corrente de saída do conversor que circula pela resistência de carga. Seu resultado também é satisfatório, pois ela é totalmente senoidal e com um valor eficaz de 2 A, que é o esperado para este projeto, como demonstrado anteriormente. O pico desta corrente alcançou, assim, 2,83 A.

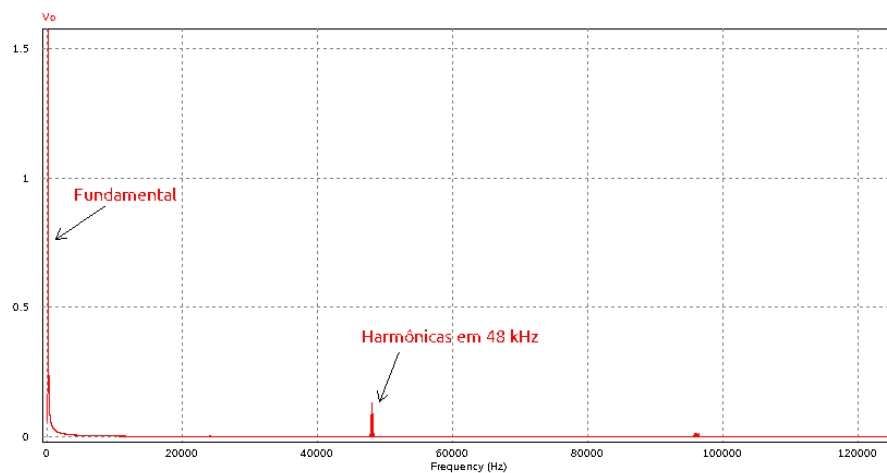
Figura 22 – Corrente de saída sobre a resistência de carga do conversor.



Fonte: Elaboração própria (2018).

De acordo com o que foi explicado anteriormente, este sistema, por fazer uso de uma estratégia de PWM a três níveis, tem a vantagem de as primeiras componentes harmônicas aparecem apenas em 48 kHz, no caso deste projeto que tem frequência de chaveamento de 24 kHz. A [Figura 23](#) mostra exatamente este comportamento. Como se pode ver, a maior componente da tensão de saída é a fundamental, e as componentes harmônicas, advindas da onda quadrada de saída, aparecem apenas em torno de 48 kHz.

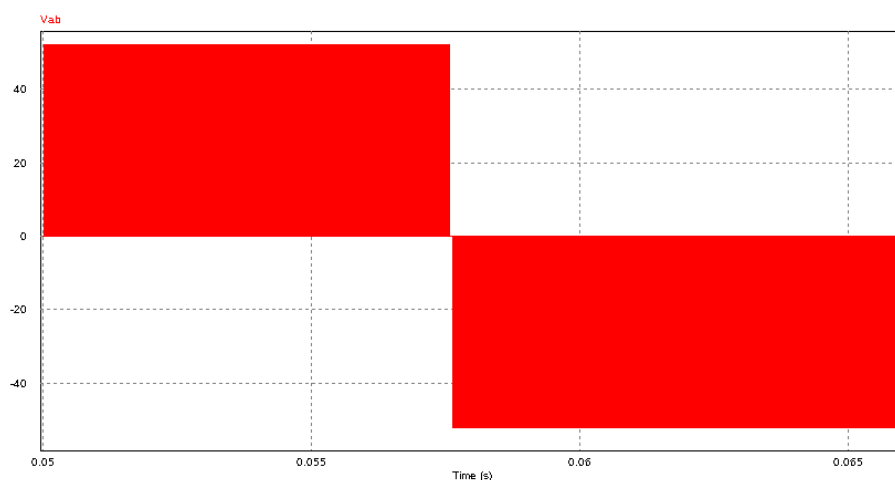
Figura 23 – Componentes harmônicas da tensão de saída.



Fonte: Elaboração própria (2018).

Já a onda quadrada, existente na saída do conversor CC-CA, antes do filtro, pode ser vista na [Figura 24](#).

Figura 24 – Sinal alternado da tensão de saída do conversor CC-CA anterior ao filtro.

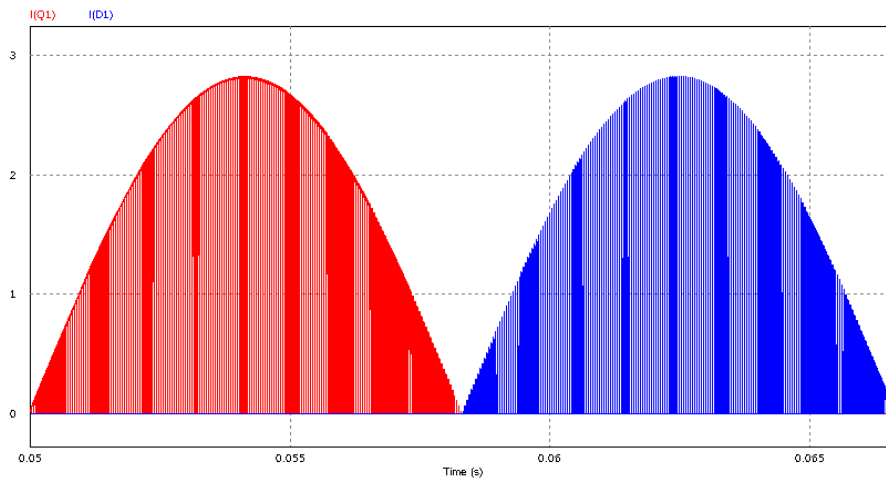


Fonte: Elaboração própria (2018).

Um outro resultado importante do teste é a tensão e as correntes que circulam pelos semicondutores do conversor CC-CA. Como dito anteriormente, estes

resultados serão úteis para a escolha das chaves estáticas e diodos que comporão o inversor. A [Figura 25](#) mostra a corrente no transistor e no diodo, respectivamente.

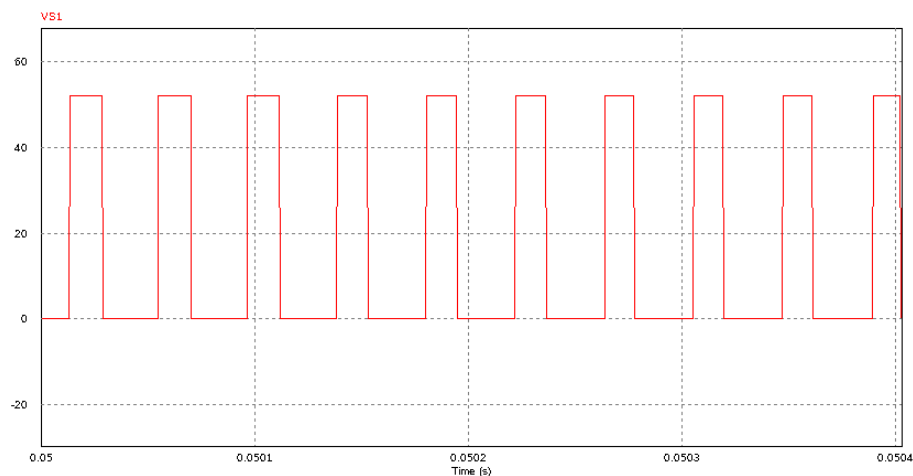
Figura 25 – Correntes que circulam pelas chaves estáticas e diodos do inversor.



Fonte: Elaboração própria (2018).

Já a [Figura 26](#) mostra a forma de onda da tensão sobre uma das chaves. Esta tensão é chaveada na frequência de 24 kHz, que é a f_s escolhida para este conversor.

Figura 26 – Tensão sobre uma chave estática e um diodo do inversor.



Fonte: Elaboração própria (2018).

Sendo assim, os valores encontrados em simulação para escolha dos semicondutores são apresentados na [Tabela 7](#). Para esta topologia, fica claro quando se observa o circuito da [Figura 4](#) que o valor da tensão sobre os semicondutores será o valor da tensão de entrada. Já o valor máximo da corrente de entrada é o mesmo da corrente de saída, mudando apenas os valores eficazes e médios em função destas correntes serem chaveadas pela modulação PWM senoidal.

Tabela 7 – Valores de tensão e corrente obtidos para semicondutores em simulação

Grandeza	Descrição
$I_{Q.ef} = 1,33 \text{ A}$	Corrente eficaz que circula pela chave estática
$I_{Q.md} = 0,76 \text{ A}$	Corrente média que circula pela chave estática
$I_{D.ef} = 0,48 \text{ A}$	Corrente eficaz que circula pelo diodo
$I_{D.md} = 0,13 \text{ A}$	Corrente média que circula pelo diodo
$I_{max} = 2,83 \text{ A}$	Corrente máxima que circula pelas chaves e diodos
$V_{max} = 52 \text{ V}$	Tensão máxima sobre uma chave e um diodo

Fonte: Elaboração própria (2018).

5.2.2.2 Cálculo das perdas de chaveamento nos semicondutores do conversor CC–CA

Para o projeto do conversor CC–CA, calculou-se as perdas de condução e de comutação dos semicondutores a fim de verificar a necessidade de uso de dissipadores de calor nos mesmos. Para isso, buscou-se a folha de dados do transistor MosFET escolhido e, a partir desta, coletou-se os dados relevantes para inserir nas equações. Para este trabalho, escolheu-se o transistor IRF540N com encapsulamento TO220 da *Infineon Technologies*, disponível no Departamento de Eletrônica do IFSC Florianópolis. Este transistor conta com tensão máxima entre Dreno e Fonte (V_{DS}) de 100 V e corrente máxima (I_D) de 33 A. Ele também já dispõe de um diodo de roda livre, necessário ao conversor CC–CA.

No entanto, não foram encontrados dados suficientes deste diodo para os cálculos das perdas por condução e comutação. Dessa forma, levou-se em consideração experiências acadêmicas passadas que mostraram que apenas uma pequena porcentagem das perdas totais vem deste diodo. Assim, calculou-se apenas as perdas totais do transistor com um acréscimo de 10% em seus resultados para abranger também as prováveis perdas do diodo intrínseco.

O cálculo das perdas se dá então através das Equações 99 e 100.

$$P_{cond} = R_{DS(on)} I_{Q.ef}^2 \quad (99)$$

$$P_{com} = \frac{f_s}{2} (t_r + t_f) I_{max} V_{in.max} \quad (100)$$

O resultado destas duas equações são então somados para gerar o valor de perdas totais, conforme mostrado na Equação 101.

$$P_{total} = P_{cond} + P_{com} \quad (101)$$

A **Tabela 8** mostra os valores necessários para o cálculo das equações, obtidos na folha de dados do transistor ou nos cálculos anteriores do projeto do conversor CC–CA. No final da mesma, encontram-se os resultados dos cálculos.

Tabela 8 – Valores necessários para o cálculo e resultados das perdas do conversor CC–CA

Grandeza	Descrição
$R_{DS(on)} = 0,0968 \, \Omega$	Resistência existente entre <i>Drain</i> e <i>Source</i> em condução
$I_{Q.ef} = 1,33 \, A$	Corrente eficaz que circula pela chave estática
$f_s = 24 \, kHz$	Frequência de chaveamento
$t_r = 35 \, ns$	Tempo de subida do transistor
$t_f = 35 \, ns$	Tempo de descida do transistor
$I_{max} = 2,83 \, A$	Corrente máxima que circula pelas chaves e diodos
$V_{in.max} = 70,2 \, V$	Máxima tensão de entrada no conversor CC–CA
$P_{cond} = 0,1712 \, W$	Perdas de potência por condução
$P_{com} = 0,168 \, W$	Perdas de potência por comutação
$P_{total} = 0,3392 \, W$	Perdas de potência totais

Fonte: Elaboração própria (2018).

De posse do valor de P_{total} , calcula-se a resistência térmica entre junção e ambiente (R_{ja}) do projeto, através da Equação 102, e compara-se o resultado com a (R_{ja}) do transistor disponível na folha de dados. Se o valor da resistência de projeto for maior que o valor da resistência descrita na folha de dados, deve-se calcular a resistência térmica máxima de um dissipador a ser utilizado. Caso contrário, verifica-se que não é necessário o uso de dissipadores.

$$R_{ja} = \frac{T_{j.max} - T_a}{P_{total}} \quad (102)$$

Em que:

- $T_{j.max}$ = Temperatura de junção máxima do transistor, dado na folha de dados, neste caso de $125^\circ C$;
- T_a = Temperatura do ambiente, neste caso, estimada em $50^\circ C$.

Com isto, obteve-se um valor de R_{ja} igual a $221,1058 \frac{^\circ C}{W}$ para o projeto. Como o valor de R_{ja} do transistor, dado na folha de dados, é de $62 \frac{^\circ C}{W}$, verificou-se que não é necessário a utilização de dissipadores.

5.3 Projeto dos circuitos de condicionamento de sinais

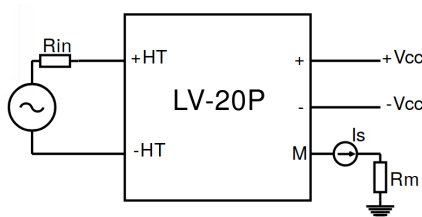
O condicionamento de sinais tem como finalidade obter um sinal amostrado e processá-lo de maneira que possa ser recebido dentro dos limites tolerados pelo

microcontrolador que se está utilizando. No caso deste trabalho, amostra-se uma senóide com 311 V de pico e frequência de 60 Hz. Dessa forma, é necessário um *hardware* que trabalhe em um cadeia de sensoriamento, filtragem e entrada no microcontrolador. Com o intuito de facilitar algumas etapas e valorizar trabalhos de colegas anteriores, utilizou-se uma placa de condicionamento de sinais produzida por [Andrade \(2015\)](#).

A etapa de sensoriamento foi feita com sensores de tensão analógicos *LV-20P* do fabricante *LEM*, disponíveis no Departamento de Eletrônica do IFSC Florianópolis. Estes sensores são interessantes para trabalhos deste tipo pois são robustos e isolados, evitando que haja problemas de sobretensão, sobrecorrente ou sinais espúrios entre a entrada e a saída. Eles possuem uma alta faixa de medição que vai de 10 a 500 V, sendo em corrente contínua ou alternada, entregando em sua saída uma corrente que circula por um resistor de medida. A amplitude da tensão lida sobre o resistor de medida depende dos limites que se deseja obter, assim sendo, é necessária a especificação do mesmo.

Neste trabalho, deseja-se ler uma tensão senoidal na faixa de 220 V eficaz. Sendo assim, especificou-se uma resistência de entrada do sensor (R_{in}) de 24,4 k Ω , de modo que a corrente de entrada do sensor estivesse em torno de 10 mA, com a qual o sensor tem acurácia em torno de 1%. Para a resistência de medida (R_m), na saída do sensor, especificou-se uma resistência em torno de 35 Ω , que gera uma queda de tensão em torno de 1,24 V de pico para a entrada do microcontrolador. Como o limite máximo do microcontrolador é de 3 V e, espera-se ler tensões de até 268 V eficaz, estes valores de resistência são satisfatórios e atendem ao projeto com margem de segurança. A [Figura 27](#) mostra o circuito do sensor de tensão.

Figura 27 – Circuito do sensor de tensão LV-20P utilizado para as medições.

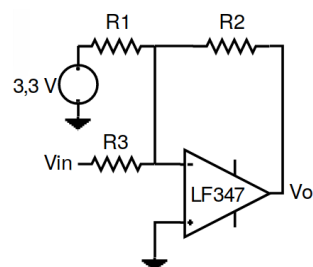


Fonte: Elaboração própria (2018).

Como se entende ser uma melhor prática montar o sensor próximo do sistema que está lendo, o mesmo foi colocado na placa que abriga os circuitos de potência, ao invés da placa de condicionamento de sinais. Para o transporte do sinal de saída do sensor, foi montada uma interligação entre a placa de potência e a placa de condicionamento de sinais.

Com isso, a saída do sensor de tensão é uma senóide com um ganho de 0,004 e tensão média igual a zero, ou seja, um semiciclo positivo e outro negativo. Como a intenção é colocar este sinal integralmente no microcontrolador, e o mesmo possui limites de entrada entre 0 e 3 V, necessita-se de uma etapa de *offset* com média de 1,5 V. Isto foi feito através de um circuito somador inversor, como pode ser visto na [Figura 28](#). Esta etapa é inversora, pois a topologia do filtro *anti-aliasing* utilizado também é, e assim, no final, consegue-se um sinal com a mesma fase da tensão de entrada. Para que o circuito funcionasse como desejado, calculou-se os valores de R_1 , R_2 e R_3 como $22k\Omega$, $10k\Omega$ e $10k\Omega$, respectivamente.

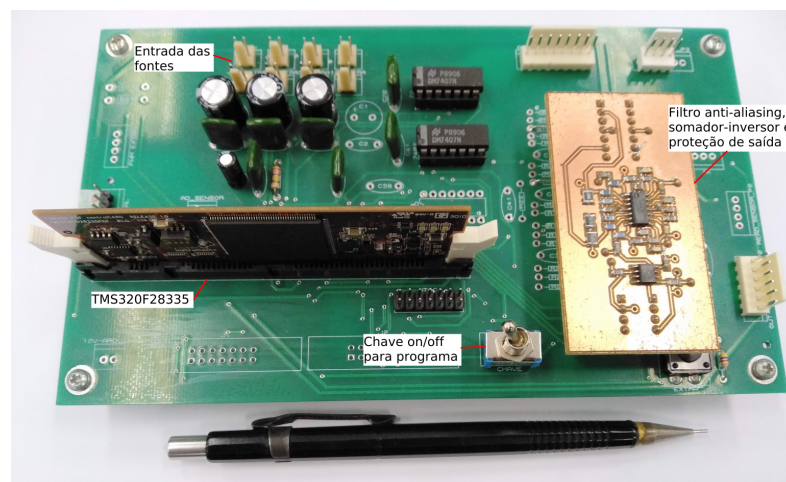
Figura 28 – Circuito somador inversor para adicionar *offset* de 1,5 V ao valor lido pelo sensor.



Fonte: Elaboração própria (2018).

A [Figura 29](#) mostra a versão final da placa de condicionamento de sinais.

Figura 29 – Versão final da placa de condicionamento de sinais.



Fonte: Elaboração própria (2018).

A placa de condicionamento de sinais não foi montada de forma integral, como feito por [Andrade \(2015\)](#), mas apenas com os subcircuitos necessários para o funcionamento deste trabalho. Além disso, modificou-se o filtro *anti-aliasing* utilizado para que o mesmo fosse compatível com as necessidades do presente trabalho.

Também, a placa original trabalhava com tensões simétricas de ± 15 V, e estas foram modificadas para ± 12 V, a fim de facilitar o trabalho com os demais circuitos e *drivers*, visto que estes foram projetados para trabalhar com tensões de 12 V.

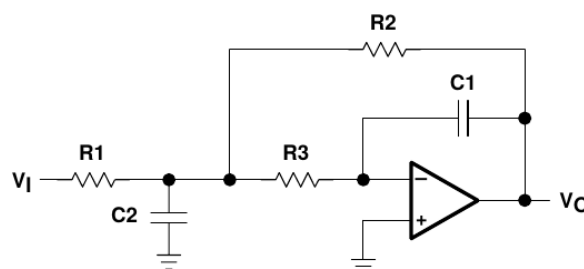
5.3.1 Amostragem de tensão e filtro anti-*aliasing*

A amostragem de um sinal analógico depende de alguns requisitos descritos na *teoria da amostragem*, como por exemplo, respeitar a frequência de amostragem em relação a frequência fundamental do sinal que se quer amostrar, conforme visto na seção 3.3. Também foi demarcado que para amostrar um sinal com frequência de 60 Hz, bastaria uma frequência de amostragem de 960 Hz.

No entanto, como se trabalhou com o *TMS320F28335*, decidiu-se por aumentar esta frequência de amostragem para 24 kHz, obtendo-se, assim, 400 pontos de amostra em cada período, e uma resolução melhor do sinal de entrada do sensor. Esta frequência também é segura, pois pode-se trabalhar a mesma como a própria frequência de chaveamento dos semicondutores, sem perdas significativas no circuito. Utilizar o mesmo valor também facilita a sincronização entre amostragem e comando da ação de controle, muito importante para que não haja ação de PWM adiantada ou atrasada em relação às amostras obtidas.

Mesmo assim, ainda pode ocorrer o efeito de *aliasing*, visto que durante a amostragem, frequências maiores que $f_s/2$ podem ser obtidas. Segundo Lathi (2007), estas frequências podem se passar por frequências menores e corromper o espectro abaixo de $f_s/2$. Para evitar que este fenômeno ocorra, utiliza-se um filtro passa baixas chamado filtro anti-*aliasing*. Para o projeto deste filtro, utilizou-se a metodologia descrita por Kark (2002), que mostra de maneira prática como entender e projetar um filtro ativo de segunda ordem para aquisição de dados. A topologia escolhida foi a MFB (*Multiple Feedback*) com a aproximação Chebyshev com *ripple* de 3dB. A Figura 30 mostra o circuito da topologia MFB. Em comparação com outras topologias, esta se mostra menos sensível em relação a variação do valor dos componentes e também possui melhor resultado em frequências mais altas.

Figura 30 – Arquitetura do filtro passa baixas MFB.



Fonte: Kark (2002).

A função de transferência de um filtro passa baixas de segunda ordem (H_{LP}), pode ser descrita em função da frequência, conforme mostra Kark (2002). Esta tem como resultado final a Equação 103.

$$H_{LP}(f) = -\frac{K}{\left(\frac{f}{FSF \times f_c}\right)^2 + \frac{1}{Q} \frac{jf}{FSF \times f_c} + 1} \quad (103)$$

Para que a equação 103 possa ser transposta para o circuito da Figura 30, as transformações mostradas nas Equações 104, 105 e 106 devem ser feitas.

$$K = -\frac{R_2}{R_1} \quad (104)$$

$$FSF \times f_c = \frac{1}{2\pi\sqrt{R_2 R_3 C_1 C_2}} \quad (105)$$

$$Q = \frac{\sqrt{R_2 R_3 C_1 C_2}}{R_3 C_1 + R_2 C_1 - K R_3 C_1} \quad (106)$$

Em que:

- K = fator de ganho;
- f = frequência variável;
- FSF = fator de escala da frequência;
- f_c = frequência de corte;
- Q = fator de qualidade do filtro.

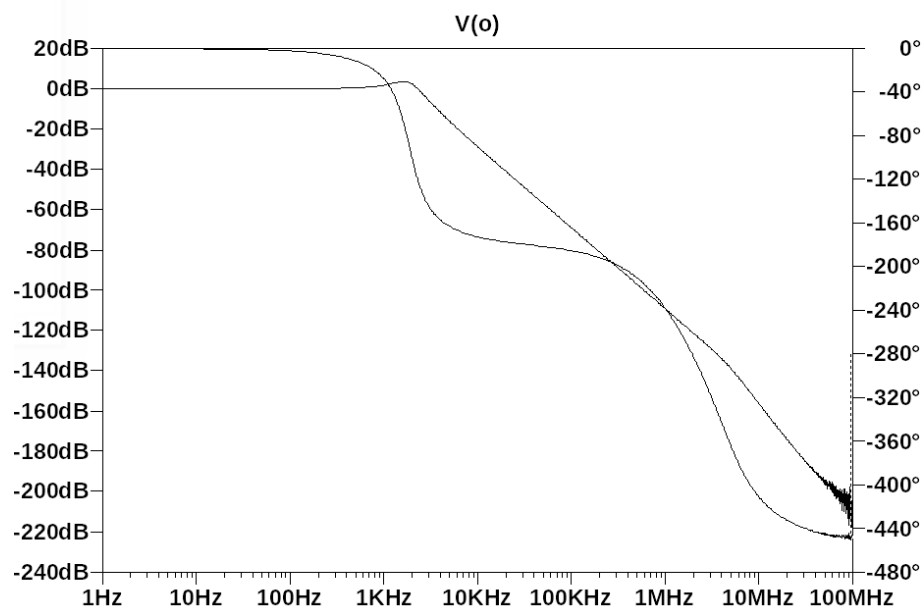
Adicionando estas equações em um *software* matemático e partindo-se de alguns valores tabelados (valores de FSF e Q são tabelados em Kark (2002) por ordem e estágio do filtro) e outros impostos, chega-se aos valores de todos os componentes da estrutura MFB. Sendo assim, a Tabela 9 mostra os valores estipulados e o resultado dos componentes que compõem o filtro.

Tabela 9 – Valores estipulados e resultados para composição do filtro anti-aliasing.

Grandeza	Descrição
$K = -1$	Ganho do filtro
$FSF = 0,8414$	Fator de escala da frequência para filtro Chebyshev de 2ª ordem
$Q = 1,3049$	Fator de qualidade para filtro Chebyshev de 2ª ordem
$f_c = 2,4 \text{ kHz}$	Frequência de corte
$R_1 = 30 \text{ k}\Omega$	Resistência de entrada do filtro
$R_2 = 30 \text{ k}\Omega$	Resistência de realimentação do filtro
$R_3 = 15 \text{ k}\Omega$	Resistência de realimentação do filtro
$C_1 = 1 \text{ nF}$	Capacitância de entrada do filtro
$C_2 = 16 \text{ nF}$	Capacitância de realimentação do filtro

Fonte: Elaboração própria (2018).

Como visto na [Tabela 9](#), a frequência de corte foi escolhida como um valor dez vezes menor que a frequência de amostragem. Como o filtro não é ideal, entende-se que esta frequência de corte garante uma filtragem segura para as componentes indesejadas e ainda assim, está muito além da frequência de 60 Hz, o que garante que as componentes da frequência do sinal original não serão afetadas. A [Figura 31](#) mostra o resultado obtido na simulação do filtro. Em -3dB o filtro apresentou uma frequência de corte de 2,6 kHz, isto porque os componentes escolhidos tem arredondamentos necessários para caberem em valores comerciais, no entanto, o resultado é satisfatório, visto que buscava-se uma frequência de corte de 2,4 kHz.

Figura 31 – Resultado de simulação do filtro passa baixas MFB.

Fonte: Elaboração própria (2018).

Passada esta etapa, o sinal ainda passa pelo circuito integrado TL7726 que

o limita entre 0 e 3 V, fazendo com que a entrada do microcontrolador esteja totalmente protegida de surtos. Após isso, o sinal está pronto para passar pelo ADC (Conversor Analógico-Digital) do microcontrolador. A [Figura 74](#) do [Apêndice H](#) mostra o circuito esquemático final deste filtro.

5.3.2 Geração do sinal de sincronismo

Como visto na seção [3.4](#), o sinal de sincronismo para o controle foi gerado através de um PLL. A equação [51](#) mostrou a função de transferência do controlador PI utilizado para se chegar ao sinal desejado. Nesta seção serão expostos a digitalização e os resultados de simulação do circuito PLL, que envolve, principalmente, o controlador e o integrador.

Para a digitalização, no domínio z , utilizou-se o método de Tustin, que consiste na substituição da Equação [107](#) na Equação [51](#) e na equação do integrador, que é apenas $\frac{1}{s}$.

$$s = 2f_a \frac{(z - 1)}{(z + 1)} \quad (107)$$

Em que:

- f_a = frequência de amostragem.

Isto leva ao resultado mostrado nas Equações [108](#) e [109](#).

$$H_{PI}(z) = \frac{116,0729z - 115,927}{z - 1} \quad (108)$$

$$H_I(z) = 20,833 \times 10^{-6} \frac{(z + 1)}{(z - 1)} \quad (109)$$

Para implementar estas equações em uma rotina no microcontrolador, é necessário ainda transformá-las em equações recursivas. Dessa forma, pode-se trabalhar com variáveis calculadas e renovadas a cada ciclo de execução do programa. Sendo assim, as Equações [108](#) e [109](#) foram transformadas nas Equações [110](#) e [111](#).

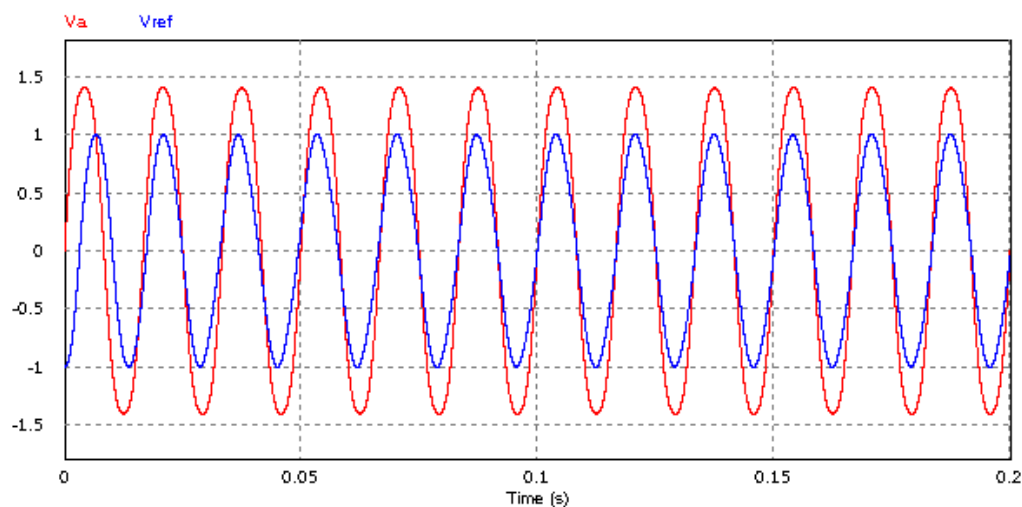
$$u(k) = 116,0729e(k) - 115,927e(k - 1) + u(k - 1) \quad (110)$$

$$u_i(k) = 20,833 \times 10^{-6}e_i(k) + 20,833 \times 10^{-6}e_i(k - 1) + u_i(k) \quad (111)$$

Estas equações foram implementadas em uma rotina de cálculos, tanto no *software* PSIM quanto no microcontrolador, que será melhor explicada na subseção 5.7.2, e seus resultados de simulação serão mostrados nas figuras abaixo.

A Figura 32 mostra o resultado do sinal de sincronismo quando a entrada do circuito PLL é alimentada com um sinal com amplitude qualquer e distorções harmônicas. Como se pode observar, o resultado é um sinal com amplitude de -1 a +1 que, após sete ciclos, está totalmente sincronizado, em fase e frequência, com a tensão de entrada.

Figura 32 – Resultado de simulação do sinal de sincronismo.

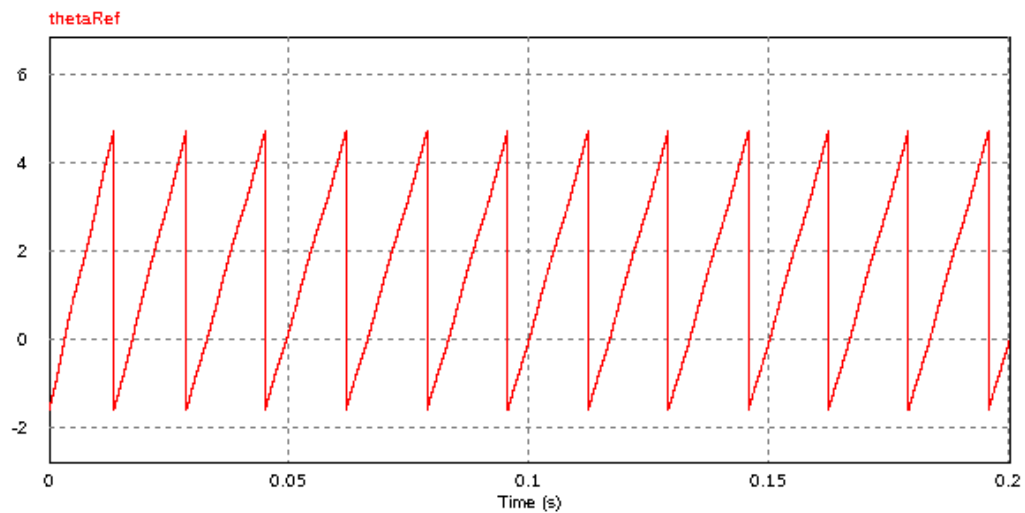


Fonte: Elaboração própria (2018).

O fato de a amplitude ser unitária facilita o processo de construção da referência no microcontrolador, pois basta multiplicar a senóide resultante pelo valor que se deseja como tensão de pico. Além disso, é interessante a implementação de um atraso no início do programa do controle de modo que o mesmo só entre em operação após o sinal de sincronismo estar estabilizado. Este atraso pode ser aplicado em uma rotina de inicialização do sistema. Assim, evita-se o risco de que o valor do erro, calculado relativamente ao sinal de saída, tenha valores absurdos em função do sincronismo errado.

A Figura 33 mostra o resultado de simulação para θ_{ref} , que é o ângulo com o qual será calculada a senóide de sincronismo. Como se pode observar, o sinal tem uma amplitude de pico a pico de $6,28 (2\pi)$ e é suficientemente estável para a geração do sincronismo, mostrando que o controlador PI cumpre com sua função no circuito.

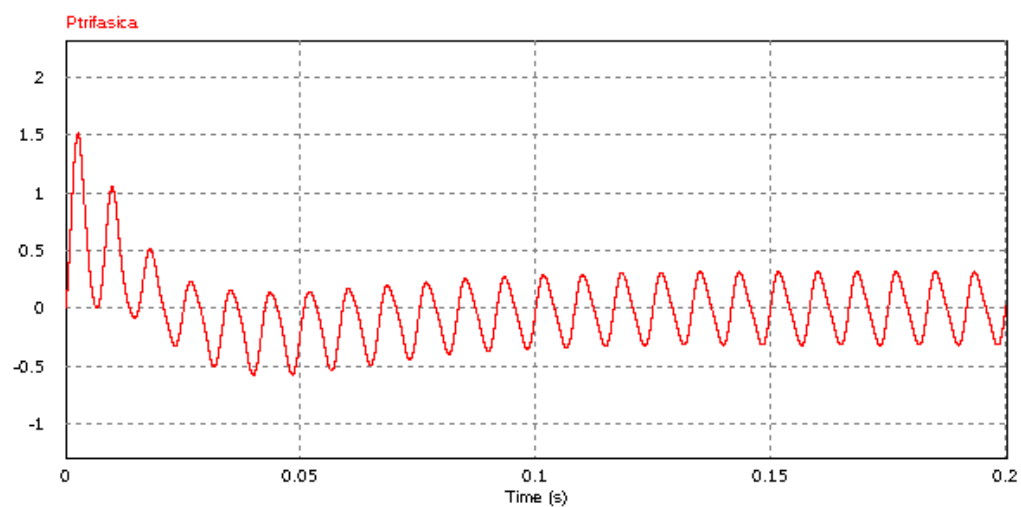
Figura 33 – Resultado de θ_{ref} em simulação.



Fonte: Elaboração própria (2018).

A [Figura 34](#) mostra o resultado de simulação para o cálculo da potência trifásica que entra no controlador PI. Como se pode observar, após os sete primeiros períodos de medição, o valor da potência se estabiliza em um mesmo ponto, com uma pequena oscilação em função do ruído imposto ao sinal de entrada. Este valor de sete períodos para estabilização do sinal não é algo preocupante visto que ele só aparece no início da operação do sistema e não é crítico para este. Além disso, como dito anteriormente, o sistema pode ser trabalhado para que só entre em operação após o mesmo entrar em regime permanente.

Figura 34 – Resultado de $P_{3\phi}$ em simulação.



Fonte: Elaboração própria (2018).

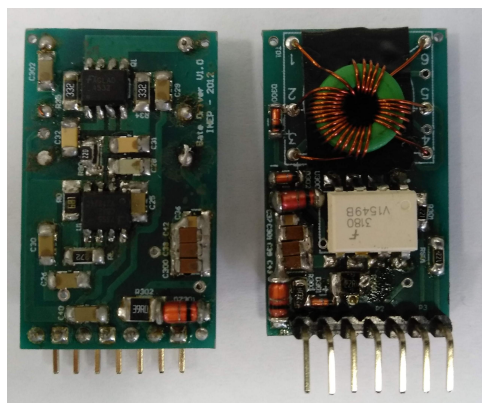
5.3.3 Circuitos de *driver* para as chaves e relés

Neste trabalho foram utilizados dois tipos de circuitos de *driver*. O primeiro circuito foi utilizado para o chaveamento dos relés que ligavam e desligavam os *taps* do autotransformador. Para este, utilizou-se um circuito bastante simples baseado no fluxo de corrente pela bobina do relé. Sendo assim, um transistor de junção bipolar (BJT) é chaveado toda vez que o microcontrolador tem em sua saída um sinal de tensão de nível alto. Isto faz com que uma corrente flua através do resistor colocado na base do transistor BJT, chaveando-o. Um sinal de 12 V colocado em um dos terminais da bobina do relé faz surgir uma corrente através da mesma, passando pela junção coletor-emissor do transistor ligada à referência do sistema. Isto faz com que o relé passe da posição Normalmente Aberto (NO) para a posição Fechado.

Quando o nível na porta de saída do microcontrolador abaixa, a corrente é cortada e o transistor abre. Este desligamento repentino faz com que o campo magnético criado pela bobina do relé se contraia gerando uma alta tensão em sentido inverso. Esta tensão pode danificar o transistor utilizado no comando. Para evitar este efeito, um diodo rápido deve ser ligado em anti-paralelo com a bobina, de modo que só conduza corrente no desligamento da mesma. Este circuito pode ser visto na [Figura 73](#) do [Apêndice H](#).

O segundo circuito utilizado é baseado numa estratégia mais complexa e serve para comandar os transistores utilizados no conversor CC-CA. Para isto, utilizou-se o *driver* (Gate Driver C1.0, INEP - 2012) desenvolvido no Instituto de Eletrônica de Potência (INEP) da Universidade Federal de Santa Catarina (UFSC). Este circuito de comando é interessante por ser isolado e impor tensão negativa de -5 V no desligamento das chaves e tensão positiva de 15 V no acionamento. Com isto garante-se um comando adequado para as mesmas, visto que a saída PWM do microcontrolador não consegue garantir estas amplitudes. A [Figura 35](#) mostra o *driver* de comando dos interruptores.

Figura 35 – *Driver* utilizado para chaveamento dos transistores do conversor CC-CA.



Fonte: Elaboração própria (2018).

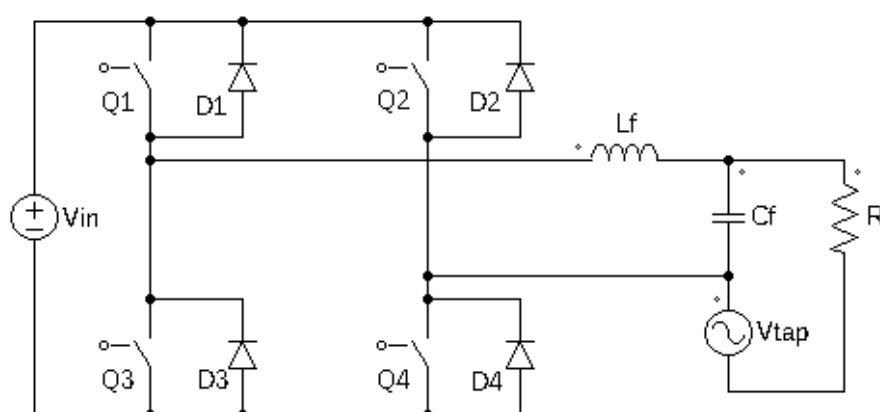
5.4 Projeto do controlador

Esta seção é dedicada a descrever o passo a passo prático para a obtenção dos projetos e resultados de simulação de todas as etapas envolvidas no desenvolvimento do controlador. Sendo assim, inicia-se com a demonstração da modelagem, passando pelo controlador por alocação de polos e observador utilizados no projeto.

5.4.1 Modelagem do conversor híbrido

A partir da modelagem descrita na seção 3.1, pode-se obter um modelo matemático que descreva o conversor híbrido e torne possível um projeto de controle para o mesmo. O circuito do conversor híbrido a ser modelado pode ser descrito como o circuito de um inversor Buck com uma fonte de tensão senoidal (que representa a saída do autotransformador) entre o capacitor de filtro e a resistência de carga, conforme mostrado na Figura 36.

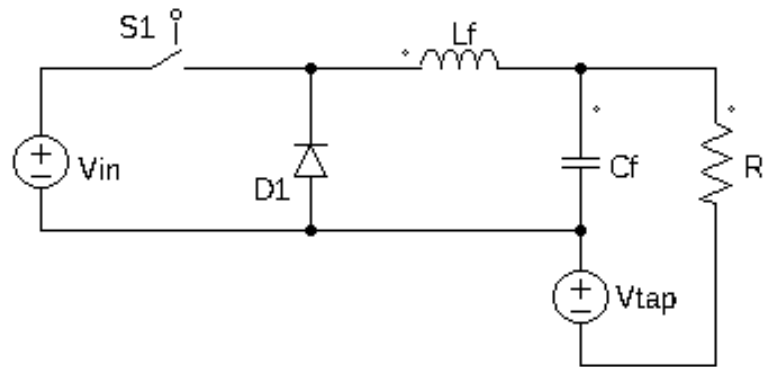
Figura 36 – Circuito do estabilizador híbrido simplificado.



Fonte: Elaboração própria (2018).

Para fins de simplificação do sistema, sabendo-se que a modelagem do conversor CC–CC Buck se aplica também ao conversor CC–CA Buck, no mesmo ponto de operação, transformou-se o circuito da Figura 36 no circuito da Figura 37. Com este, o processo de modelagem matemática é facilitado, possibilitando chegar a um resultado satisfatório de maneira mais rápida. Nos testes do sistema operando como conversor CC–CA, verifica-se que seu funcionamento nos outros pontos de operação é satisfatória.

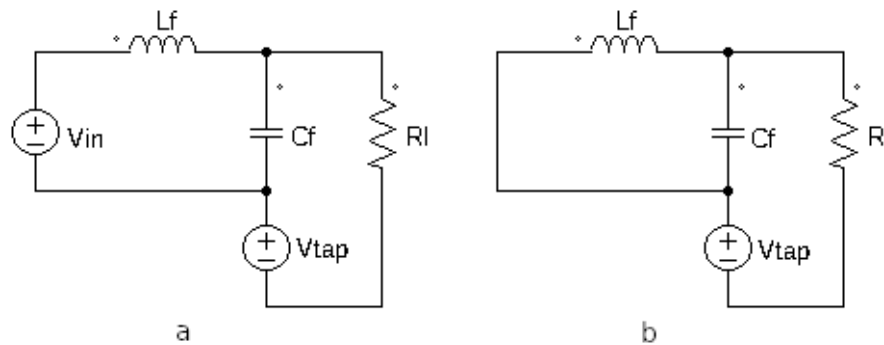
Figura 37 – Circuito do estabilizador híbrido simplificado para um conversor buck com um *offset* na saída.



Fonte: Elaboração própria (2018).

Deste modo, analisou-se o circuito da [Figura 37](#) em duas etapas: a) quando a chave está fechada e o diodo não está conduzindo, e b) quando a chave está aberta e o diodo está conduzindo, conforme mostrado na [Figura 38](#).

Figura 38 – a) Primeira etapa de funcionamento do conversor. b) Segunda etapa de funcionamento do conversor.



Fonte: Elaboração própria (2018).

Nas etapas mostradas na [Figura 38a](#) e [Figura 38b](#), o conversor aparece com a chave fechada e o diodo reversamente polarizado e a chave aberta e o diodo diretamente polarizado, respectivamente. Verifica-se que o sistema agora é linear e assim é possível aplicar as leis de Kirchhoff para a análise. Assim, as Equações 112 e 113 descrevem o circuito para a [Figura 38a](#) e as Equações 114 e 115 descrevem o circuito para a [Figura 38b](#).

$$C \frac{d}{dt} v_C = -\frac{1}{R} v_C + i_L - \frac{1}{R} V_{tap} \quad (112)$$

$$L \frac{d}{dt} i_L = -v_C + V_{in} \quad (113)$$

$$C \frac{d}{dt} v_C = -\frac{1}{R} v_C + i_L - \frac{1}{R} V_{tap} \quad (114)$$

$$L \frac{d}{dt} i_L = -v_c \quad (115)$$

Em que:

- V_{tap} = tensão de saída do estabilizador.

Como os circuitos possuem dois elementos armazenadores de energia, pode-se retirar duas variáveis de estado do sistema. Neste caso se utilizará a corrente no indutor e a tensão no capacitor, como mostram as equações anteriores. Logo, obtém-se o modelo *CC* do conversor, substituindo-se as Equações 112 a 115 nas Equações de 7 a 10. Isto leva ao resultado mostrado nas Equações 116 e 117.

$$\begin{bmatrix} C & 0 \\ 0 & L \end{bmatrix} \begin{bmatrix} \dot{\bar{v}}_C \\ \dot{\bar{i}}_L \end{bmatrix} = \begin{bmatrix} -\frac{1}{R} & 1 \\ -1 & 0 \end{bmatrix} \begin{bmatrix} \bar{v}_C \\ \bar{i}_L \end{bmatrix} + \begin{bmatrix} 0 & -\frac{1}{R} \\ D & 0 \end{bmatrix} \begin{bmatrix} V_{in} \\ V_{tap} \end{bmatrix} \quad (116)$$

$$y = \begin{bmatrix} 1 & 0 \end{bmatrix} \begin{bmatrix} \bar{v}_C \\ \bar{i}_L \end{bmatrix} + \begin{bmatrix} 0 & 1 \end{bmatrix} \begin{bmatrix} V_{in} \\ V_{tap} \end{bmatrix} \quad (117)$$

Nas Equações 116 e 117 são dispostas as matrizes K , A , B , C e E , bem como as variáveis de estados x e de entrada u . Com elas, é possível calcular as Equações 15 a 18 e assim obter o modelo em espaço de estados do conversor híbrido. Sendo assim:

$$A_p = \begin{bmatrix} -\frac{1}{RC} & \frac{1}{C} \\ -\frac{1}{L} & 0 \end{bmatrix} \quad (118)$$

$$B_p = \begin{bmatrix} 0 \\ \frac{V_{in}}{L} \end{bmatrix} \quad (119)$$

$$C_p = \begin{bmatrix} 1 & 0 \end{bmatrix} \quad (120)$$

$$E_p = 0 \quad (121)$$

Com o resultado das matrizes A_p , B_p , C_p e E_p , pode-se substituir os valores estipulados e calculados na subseção 5.2.2, e repetidos aqui na Tabela 10 por

conveniência, obtendo assim matrizes com valores numéricos. Com estes valores, pode-se encontrar uma função de transferência que descreva o conversor híbrido e assim, fazer testes para verificar se os resultados da modelagem condizem com a realidade.

Tabela 10 – Valores de entrada para modelagem do conversor híbrido

Grandeza	Descrição
$R_o = 110 \, \Omega$	Resistência de carga da saída
$C_f = 150,7 \, \text{nF}$	Capacitância de filtragem
$L_f = 7,3 \, \text{mH}$	Indutância de filtragem
$V_{in} = 42,87 \, \text{V}$	Tensão de entrada do conversor CC–CA
$V_{C.ef} = 27,27 \, \text{V}$	Tensão eficaz sobre o capacitor de filtro
$V_{tap.ef} = 192,73 \, \text{V}$	Tensão eficaz na saída do estabilizador
$D = 0,6361$	Razão cíclica <i>CC</i>

Fonte: Elaboração própria (2018).

Como os valores das matrizes C_p e E_p já estão descritos nas Equações 120 e 121, as Equações 122 e 123 mostram os valores obtidos para as matrizes A_p e B_p , respectivamente.

$$\mathbf{A}_p = \begin{bmatrix} -6,06 \times 10^4 & 6,67 \times 10^6 \\ -1,37 \times 10^2 & 0 \end{bmatrix} \quad (122)$$

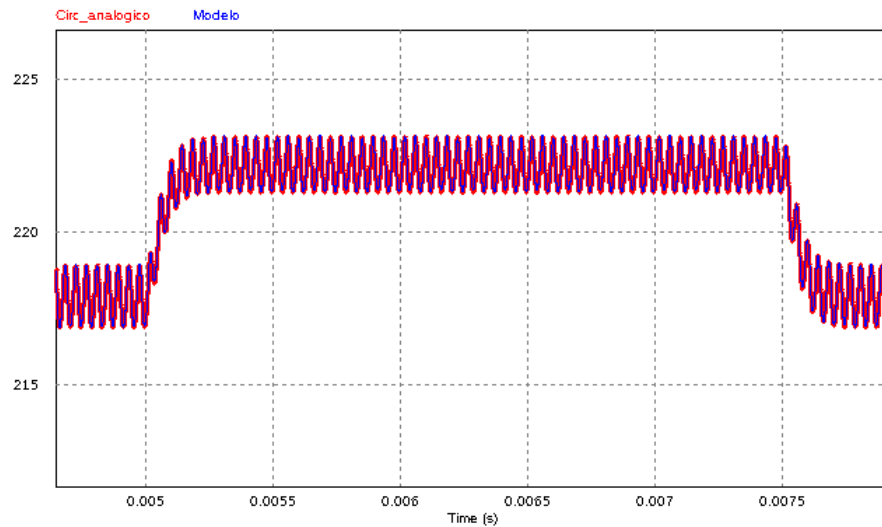
$$\mathbf{B}_p = \begin{bmatrix} 0 \\ 5,88 \times 10^3 \end{bmatrix} \quad (123)$$

Com estas quatro matrizes calculadas é possível calcular, também, a função de transferência da planta (G_p). Então, esta tem o formato descrito na Equação 124.

$$G_p(s) = \frac{3,92 \times 10^{10}}{s^2 + 6,061 \times 10^4 s + 9,145 \times 10^8} \quad (124)$$

A função de transferência, então, foi levada ao *software* PSIM e comparada com o circuito analógico modelado para verificar se ambos têm comportamento equivalente. O teste é feito com a aplicação de uma perturbação de amplitude 0,1 em torno do ponto de operação do conversor, que é de 0,6361. Este é transformado em sinal PWM, fazendo o conversor responder ao degrau de entrada composto pela perturbação. A Figura 39 mostra o resultado do teste da modelagem.

Figura 39 – Teste da modelagem do conversor híbrido.



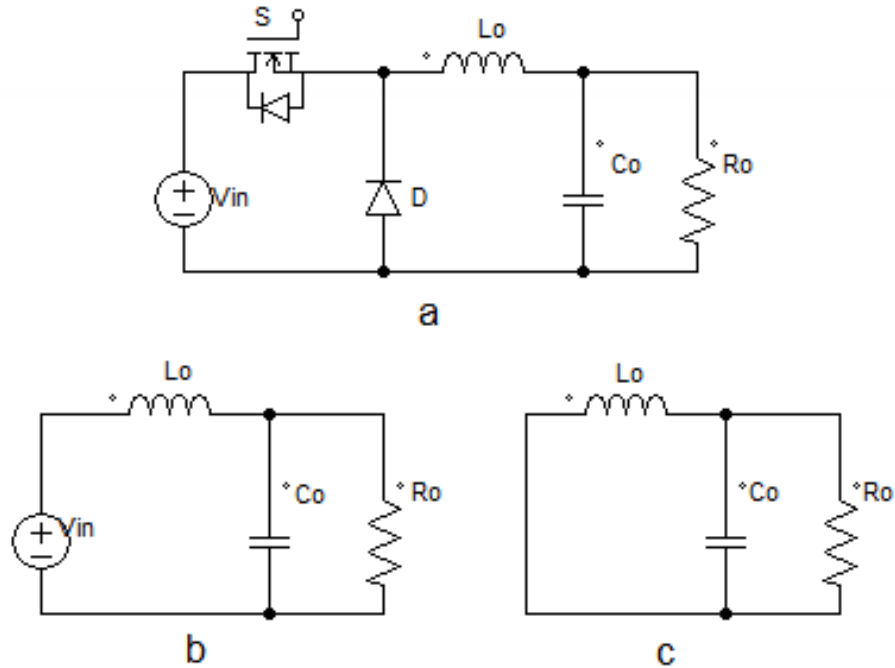
Fonte: Elaboração própria (2018).

Como se pode observar, as duas formas de onda estão sobrepostas e mantendo uma média com pequena ondulação. Isto significa que o modelo representa satisfatoriamente o comportamento do sistema a ser controlado. O valor alto da amplitude, em torno de 220 V, é explicado pelo *offset* imposto pela tensão de saída do estabilizador, que no modelo é tratado como um sinal de corrente contínua. A função de transferência do conversor é obtida a partir do modelo *ca* de pequenos sinais e este mostra o comportamento do sistema em torno do ponto de operação. Os demais componentes *CC* do sistema devem entrar como *offsets* no teste do modelo.

5.4.2 Modelagem do conversor CC–CA

Neste trabalho, também modelou-se o conversor CC–CA (inversor) para fins de teste das estratégias de controle projetadas. Como o método e o resultado são muito parecidos com o do conversor híbrido, os resultados serão demonstrados brevemente para entendimento do restante do processo. Novamente, ressalta-se que a modelagem do conversor CC–CC Buck se aplica também ao conversor CC–CA, e assim, analisa-se o circuito da [Figura 40](#).

Figura 40 – a) Conversor Buck Ideal. b) Primeira etapa de funcionamento do conversor Buck. c) Segunda etapa de funcionamento do conversor Buck.



Fonte: Elaboração própria (2018).

As Equações 125 e 126 descrevem o circuito para a Figura 40b e as Equações 127 e 128 descrevem o circuito para a Figura 40c.

$$C \frac{d}{dt} v_C = -\frac{1}{R} v_C + i_L \quad (125)$$

$$L \frac{d}{dt} i_L = -v_C + V_{in} \quad (126)$$

$$C \frac{d}{dt} v_C = -\frac{1}{R} v_C + i_L \quad (127)$$

$$L \frac{d}{dt} i_L = -v_c \quad (128)$$

Neste caso, também se utilizam a tensão no capacitor e a corrente no indutor como variáveis de estado. Deste modo, obtém-se o modelo *CC* do conversor substituindo-se as Equações 125 a 128 nas Equações de 7 a 10. Isto leva ao resultado mostrado nas Equações 129 e 130.

$$\begin{bmatrix} C & 0 \\ 0 & L \end{bmatrix} \begin{bmatrix} \dot{\bar{v}}_C \\ \dot{\bar{i}}_L \end{bmatrix} = \begin{bmatrix} -\frac{1}{R} & 1 \\ -1 & 0 \end{bmatrix} \begin{bmatrix} \bar{v}_C \\ \bar{i}_L \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} V_{in} \quad (129)$$

$$y = \begin{bmatrix} 1 & 0 \end{bmatrix} \begin{bmatrix} \bar{v}_C \\ \bar{i}_L \end{bmatrix} \quad (130)$$

Com as Equações 129 e 130 é possível calcular as Equações 15 a 18 e assim obter o modelo em espaço de estados do conversor CC–CA. Para se obter os valores numéricos das matrizes linearizadas, substituiu-se nas mesmas os valores encontrados na Tabela 11.

Tabela 11 – Valores de entrada para modelagem do conversor CC–CA

Grandeza	Descrição
$R_o = 13,64 \, \Omega$	Resistência de carga da saída
$C_f = 1,2 \, \mu\text{F}$	Capacitância de filtragem
$L_f = 945 \, \mu\text{H}$	Indutância de filtragem
$V_{in} = 42,87 \, \text{V}$	Tensão de entrada do conversor CC–CA
$V_{C.ef} = 27,27 \, \text{V}$	Tensão eficaz sobre o capacitor de filtro
$D = 0,6361$	Razão cíclica CC

Fonte: Elaboração própria (2018).

Os valores descritos na Tabela 11 foram calculados seguindo, rigorosamente, a mesma metodologia descrita na subseção 5.2.2. No entanto, agora a saída não tem mais uma tensão de 220 V eficaz e uma potência de 440 W. Para o conversor CC–CA, utilizou-se como tensão de saída 27,27 V eficaz e potência de 54 W, que são os valores máximos que precisam ser compensados pelo conversor CC–CA no conversor híbrido. Os demais parâmetros de projeto permanecem os mesmos da Tabela 5. Com isto, o modelo em espaço de estados do conversor CC–CA é descrito em 131, 132, 133 e 134.

$$\mathbf{A}_p = \begin{bmatrix} -6,11 \times 10^4 & 8,33 \times 10^5 \\ -1,06 \times 10^3 & 0 \end{bmatrix} \quad (131)$$

$$\mathbf{B}_p = \begin{bmatrix} 0 \\ 4,54 \times 10^4 \end{bmatrix} \quad (132)$$

$$\mathbf{C}_p = \begin{bmatrix} 1 & 0 \end{bmatrix} \quad (133)$$

$$E_p = 0 \quad (134)$$

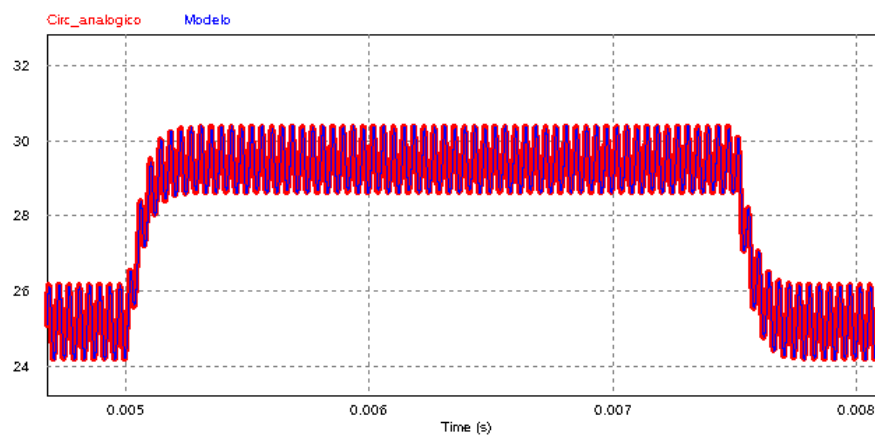
Com as matrizes, foi possível retirar também a função de transferência e testá-la comparativamente ao circuito analógico para verificar se o modelo matemático condiz com a realidade. A função de transferência é então descrita pela Equação 135.

$$G_p(s) = \frac{3,78 \times 10^{10}}{s^2 + 6,109 \times 10^4 s + 8,818 \times 10^8} \quad (135)$$

O teste da modelagem foi executado no *software* PSIM com a comparação entra o circuito analógico e a função de transferência obtida para o modelo. Assim como no conversor híbrido, foi aplicada uma perturbação de amplitude 0,1 em torno do ponto de operação do conversor, que é de 0,6361. Este é transformado em sinal PWM, fazendo o conversor responder ao degrau de entrada composto pela perturbação. A [Figura 41](#) mostra o resultado do teste da modelagem.

Como se pode observar as duas formas de onda estão sobrepostas e mantendo uma média com uma ondulação esperada. Isto significa que o modelo representa satisfatoriamente o comportamento do sistema a ser controlado.

Figura 41 – Teste da modelagem do conversor CC–CA.



Fonte: Elaboração própria (2018).

5.4.3 Projeto do controlador utilizando alocação de polos para o conversor híbrido

Após ter a modelagem do conversor validada, pode-se chegar a um projeto de ganhos para o controlador pela metodologia exposta na subseção [3.2.2](#). Conforme visto nesta, a partir do modelo, deve-se obter as matrizes $\bar{\mathbf{A}}_p$ e $\bar{\mathbf{B}}_p$ e substituí-las na Equação [25](#) junto com o vetor de polos que se deseja alocar. Este procedimento pode ser executado em um *software* matemático, como o Matlab. Este *software* conta com uma facilidade para o projeto de controle, pois tem em sua biblioteca uma função específica para o cálculo da fórmula de Ackermann.

Com isto, a partir da metodologia, obteve-se as matrizes $\bar{\mathbf{A}}_p$ e $\bar{\mathbf{B}}_p$, conforme mostrado na Equações [136](#) e [137](#).

$$\bar{\mathbf{A}}_p = \begin{bmatrix} -6,06 \times 10^4 & 6,67 \times 10^6 & 0 & 0 \\ -1,37 \times 10^2 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ -1 & 0 & -1,42 \times 10^5 & 0 \end{bmatrix} \quad (136)$$

$$\bar{\mathbf{B}}_p = \begin{bmatrix} 0 \\ 5,88 \times 10^3 \\ 0 \\ 0 \end{bmatrix} \quad (137)$$

Como verificou-se que o sistema da planta é de estados completamente controláveis, o vetor dos polos escolhidos arbitrariamente, que se deseja alocar, fica como descrito na equação 138.

$$polos_K = \left(\begin{array}{cc} -960 + j1.309,8; & -960 - j1.309,8; \\ & -3,25 \times 10^4; & -3,25 \times 10^4 \end{array} \right) \quad (138)$$

Com os resultados de 136, 137 e 138 aplicados na fórmula de Ackermann, obteve-se a seguinte matriz K de ganhos do controlador:

$$\bar{\mathbf{K}} = \begin{bmatrix} -0,002869 & 1,0665 & -6,6673 \times 10^4 & -55,7885 \end{bmatrix} \quad (139)$$

O resultado dos ganhos deve, então, ser aplicado ao equacionamento obtido a partir das equações e do diagrama apresentados na subseção 3.2.2. Estes serão melhor detalhados no Apêndice F que mostrará a programação do controle. No entanto, é importante explicar a digitalização e obtenção das equações recursivas dos integradores do controlador. A discretização dos integradores foi feita a partir do método ZOH (*Zero-order hold*), em que se coloca o bloco ZOH na entrada da função de transferência no domínio de Laplace e estipula-se o período de amostragem (para este projeto $f_a = 24 \text{ kHz}$). Através de métodos matemáticos, obtém-se uma função de transferência discreta no domínio z .

Sendo assim, sabendo-se que a função de transferência do integrador é $\frac{1}{s}$ no domínio de Laplace, a partir do método ZOH, chegou-se a seguinte função de transferência discreta do integrador:

$$\frac{I(z)}{J(z)} = 41,67 \times 10^{-6} \frac{1}{z-1} \quad (140)$$

A partir da Equação 140, escreve-se a equação recursiva do integrador para implementação no microcontrolador como:

$$i(k) = 41,67 \times 10^{-6} j(k-1) + i(k-1) \quad (141)$$

5.4.4 Projeto do controlador utilizando alocação de polos para o conversor CC–CA

Para o projeto do controlador CC–CA, também foi utilizada a metodologia descrita na subseção 3.2.2 nos mesmos moldes. Obteve-se as matrizes $\bar{\mathbf{A}}_p$ e $\bar{\mathbf{B}}_p$ e, juntamente com o vetor de polos que se deseja alocar, executou-se a função que calcula a fórmula de Ackermann no Matlab de forma a resultar na matriz de ganhos do controlador. Sendo assim, as matrizes são mostradas em 142 e 143, respectivamente. E o vetor de polos que obteve o melhor resultado para a matriz de ganhos é mostrando em 144.

$$\bar{\mathbf{A}}_p = \begin{bmatrix} -6,109 \times 10^4 & 8,33 \times 10^5 & 0 & 0 \\ -1,058 \times 10^3 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ -1 & 0 & -1,42 \times 10^5 & 0 \end{bmatrix} \quad (142)$$

$$\bar{\mathbf{B}}_p = \begin{bmatrix} 0 \\ 4,54 \times 10^4 \\ 0 \\ 0 \end{bmatrix} \quad (143)$$

$$polos_K = \left(\begin{array}{c} -1,71 \times 10^3 + j2,33 \times 10^3; -1,71 \times 10^3 - j2,33 \times 10^3; \\ -2,89 \times 10^4; -2,89 \times 10^4 \end{array} \right) \quad (144)$$

Estes resultados levaram à matriz de ganhos do controlador mostrada em 145.

$$\bar{\mathbf{K}} = \begin{bmatrix} -0,004069 & -8,9211 \times 10^{-4} & -1,7964 \times 10^5 & -87,6767 \end{bmatrix} \quad (145)$$

Do mesmo modo como feito no projeto do controlador do conversor híbrido, para este também o resultado dos ganhos foi aplicado nas equações obtidas a partir da metodologia e do diagrama apresentados na subseção 3.2.2. A digitalização dos integradores foi feita similarmente, visto que a frequência de chaveamento e amostragem utilizadas são as mesmas. Com isto, utilizou-se também a equação recursiva apresentada em 141.

5.4.5 Projeto do observador de ordem plena para controle do conversor híbrido

O projeto do observador de ordem plena segue a metodologia descrita na subseção 3.2.3. Nesta, foi visto que a forma com que se obtêm os ganhos do observador é muito parecida com a forma com que se determina a matriz de ganhos do controlador, desenvolvida na subseção anterior. O projeto termina por utilizar a fórmula de Ackermann com as matrizes obtidas em 120 e 122 transpostas e com o vetor de polos arbitrariamente escolhidos.

Como dito na subseção 3.2.3, estes polos devem ser de duas a cinco vezes mais rápidos que os polos escolhidos para o controlador, de modo que o observador obtenha o valor dos estados de forma antecipada ao cálculo da ação de controle. Assim, escolheu-se os seguintes polos para a obtenção da matriz de ganhos do observador de ordem plena:

$$polos_{K_e} = \begin{pmatrix} -1,44 \times 10^4 + j1,9647 \times 10^4; \\ -1,44 \times 10^4 - j1,9647 \times 10^4 \end{pmatrix} \quad (146)$$

Utilizando-se novamente o Matlab, obteve-se a matriz de ganhos do observador com a função que calcula a fórmula de Ackermann a partir da matrizes A_p^T e C_p^T , e do polos obtidos em 146. O resultado obtido pode ser visto abaixo:

$$K_e = \begin{bmatrix} -3,18 \times 10^4 \\ -48,17 \end{bmatrix} \quad (147)$$

Novamente, para aplicar o observador em uma rotina de programação, deve-se retirar as equações do sistema, exemplificadas no diagrama de blocos da Figura 7, com os valores de cada elemento. Adicionalmente, com os ganhos de 147 e com as equações recursivas dos integradores, já mostradas na Equação 141, obtém-se uma matriz de variáveis estimadas que satisfaz o sistema da planta e permite o controle da mesma.

5.4.6 Projeto do observador de ordem mínima para controle do conversor CC–CA

O projeto do observador de ordem mínima foi baseado na metodologia descrita na subseção 3.2.3. Da mesma forma que no observador de ordem plena, o projeto do observador de ordem mínima também é independente do projeto do controlador no sentido de que sua matriz de ganhos pode ser obtida de maneira paralela à matriz de ganhos do controlador. Deve-se observar também a mesma regra geral de que os polos do observador devem ser de duas a cinco vezes mais rápidos

que os polos do controlador para que os resultados da estimação das variáveis sejam prévios ao cálculo da ação de controle.

O projeto inicia-se com a obtenção das matrizes $\mathbf{A}_{ab}$ e $\mathbf{A}_{bb}$ a partir de $\mathbf{A}_p$, como mostrado na Equação 40. Como o sistema é de ordem $n = 2$, estas matrizes tem apenas um elemento, sendo $A_{ab} = 8,33 \times 10^5$ e $A_{bb} = 0$. Como o sistema é completamente observável, alocou-se arbitrariamente os polos. Os que tiveram melhor resultados para o observador estão no vetor mostrado em 148.

$$polos_{K_e} = \begin{pmatrix} -2400 \end{pmatrix} \quad (148)$$

Estes três resultados foram aplicados na fórmula de Ackermann e geraram a matriz de ganhos do observador mostrada em 149.

$$K_e = \begin{bmatrix} 0,002888 \end{bmatrix} \quad (149)$$

Então, as matrizes de ganhos e as matrizes separadas foram aplicadas nas Equações 42, 43 e 44, para encontrar $\hat{\mathbf{A}}$, $\hat{\mathbf{B}}$ e $\hat{\mathbf{F}}$. Antes disso, terminou-se a separação das matrizes $\mathbf{A}_p$ e $\mathbf{B}_p$ para encontrar $A_{aa} = -6,109 \times 10^4$, $A_{ba} = -1,058 \times 10^3$, $B_a = 0$ e $B_b = 4,54 \times 10^4$. Com isto, os resultados foram $\hat{A} = -2400$, $\hat{B} = -8,8916 \times 10^2$ e $\hat{F} = 4,5365 \times 10^4$. Os resultados de $\hat{\mathbf{C}}$ e $\hat{\mathbf{D}}$ são mostrados em 150 e 151.

$$\hat{\mathbf{C}} = \begin{bmatrix} 0 \\ 1 \end{bmatrix} \quad (150)$$

$$\hat{\mathbf{D}} = \begin{bmatrix} 1 \\ 0,00288 \end{bmatrix} \quad (151)$$

Com as matrizes obtidas e os ganhos do controlador, pode-se implementar o diagrama mostrado na Figura 8. A partir do mesmo, as equações do sistema são retiradas e implementadas em uma rotina de programação em um microcontrolador. Para isto também é utilizada a equação recursiva já descrita na equação 141.

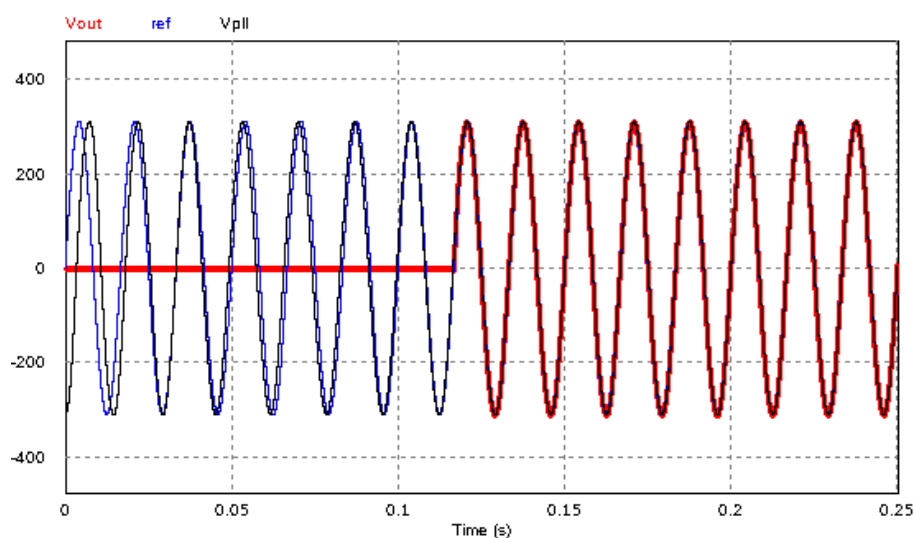
5.5 Resultados de simulação do conversor híbrido controlado

Para fins de testar o projeto do controlador completo do conversor híbrido, realizou-se algumas simulações no *software* PSIM e verificou-se o desempenho do

mesmo. Para isto, foi montado um circuito como o descrito na [Figura 36](#), com a leitura da tensão de saída sobre o resistor de carga e realimentação da ação de controle nas chaves através de PWM senoidal com modulação 3 níveis. A tensão de entrada utilizada para o inversor, bem como todos os valores utilizados nos componentes, estão descritas na [Tabela 10](#). Para a tensão de *offset*, utilizou-se uma fonte senoidal com um valor de tensão eficaz fixo. Com o auxílio de um bloco de programação em linguagem C do PSIM, montou-se um código com todo o equacionamento do controlador e observador, entrada de tensão amostrada e saída da ação de controle. Utilizaram-se todos os valores de ganhos e matrizes mostrados até o momento. Neste programa também foi aplicado o algoritmo do PLL que gerou o sinal de sincronismo para a referência interna. A tensão de entrada do PLL também foi amostrada com o bloco de linguagem C a partir de uma fonte senoidal externa que emulou a tensão de entrada do estabilizador. O circuito completo utilizado na simulação pode ser visto no [Apêndice A](#).

A [Figura 42](#) mostra o resultado da tensão de saída do conversor. Verifica-se que após o sinal de sincronismo estabilizar, o controle é ligado e a tensão de saída mostra-se em fase e na mesma amplitude da referência artificial. Isto mostra que o controlador está atuando satisfatoriamente. Verificando-se o valor eficaz da tensão de saída, a mesma apresenta 219,99 V.

Figura 42 – Resultados de simulação para a tensão de saída do controlador e observador do conversor híbrido.

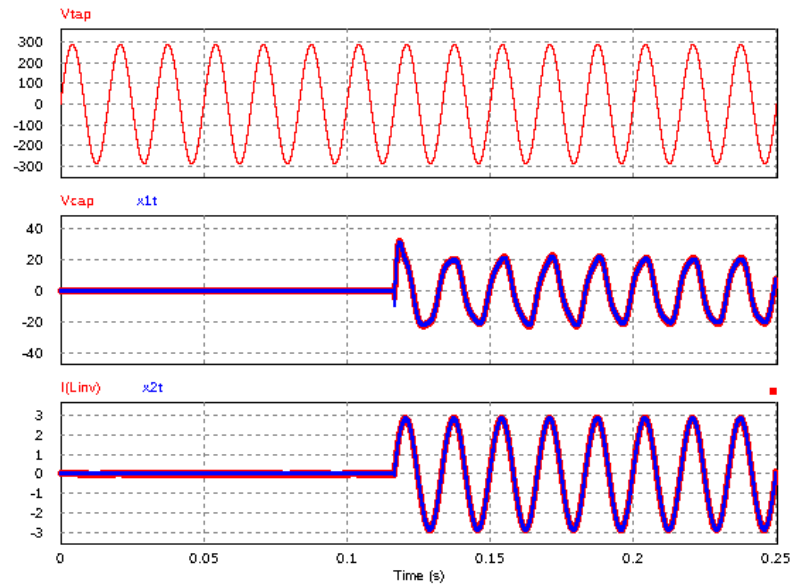


Fonte: Elaboração própria (2018).

A [Figura 43](#) mostra o desempenho do observador de ordem plena para a tensão sobre o capacitor e a corrente no indutor, que são as variáveis de estado observadas. Como se pode constatar, o gráfico mostra as tensões e correntes lidas sobre os componentes passivos e as compara com o que foi calculado pelo observador. As formas de onda estão sobrepostas, mostrando que o observador tem

um desempenho ótimo. A forma de onda adicional que aparece na figura se trata da tensão de *offset* fixa imposta para os testes. A mesma tem valor eficaz de 205 V.

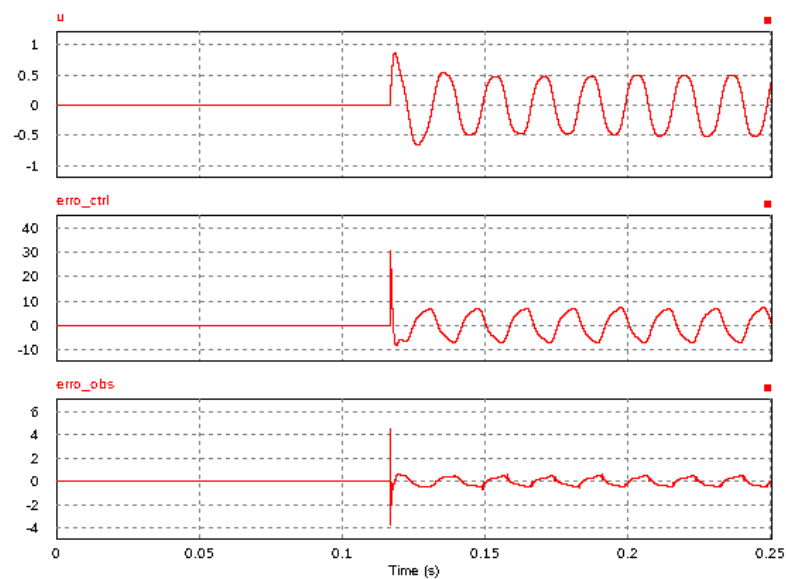
Figura 43 – Resultados de simulação para o desempenho do observador de ordem plena.



Fonte: Elaboração própria (2018).

Os gráficos da [Figura 44](#) mostram o desempenho do controlador em termos da amplitude da ação de controle e do erro.

Figura 44 – Resultados de simulação para o desempenho da ação de controle e erro.



Fonte: Elaboração própria (2018).

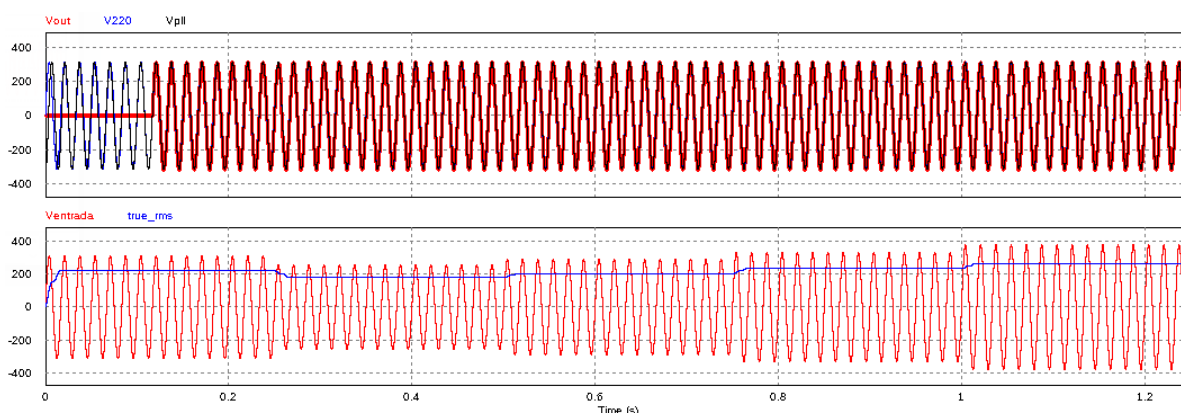
Como se pode observar, a ação de controle u está dentro de uma amplitude aceitável e realizável em um microcontrolador, pois possui valor máximo, de pico a

pico, de 1 V. Em seguida, são apresentados os erros do controlador e do observador, respectivamente. Estes erros são calculados com base na referência senoidal e nas variáveis observadas. Como se pode verificar, nenhum deles possui amplitude significativa e se mostram constantes.

Na sequência dos testes, simulou-se o conversor híbrido completo. Além de todos os módulos colocados anteriormente, adicionou-se o estabilizador com a lógica de chaveamento dos *taps* e o retificador de onda completa na entrada do conversor CC–CA. Para o chaveamento dos *taps* ocorrer, criou-se uma senóide variável que tem sua amplitude modificada a cada período de tempo. Com isso foi, possível também testar a medição do valor eficaz, que foi implementada no programa juntamente com os sinais de chaveamento dos relés.

A [Figura 45](#) mostra o resultado da tensão de saída para o conversor híbrido completo. Como se pode observar, ela possui a mesma fase e amplitude da tensão de referência. Seu valor eficaz é 219,88 V. O segundo gráfico que aparece na figura mostra a tensão de entrada variável e o resultado do cálculo do RMS. Este também teve um resultado bastante satisfatório ficando dentro dos limites esperados.

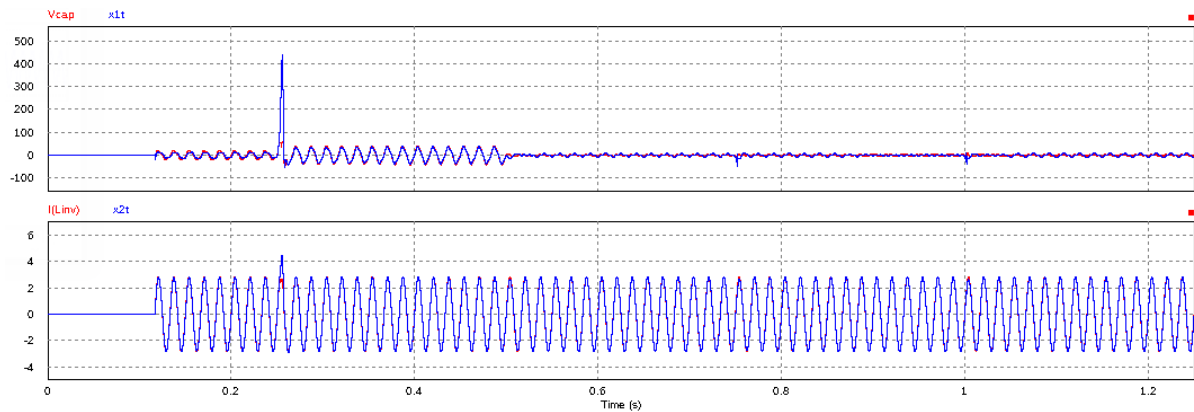
Figura 45 – Resultados de simulação para a tensão de saída do conversor híbrido completo.



Fonte: Elaboração própria (2018).

A [Figura 46](#) apresenta os resultados obtidos para a estimação das variáveis de estado no conversor híbrido completo. A variável da corrente, vista no segundo gráfico, fica totalmente em fase e com a mesma amplitude da corrente medida, com apenas um desvio durante um dos degraus de troca de amplitude da tensão de entrada. Já a variável da tensão obteve um comportamento um pouco menos satisfatório, mas ainda dentro de um limite tolerado, visto que a tensão de saída é controlada.

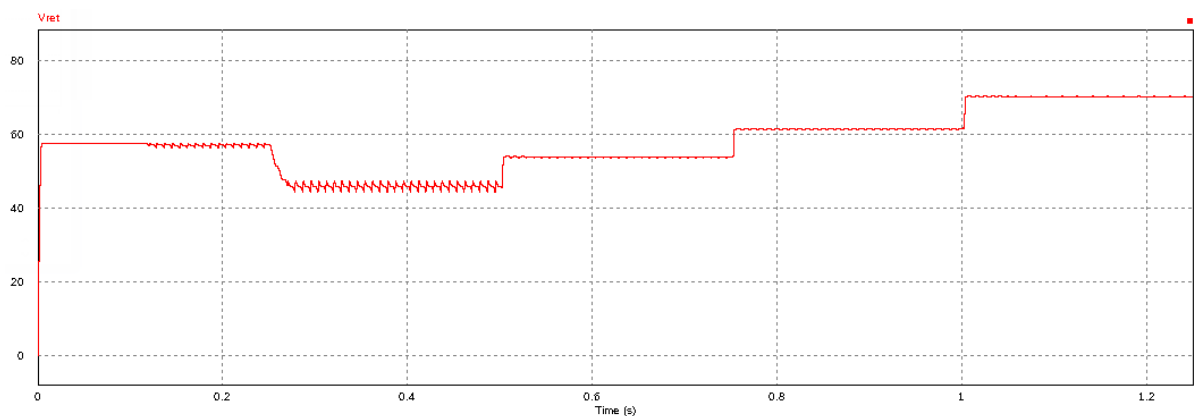
Figura 46 – Resultados de simulação para o observador de ordem plena.



Fonte: Elaboração própria (2018).

O gráfico da [Figura 47](#) mostra o desempenho do retificador. Seus resultados também estão dentro do esperado, com a tensão de saída variando de 45 até 70 V.

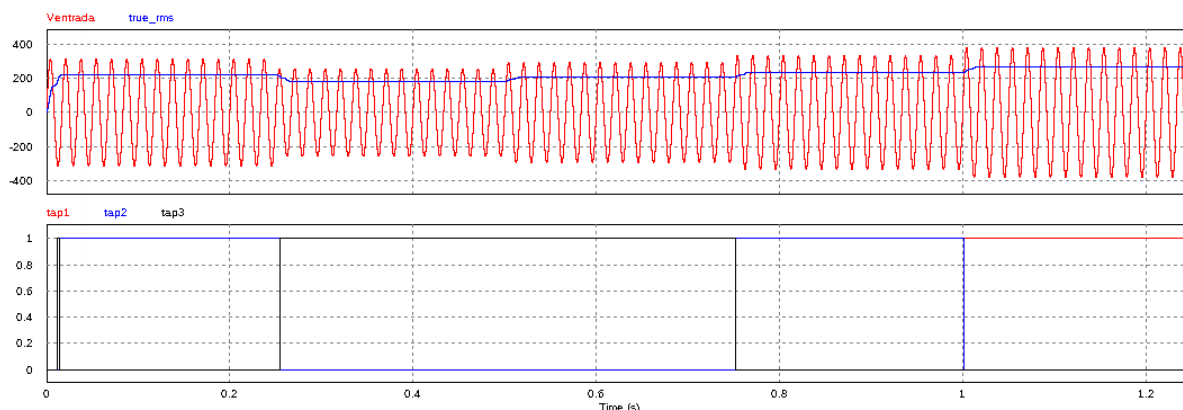
Figura 47 – Resultados de simulação para a saída do retificador que alimenta o conversor CC-CA.



Fonte: Elaboração própria (2018).

Por fim, a [Figura 48](#) mostra o resultado da lógica de chaveamento dos relés dos *taps*. Este resultado também foi satisfatório, pois cada relé foi chaveado no momento necessário, de acordo com o valor lido de tensão eficaz. Quando o valor eficaz lido estava entre 220 e 233 V, o relé do *tap* 2 foi chaveado; quando a tensão eficaz estava entre 180 e 205 V, o relé do *tap* 3 foi chaveado, e quando a tensão estava em 267 V, o relé do *tap* 1 foi chaveado.

Figura 48 – Resultados de simulação para o chaveamento dos *taps* do estabilizador.



Fonte: Elaboração própria (2018).

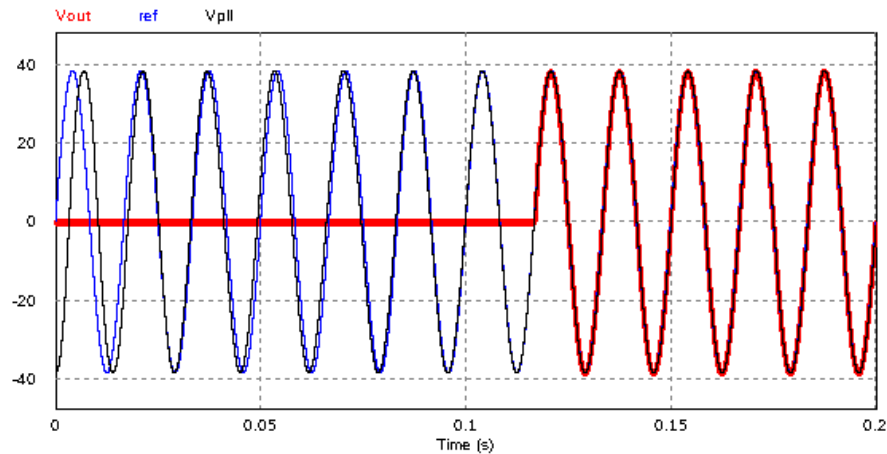
5.6 Resultados de simulação do conversor CC–CA controlado

Assim como feito com o conversor híbrido, testou-se o desempenho do projeto completo do controlador com o observador de ordem mínima para verificar seu desempenho. Para o teste, foi montado o circuito do conversor CC–CA, com a leitura da tensão de saída sobre a resistência de carga, que no caso, é a mesma tensão sobre o capacitor de filtro, ou seja, esta é a variável de estado que não é necessário estimar. A tensão de entrada do conversor CC–CA foi imposta através de uma fonte de corrente contínua e a lógica de chaveamento dos semicondutores foi feita através de PWM senoidal de 3 níveis. Os valores de componentes utilizados na simulação são os mesmos da [Tabela 11](#). As frequências de chaveamento e amostragem também são as mesmas já utilizadas de 24 kHz.

Para a implementação do controlador, do observador, da recepção dos sinais lidos, da saída da ação de controle e da geração do sinal de sincronismo, utilizou-se um bloco de programação C. Neste foram implementadas todas as rotinas concernentes a cada etapa. A tensão de entrada do PLL também foi amostrada com o bloco de linguagem C a partir de uma fonte senoidal externa que emula a tensão de entrada do estabilizador. O circuito completo utilizado na simulação pode ser visto no [Apêndice B](#).

A [Figura 49](#) mostra o resultado da tensão de saída do conversor CC–CA controlado em malha fechada. Como se pode verificar, após a estabilização do sinal de sincronismo todas as formas de onda ficam em fase e com a mesma amplitude. O sinal de saída também é a variável de estado da tensão sobre o capacitor.

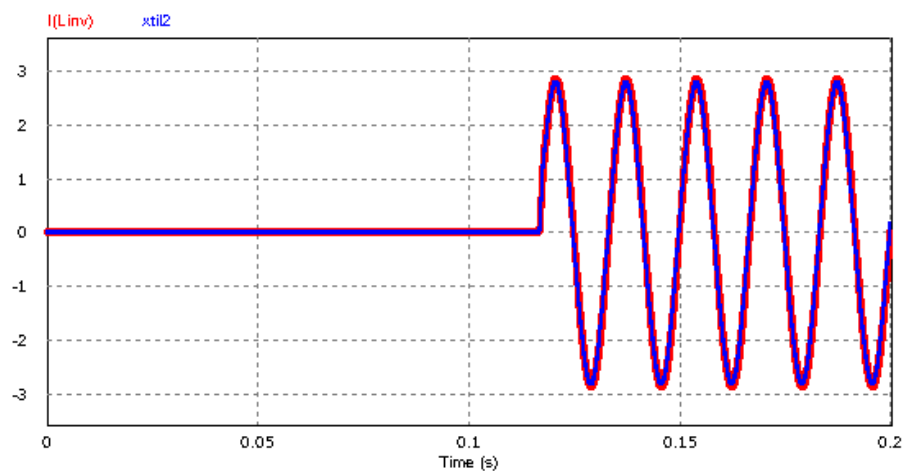
Figura 49 – Resultados de simulação para a tensão de saída do conversor CC-CA.



Fonte: Elaboração própria (2018).

A [Figura 50](#) mostra o resultado obtido para a variável de estado estimada pelo observador de ordem mínima em comparação com a leitura feita da corrente no próprio indutor. Como as formas de onda estão sobrepostas, verifica-se que o observador tem um desempenho ótimo, mostrando que o projeto está bem alinhado com a planta. Este é um fator importante para que o controle tenha sucesso, já que o controlador depende do valor observado e transformado, como visto no diagrama da [Figura 8](#).

Figura 50 – Resultados de simulação para a variável de estado observada.

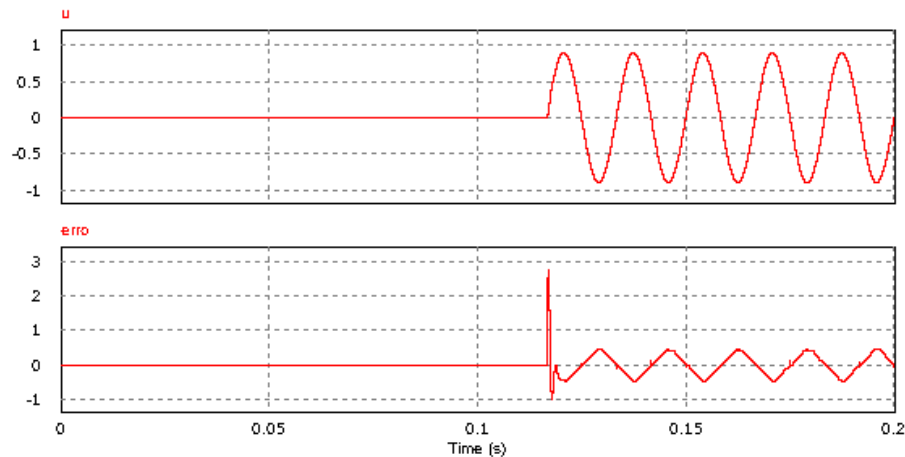


Fonte: Elaboração própria (2018).

Os gráficos da [Figura 51](#) mostram os resultados obtidos para a ação de controle e erro do controlador. Como se pode verificar no primeiro gráfico, a ação de controle tem uma amplitude máxima, de pico a pico, menor que 2 V. Isto significa que os valores podem ser colocados na saída de um microcontrolador sem causar danos

ao mesmo e também não serão saturados pelos limites do PWM. Já o segundo gráfico mostra que o erro obtido entre a referência e a saída é bastante pequeno ficando sempre constante.

Figura 51 – Resultados de simulação para a ação de controle e erro do controlador.



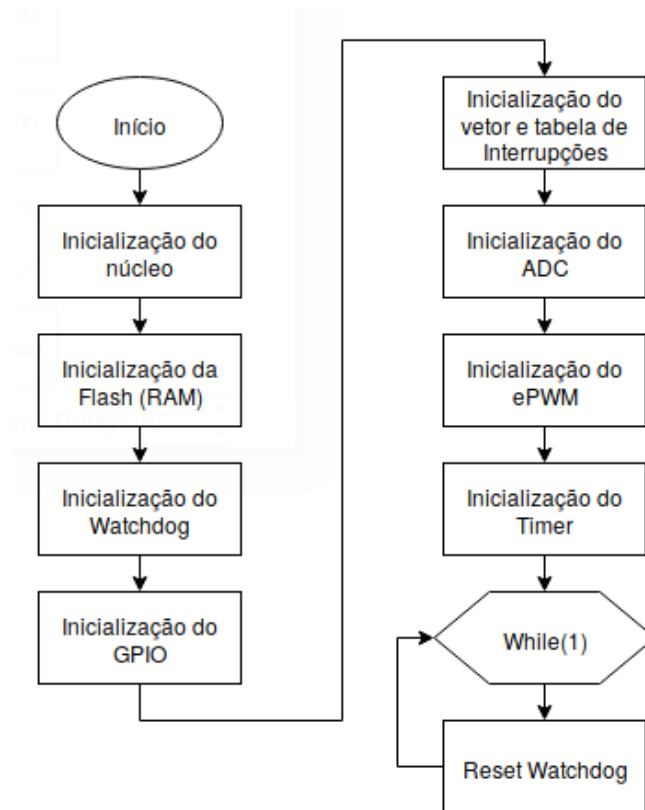
Fonte: Elaboração própria (2018).

5.7 Programação do TMS320F28335

Esta seção tem por objetivo apresentar e explicar os fluxogramas dos programas utilizados para o cálculo e implementação da medição via *true RMS* e chaveamento dos *taps*, da geração do sinal de sincronismo via PLL e da lei de controle. Para esta implementação foi utilizado o TMS320F28335, já apresentado neste trabalho, e o ambiente de desenvolvimento C/C++ *Code Composer Studio v7* da Texas Instruments.

A programação começa com as inicializações e configurações preliminares que fazem o microcontrolador entrar em um estado que permite o funcionamento das demais funções programadas. A [Figura 52](#) mostra estas inicializações. Como se pode observar, após o núcleo começar a atuar, é iniciada a memória *Flash*, na qual o programa foi gravado. O *Watchdog*, que é um mecanismo de controle do programa, verificando sua integridade, também começa a agir, e só então, são iniciados os periféricos, como as entradas e saídas de propósito genérico (GPIO), Interrupções, ADC, PWM e *Timer*. Por fim, o *firmware* entra em *loop* infinito verificando sempre o *Watchdog* e aguardando por um sinal de interrupção. Esta parte do código, como foi implementado no microcontrolador, pode ser vista no [Apêndice C](#).

Figura 52 – Fluxograma da inicialização básica do microcontrolador.



Fonte: Elaboração própria (2018).

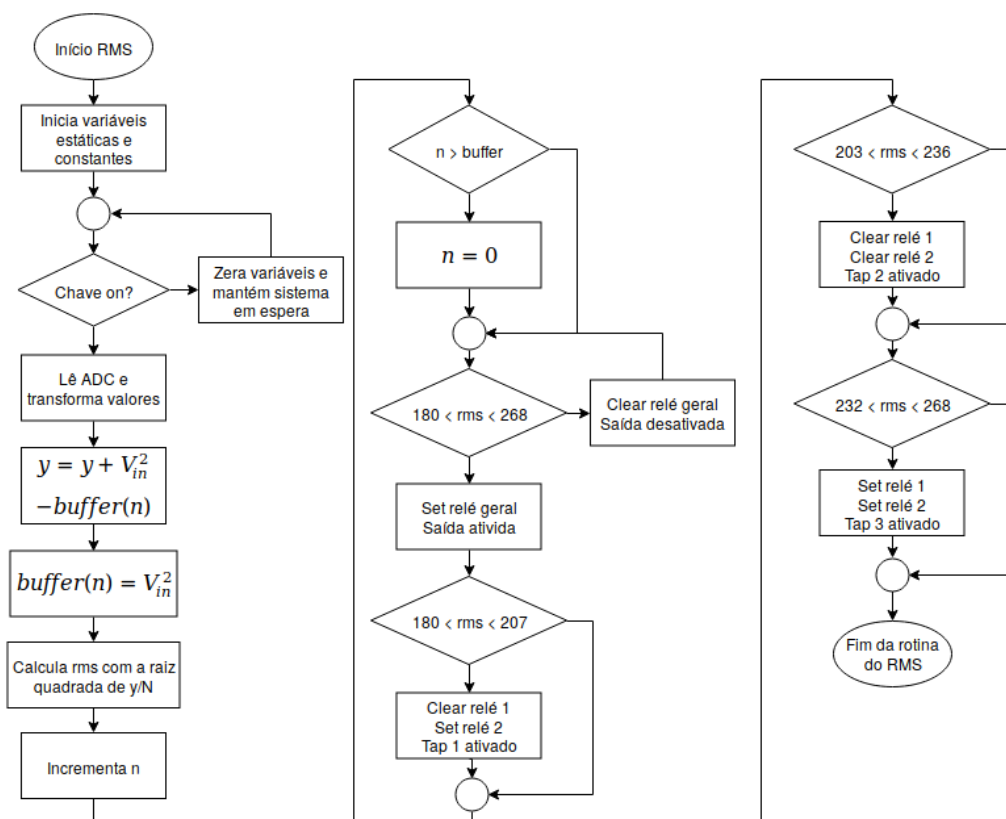
5.7.1 Programação da medição *true RMS* e chaveamento do *taps*

O fluxograma da medição do valor eficaz da tensão de entrada e do chaveamento dos *taps* é apresentado na [Figura 53](#). O programa é iniciado com a configuração das variáveis e constantes e a verificação da chave on/off da placa de condicionamento de sinais, conforme aparece na [Figura 29](#). Se a chave estiver ligada, uma variável recebe a leitura do ADC e a reconstitui para que tenha o valor real (que aparece na entrada do sensor de tensão). Após isso, são executados os cálculos descritos na equação 49. Estando em um domínio discreto, a equação é executada em algumas linhas com auxílio de um *buffer* de 400 posições (mesmo número de amostras de um período) que armazena valores da tensão elevada ao quadrado. A cada nova iteração, a tensão recebida, elevada ao quadrado, é somada a uma variável estática. Esta armazena o somatório e exclui o valor mais antigo do *buffer*. Desta forma, o valor eficaz é sempre calculado com um total de pontos de um período da senóide. Por fim, é extraída a raiz quadrada da variável somadora dividida pelo valor de comprimento do *buffer*, e assim obtém-se o valor de *true RMS*.

Após a verificação da variável contadora de posições do *buffer* (n), inicia-se a lógica de chaveamento dos relés. Como se pode observar no fluxograma da [Figura 53](#),

uma série de testes é feita. Inicialmente, verifica-se se o circuito deve deixar a corrente fluir em direção à saída do conversor. Para que isto ocorra é necessário que a tensão lida na entrada esteja entre os limites de 180 e 268 V eficazes. Estes são os limites impostos para o funcionamento do estabilizador. Caso esta condição se confirme, o relé geral é chaveado e, então, passa-se a testar as condições para que cada *tap* possa ser chaveado. Se o valor eficaz está entre 180 e 207 V eficazes, significa que a tensão precisa ser elevada, e então o relé 2 é chaveado, ativando o *tap* 1. Se não, caso o valor eficaz esteja entre 203 e 236, significa que a tensão precisa ser levemente abaixada. Pela construção do circuito, os relés permanecem em repouso, ativando o *tap* 2. Em último caso, se o valor de RMS estiver entre 232 e 268 V eficazes, a tensão precisa ser abaixada para um nível máximo de 220V, significando que os dois relés devem ser chaveados e o *tap* 3 ativado. Esta parte do código, como foi implementado no microcontrolador, pode ser vista no [Apêndice D](#).

Figura 53 – Fluxograma da medição do valor eficaz da entrada e do chaveamento dos relés.



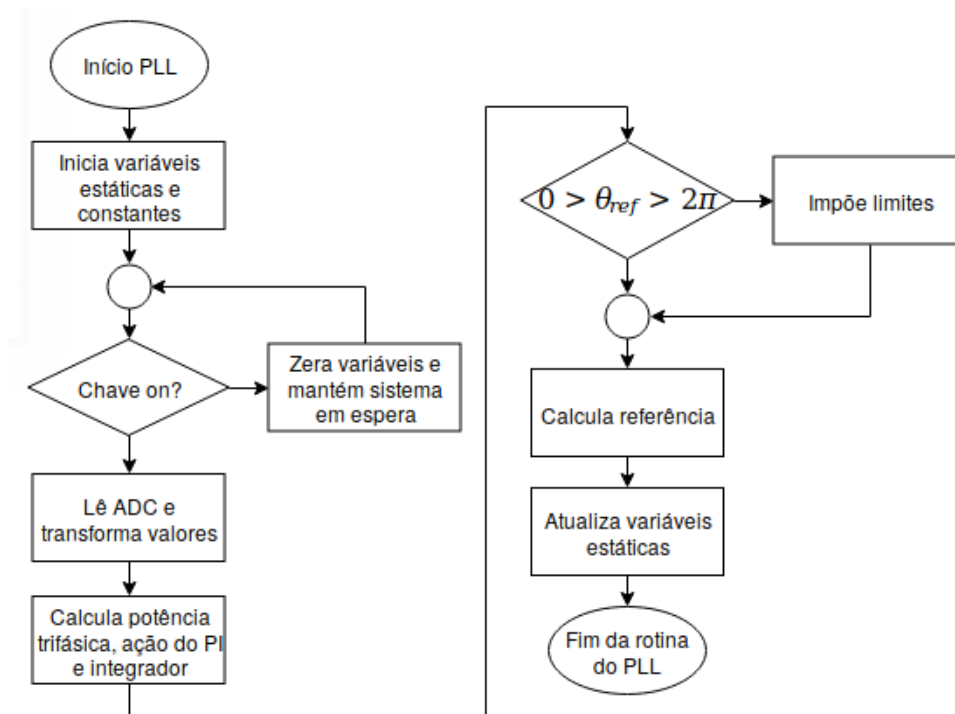
Fonte: Elaboração própria (2018).

5.7.2 Programação do PLL

A execução do fluxograma da [Figura 54](#) gera o sinal de sincronismo, necessário ao controle, via estratégia do PLL. Neste, após a inicialização das variáveis

estáticas, também se verifica o estado da chave on/off. Em caso de estar ligada, captura-se a leitura do ADC e se transforma a mesma para que tenha a amplitude correta. Então é feito o cálculo da potência trifásica e as equações 110 e 111 (cálculo da ação de controle do PI e do integrador) são executadas, chegando-se, assim, ao valor de θ_{ref} . Verifica-se se os limites estão entre 0 e 2π e calcula-se a referência para que fique no formato $A\cos(\omega t)$, sincronizada com a tensão de entrada. O valor de A é imposto de modo que a referência tenha a amplitude desejada. Esta parte do código, como foi implementado no microcontrolador, pode ser vista no [Apêndice E](#).

Figura 54 – Fluxograma da geração do sinal de sincronismo.

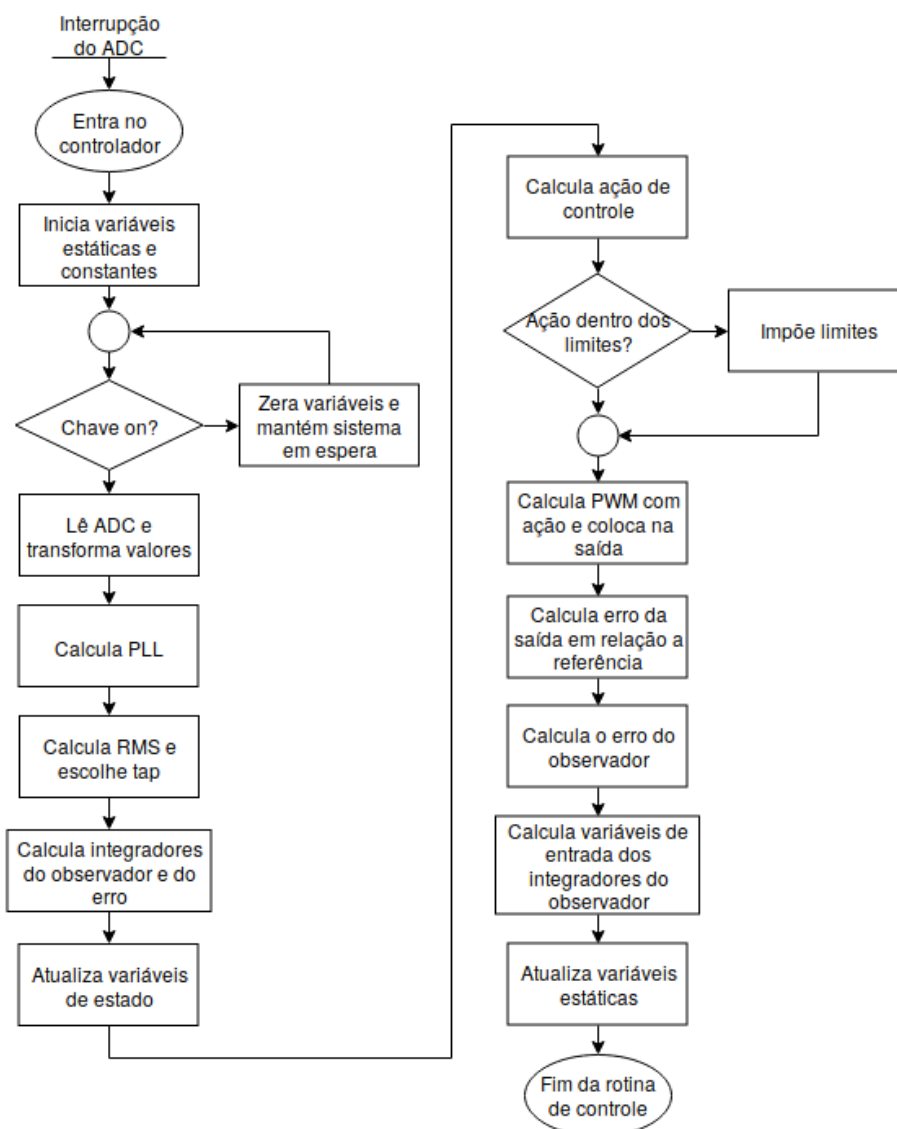


Fonte: Elaboração própria (2018).

5.7.3 Programação do controlador

O fluxograma da programação do controlador do conversor híbrido é apresentado na [Figura 55](#). Nesta, verifica-se que a lógica inicial é muito próxima das anteriores. Para o controlador do conversor híbrido funcionar adequadamente, é necessário que todas as variáveis e ganhos do controlador e observador estejam configurados de forma correta. Além disso, as equações recursivas devem estar postadas na ordem certa dentro do código para que o cálculo e a ação de controle tenham sucesso. Esta parte do código, como foi implementado no microcontrolador, pode ser vista no [Apêndice F](#).

Figura 55 – Fluxograma do controlador do conversor híbrido.



Fonte: Elaboração própria (2018).

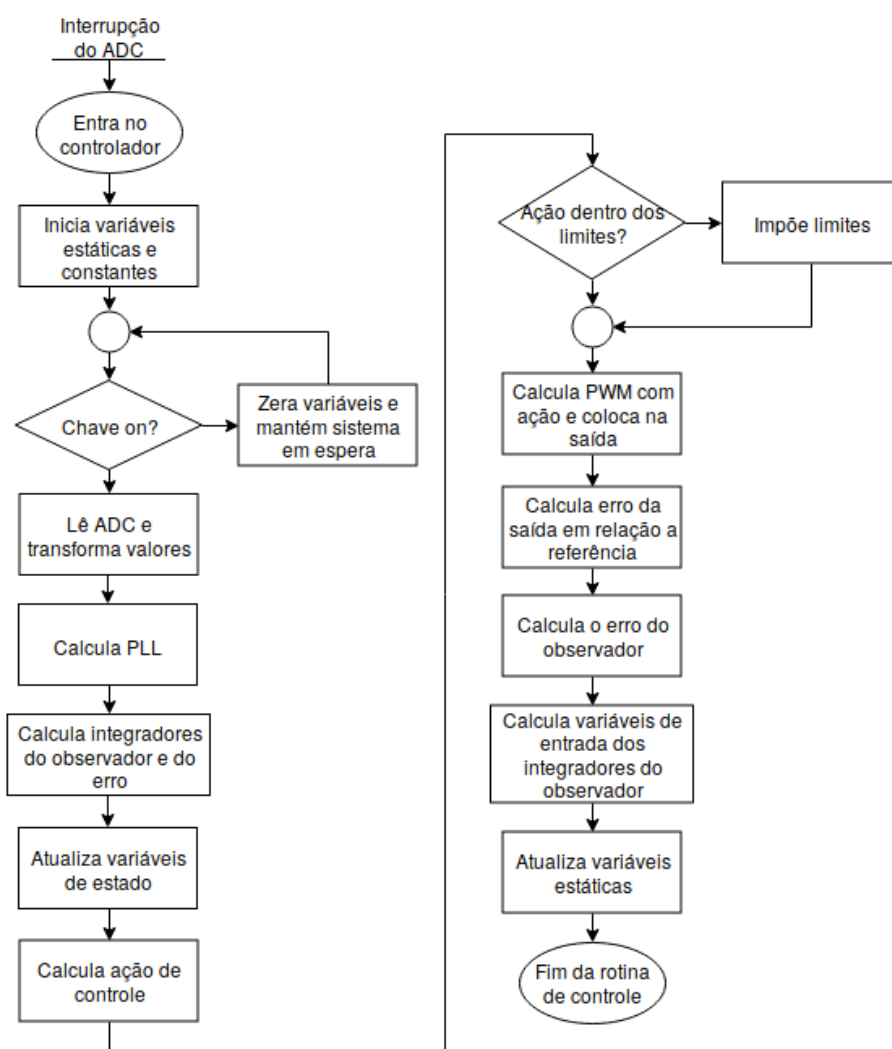
Assim, o objetivo principal do programa é o cálculo da ação de controle necessária para manter a tensão de saída estável. Isto tem início com o cálculo dos integradores do observador de estados e do rastreador da referência senoidal. Com isso, pode-se atualizar as variáveis de estados observadas ($\tilde{x}_1$ e $\tilde{x}_2$). Com estes valores, calcula-se a ação de controle e verifica-se se a mesma está dentro dos limites suportados pelo microcontrolador. Em caso negativo, o limite superior ou inferior é imposto. Em caso positivo, o programa segue e calcula o PWM senoidal. Como a ação de controle é uma senóide, esta é comparada com uma onda triangular interna ao microcontrolador. Após o PWM ser colocado na saída, calculam-se os novos valores de erro do controlador e do observador e as demais variáveis dos mesmos. Estas são atualizadas para a próxima execução da rotina, quando houver outra interrupção do

ADC.

A [Figura 56](#) mostra o fluxograma utilizado para a implementação do código do controlador do conversor CC–CA testado. Como se pode observar, a maior diferença deste para o anterior está no cálculo do RMS, que este não tem, já que o estabilizador só funciona quando é implementada a topologia do conversor híbrido.

No que concerne ao restante, ambos são bastante parecidos, com a execução das mesmas rotinas do anterior. O que muda dentro destas rotinas são os ganhos do controlador e as constantes utilizadas nos cálculos. Para este caso, o equacionamento pode ser visto no [Apêndice G](#), em que consta o código do programa.

Figura 56 – Fluxograma do controlador do conversor CC–CA.



Fonte: Elaboração própria (2018).

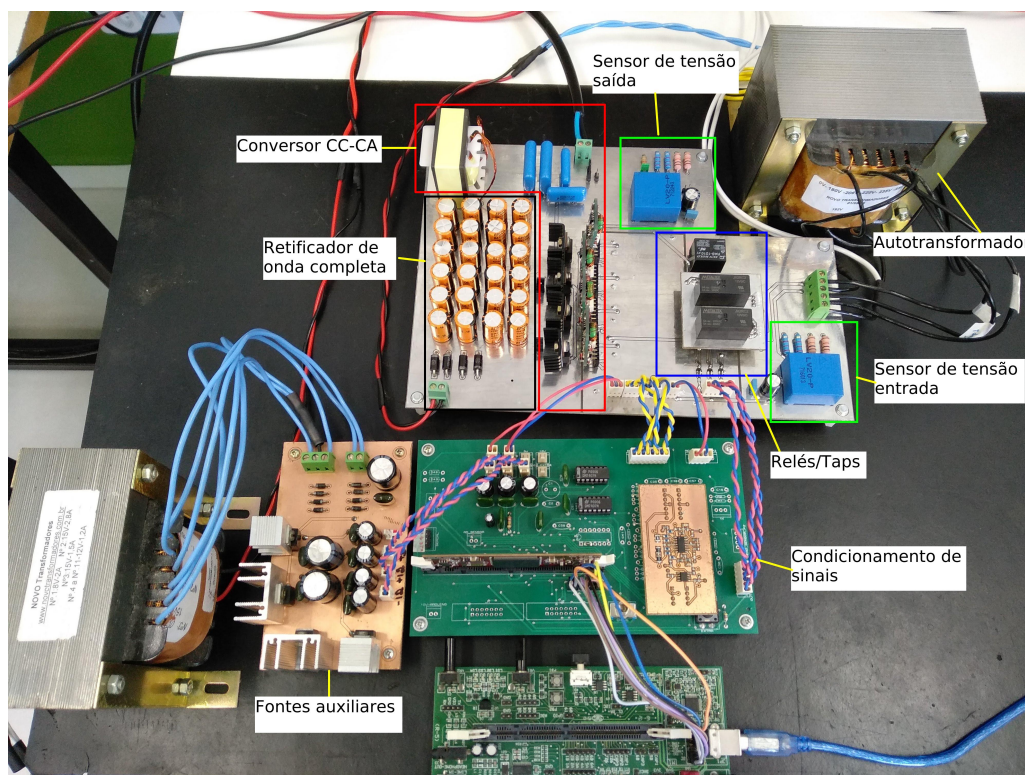
6 RESULTADOS

Este capítulo apresentará os resultados obtidos neste trabalho e até onde o mesmo pode ser desenvolvido. Os testes foram feitos de forma modular, obtendo formas de onda de cada parte do protótipo e após, juntando-se as mesmas em novos testes. Esclarece-se de antemão que o sistema completo não pode ser testado pelos problemas que o protótipo na configuração completa foi apresentando ao longo dos testes. Em função do início dos mesmos ser muito próximo do fim do prazo do trabalho, não houve possibilidade de se aprofundar nos problemas para buscar soluções e executar novos testes. Ao final deste trabalho, será feito um balanço de todos os objetivos e haverá sugestões para continuação e melhorias.

6.1 Protótipo

A [Figura 57](#) mostra uma imagem do protótipo completo montado com seus módulos destacados.

Figura 57 – Imagem do protótipo completo montado.



Fonte: Elaboração própria (2018).

Os módulos foram montados na placa de circuito impresso com interligações

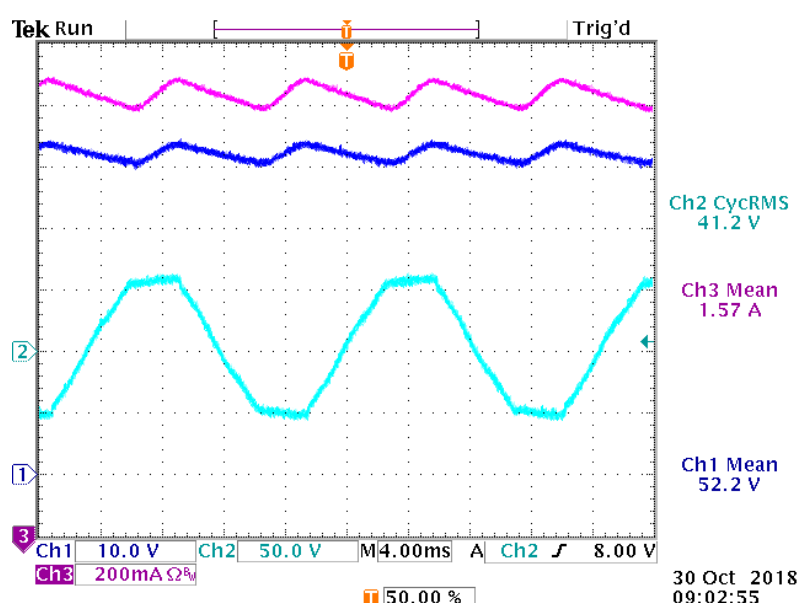
via conexão de *jumpers*. Desse modo, foi possível testar cada parte separadamente e também testar configurações dentro do conversor híbrido. Isto possibilitou o teste do conversor CC–CA alimentado por uma fonte CC ou pelo retificador, por exemplo. Além de possibilitar que testes de diferentes projetos de controle fossem feitos. Esta estratégia também foi utilizada para a ligação do protótipo com a carga, de modo que se pudesse testar o conversor CC–CA ou o conversor híbrido completo. O sensoriamento da tensão de saída também possui duas configurações, uma para o inversor e outra para o conversor híbrido. O chaveamento dos *taps* também pode ser testado através desta estratégia. Os esquemáticos e leiaute da placa podem ser vistos no [Apêndice H](#).

A placa de fontes auxiliares que aparece na [Figura 57](#), e que é necessária para alimentar todos os subcircuitos da placa de condicionamento de sinais e dos circuitos de comando, foi projetada por [Andrade \(2015\)](#). Utilizou-se a mesma por já contar com todos os circuitos necessários e estar pronta, economizando o tempo de leiaute, fabricação e testes. Apenas dois reguladores de tensão foram modificados, visto que originalmente a mesma usava tensões simétricas de ± 15 V, e neste trabalho, utiliza-se tensões simétricas de ± 12 V.

6.2 Resultados do retificador de onda completa

Com o protótipo montando, testou-se inicialmente o retificador de onda completa. Como se pode observar na [Figura 58](#), a tensão média na saída atingiu um valor de 52,2 V quando a tensão de entrada era de 41,2 V eficaz.

Figura 58 – Tensão e corrente de saída do retificador de onda completa.

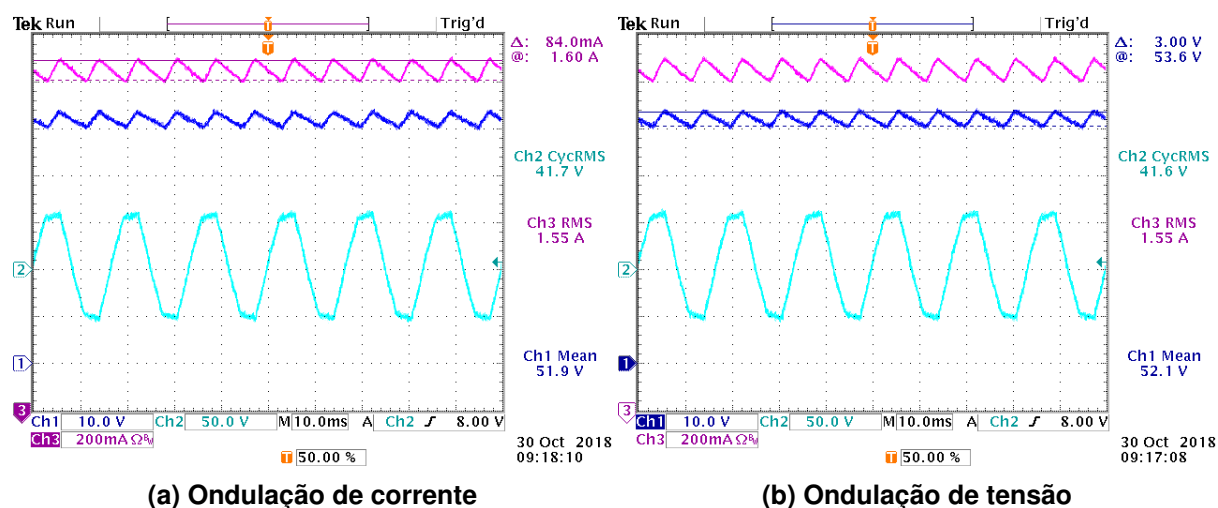


Fonte: Elaboração própria (2018).

Verifica-se também que a tensão de entrada tem uma distorção relativamente alta, visto que a mesma é rebaixada pelo enrolamento auxiliar isolado que compõe o autotransformador, e este recebe tensão da rede elétrica. Este resultado é satisfatório para a entrada do inversor e para o retificador, visto que o pico da tensão de entrada e a média da saída são valores muito próximos.

Para este teste, utilizou-se a resistência de carga nominal de projeto, que é de $33\ \Omega$. Com isso, verifica-se na saída uma corrente média de 1,57 A, condizente com o valor da resistência. O valor da ondulação desta corrente foi 84 mA, como pode ser visto na Figura 59a. Este valor é satisfatório por ser apenas 6% do valor médio, enquanto na simulação chegou-se a um valor de 8% de ondulação da corrente. Já o gráfico da Figura 59b mostra a ondulação de tensão na saída do retificador. Este teve um valor de 3 V, enquanto que, em projeto, calculou-se um valor de 4,7 V. Assim, este resultado mostra um bom desempenho do retificador.

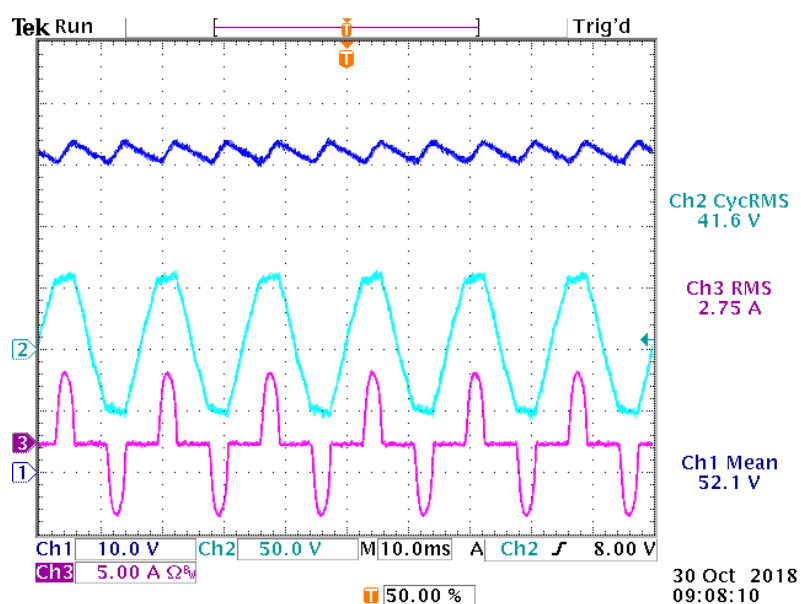
Figura 59 – Ondulação de tensão e corrente na saída do retificador de onda completa.



Fonte: Elaboração própria (2018).

A desvantagem deste conversor é mostrada na Figura 60. Como se pode observar a forma de onda da corrente possui um comportamento bastante característico devido ao chaveamento. Este fenômeno traz consigo uma série de componentes harmônicas prejudiciais ao sistema elétrico, visto que geram reativos que tem como consequência perdas de potência e um baixo fator de potência, já esperadas para esta topologia.

Figura 60 – Corrente de entrada do retificador de onda completa.



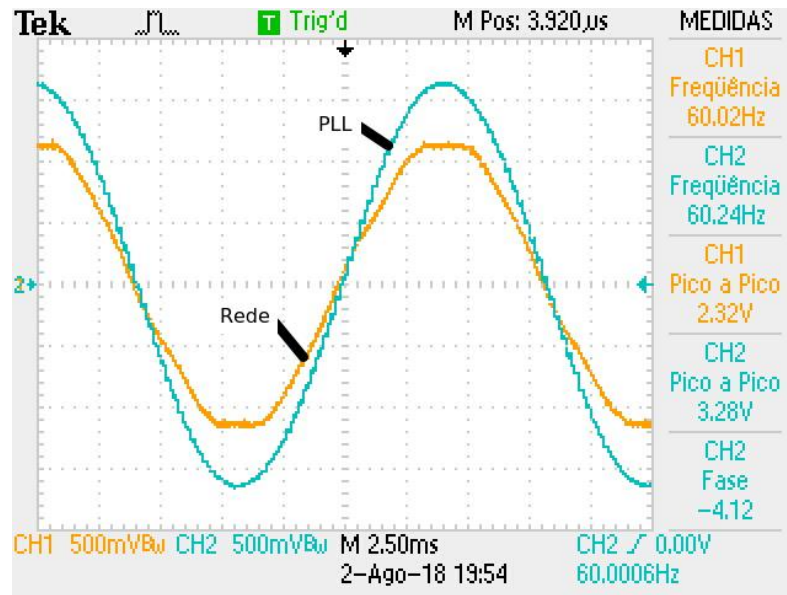
Fonte: Elaboração própria (2018).

6.3 Resultados do DPLL

Após testar os resultados do PLL em simulação, testou-se o mesmo no protótipo com a programação feita no TMS320F28335. Para este teste, foi ligada a entrada do autotransformador na entrada do sensor de tensão do protótipo. No microcontrolador, o resultado do PLL foi colocado em uma saída PWM e filtrado, através de um filtro RC passa baixas, de modo a formar um conversor digital-analógico (DAC) simples. Com esta estratégia foi possível verificar se o PLL estava de acordo com o esperado.

Como se pode observar na [Figura 61](#), o sinal de PLL obtido tem a mesma frequência da rede elétrica. Pela imagem também se considera que o mesmo está em fase com a rede. Com estes dois resultados, conclui-se que o sinal gerado é satisfatório, e com o valor de amplitude correto produzirá a referência esperada para o pleno funcionamento do controlador.

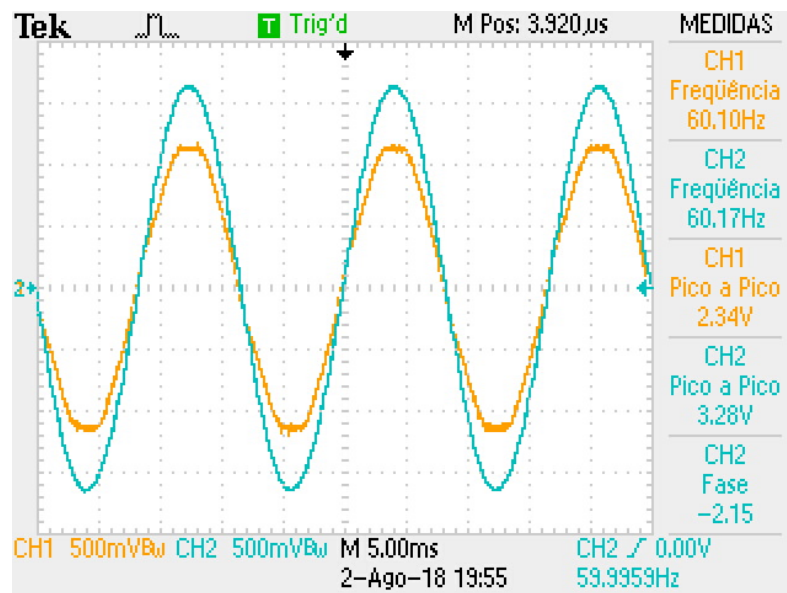
Figura 61 – Sinal de sincronismo via PLL.



Fonte: Elaboração própria (2018).

A Figura 62 mostra o mesmo sinal com uma escala de tempo maior para melhor visualização dos períodos do mesmo.

Figura 62 – Sinal de sincronismo via PLL com escala de tempo maior.



Fonte: Elaboração própria (2018).

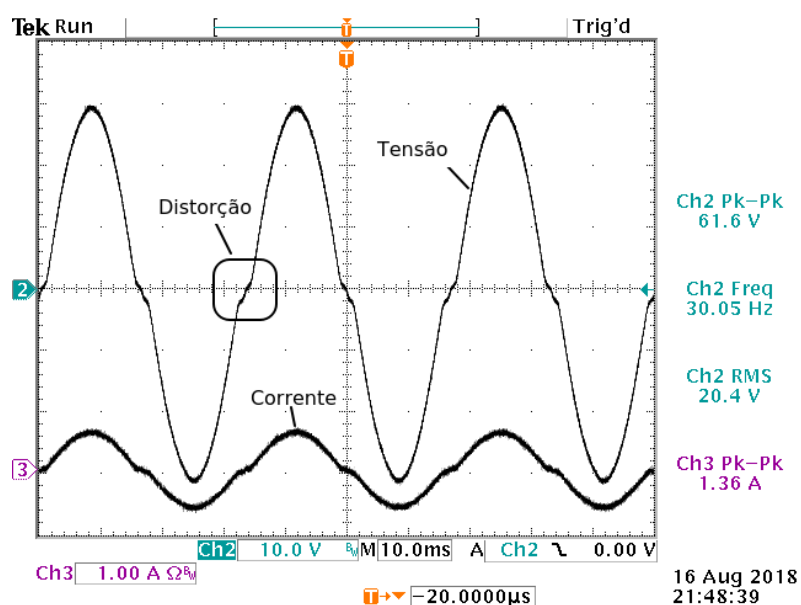
6.4 Resultados em malha aberta

Para executar os testes do conversor CC-CA em malha aberta, implementou-se um *firmware* no microcontrolador que executava o PWM senoidal com modulação

3 níveis. Este trabalhou com um índice de modulação fixo de 0,9. Com uma entrada em corrente contínua no mesmo valor do projeto e uma resistência de carga de $14,5 \Omega$, esperou-se obter na saída 27 V eficaz. Uma outra configuração importante feita foi o chamado *deadtime*, ou tempo morto, necessário entre o chaveamento de dois transistores localizados no mesmo braço da ponte. Como os tempos de subida e descida dos MosFETs não são zero, é necessário evitar que entre o chaveamento de um e desligamento de outro não haja um curto circuito que prejudique todo o sistema. Sendo assim, configura-se no microcontrador um valor de tempo de atraso entre o chaveamento de um transistor e desligamento de outro (*deadtime*). Inicialmente, configurou-se este tempo em 500 ns, e obteve-se o resultado mostrado na [Figura 63](#).

Percebe-se que os sinais mostrados na imagem possuem uma distorção bastante evidente no cruzamento por zero. Verificou-se que esta era devida à configuração do tempo morto, que estava alto, e a algumas falhas na construção do indutor de filtragem do conversor CC–CA. Como solução, construiu-se um novo indutor, com núcleo maior e mais espiras para evitar saturação, e testou-se o chaveamento dos transistores individualmente em busca de um limite menor para o *deadtime*. Com isto, concluiu-se que o mesmo poderia ser configurado em 347 ns.

Figura 63 – Resultado da saída do conversor CC–CA em malha aberta.

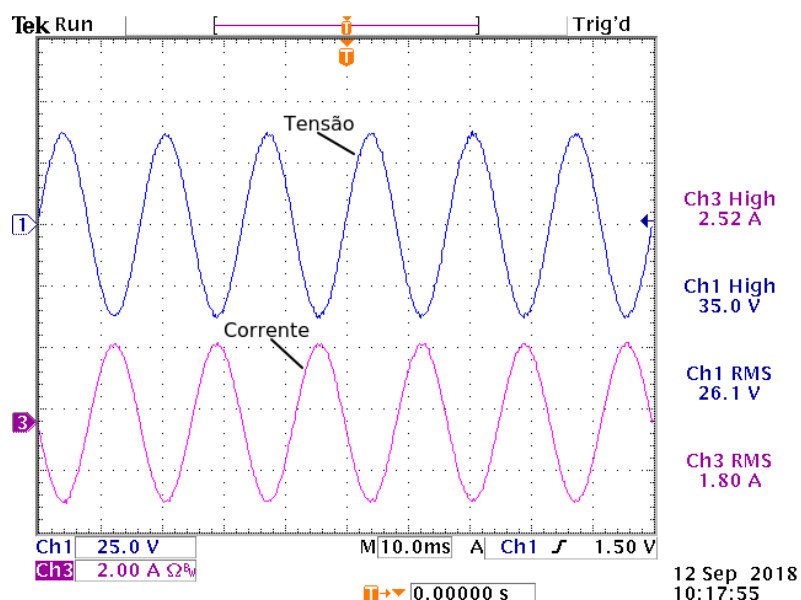


Fonte: Elaboração própria (2018).

Após a implementação das mudanças citadas acima, novos testes foram executados, chegando-se aos resultados apresentados na [Figura 64](#). Como se pode ver na imagem, a distorção agora desapareceu e a tensão de saída melhorou seu resultado significativamente. Nesta mesma figura, a corrente aparece invertida por conta de a ponteira de medição ter sido ligada com sentido invertido também, no entanto aparece

com valor eficaz melhorado em relação ao resultando anterior.

Figura 64 – Resultado da saída do conversor CC–CA em malha aberta com as melhorias na programação e protótipo.

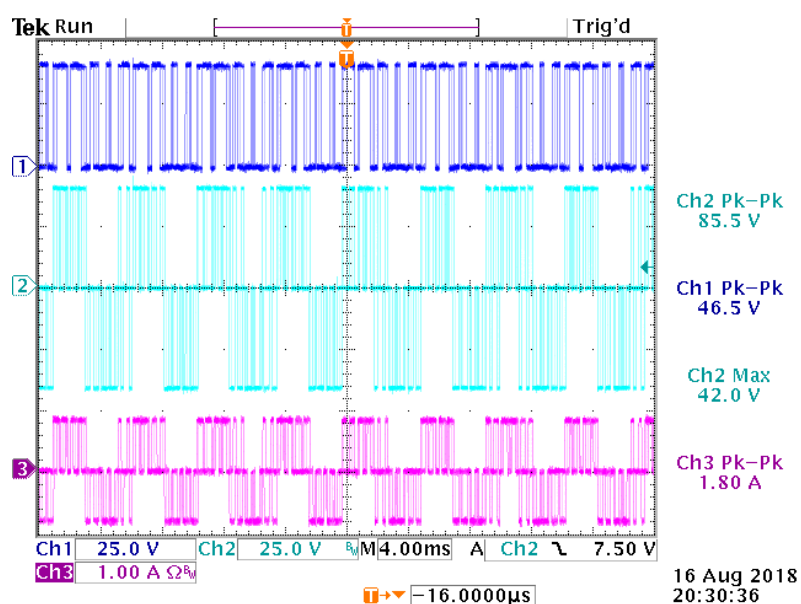


Fonte: Elaboração própria (2018).

Além disso, neste teste também foi utilizado o algoritmo, anteriormente testado, do PLL para sincronizar a tensão de saída com a rede elétrica e fazer com que a saída tivesse frequência de 60 Hz. Nas imagens em malha fechada será visto que o sentido da corrente está correto e em fase com a tensão.

Por fim, a [Figura 65](#) mostra o resultado do conversor CC–CA sem o filtro passa baixas *LC*. Para esta medida, foi conectada uma carga resistiva no ponto central da ponte completa que constitui o conversor CC–CA. De cima para baixo são vistas três formas de onda, sendo 1) o chaveamento do PWM do primeiro transistor da ponte, 2) a tensão de saída, entre os dois braços da ponte e 3) a corrente de saída. Constata-se, principalmente nas formas de onda da tensão e da corrente, que elas possuem o comportamento esperado quando se utiliza uma modulação a 3 níveis, mostrando que o sistema está funcionando em acordo com a teoria mostrada neste trabalho.

Figura 65 – Resultado da saída do conversor CC–CA sem o filtro passa baixas.



Fonte: Elaboração própria (2018).

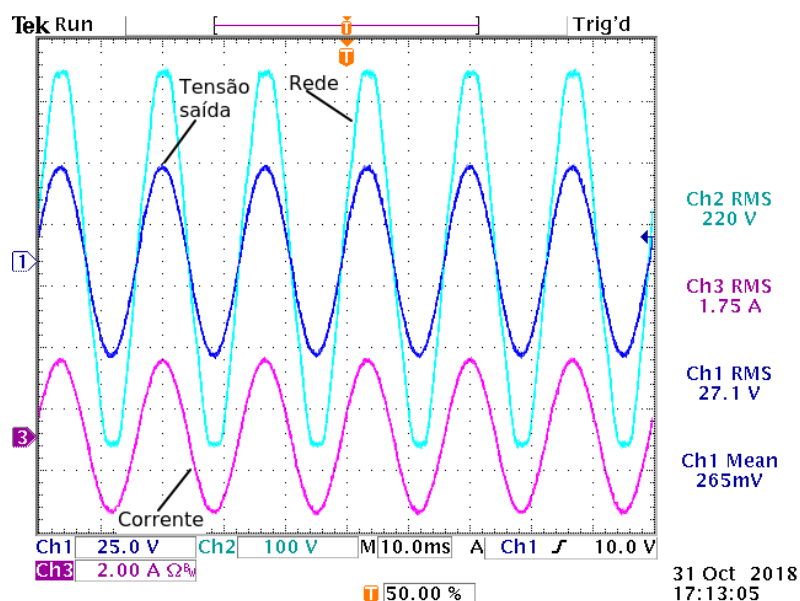
6.5 Resultados em malha fechada

Após os testes em malha aberta com as melhorias feitas, testou-se o conversor CC–CA em malha fechada com o projeto do controlador com rastreamento de referência senoidal e com o observador de ordem mínima, testados em simulação anteriormente. Para isso, implementou-se toda a programação de ambos no microcontrolador, bem como a do PLL, que já estava pronta desde o teste do mesmo. Para o chaveamento dos transistores foi utilizada a mesma lógica implementada nos testes de malha aberta, exceto que agora a ação de controle não é mais fixa, mas depende do controlador, a uma frequência fixa de 24 kHz, que é a mesma frequência de amostragem. As entradas dos sensores de tensão passaram pelo condicionamento de sinais, assim como nos testes em malha aberta, e após serem capturadas pelo conversor analógico digital, foram transformadas para terem as mesmas amplitudes originais e assim serem utilizadas no programa. Estes testes também ocorreram com uma resistência de carga de 14,5 Ω , sendo que o valor nominal era de 13,64 Ω .

Deste modo, estes testes foram executados em duas etapas. Primeiro, o conversor CC–CA em malha fechada foi testado com uma entrada *CC* e após os resultados serem verificados, ele foi testado em malha fechada sendo alimentado pelo retificador de onda completa. O retificador foi alimentado da mesma forma que em seu teste individual.

A Figura 66 mostra o resultado para a tensão e corrente de saída em malha fechada, com o conversor CC–CA sendo alimentado por uma fonte *CC*.

Figura 66 – Resultado da saída do conversor CC–CA em malha fechada com fonte CC na entrada.

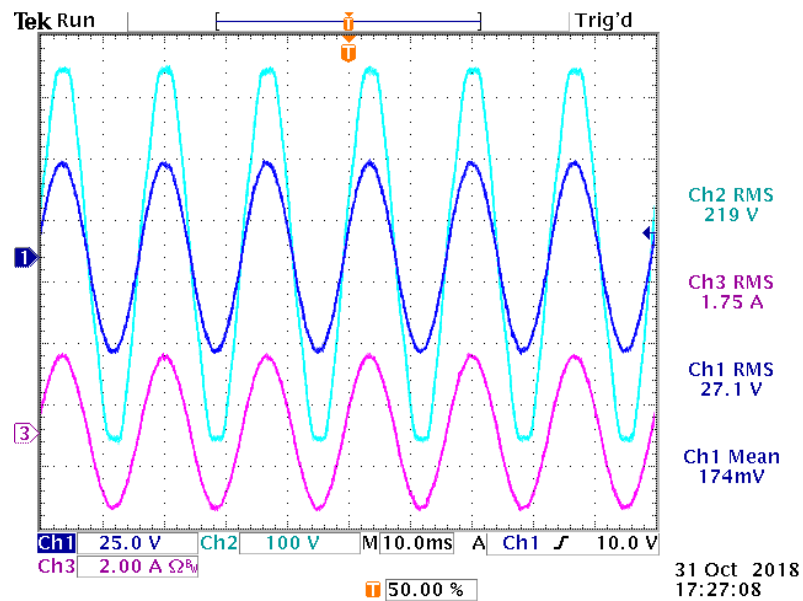


Fonte: Elaboração própria (2018).

Como se pode observar, a tensão de saída atinge o objetivo de 27 V eficaz e está em fase com a tensão da rede elétrica. Este resultado permite supor que tanto o controlador, quanto o observador, estão funcionando da maneira esperada e o sinal de sincronismo gerado pelo DPLL está mantendo a saída em fase e na mesma frequência da rede elétrica, como desejado para o conversor híbrido. Verifica-se também que a corrente possui boa forma de onda, sem distorções consideráveis e com uma amplitude abaixo do nominal de 2 A eficaz, em função da menor resistência de carga e perdas existentes dentro do circuito.

Na sequência, executou-se um novo teste na mesma configuração, porém com o conversor CC–CA sendo alimentado pelo retificador de onda completa. Como se pode ver na [Figura 67](#), o resultado é bastante parecido com o anterior, mostrando que independente da fonte de alimentação, e se a mesma estiver dentro dos limites especificados no projeto, o controlador e o observador manterão a saída do conversor CC–CA dentro do desejado e estável.

Figura 67 – Resultado da saída do conversor CC–CA em malha fechada com retificador de onda completa na entrada.



Fonte: Elaboração própria (2018).

7 CONCLUSÃO

Após o término deste trabalho, verifica-se que a modelagem, tanto do conversor CC–CA quanto do conversor híbrido, baseada na estratégia de modelagem de conversores CC–CC, é válida e obtém resultados que possibilitaram a construção de um projeto de controle com observadores. Estes puderam ser implementados e testados em simulação com sucesso, comprovando a validade dos sistemas e seu aspecto inovador. O estudo dos conversores envolvidos proporcionou o conhecimento necessário para a criação de um sistema com vários módulos diferentes que se comunicavam de maneira adequada, possibilitando o funcionamento do conversor como um todo.

As estratégias de controle estudadas e implementadas também se mostraram satisfatórias e de acordo com a teoria encontrada, visto que as regras descritas em livros e trabalhos acadêmicos se mostraram verdadeiras. Sendo assim, o rigor em seu entendimento e sua correta aplicação levaram a um projeto com os resultados esperados. Conforme visto nestes, o conversor CC–CA respondeu adequadamente ao projeto de controle com observador, sendo alimentado por um retificador de onda completa. O sinal de saída estava em fase com a tensão de entrada, mostrando que a geração do sinal de sincronismo funcionou de maneira correta.

Os resultados de simulação do conversor híbrido completo também mostraram um funcionamento adequado com a tensão de saída controlada dentro da faixa esperada e sincronizada com a tensão de entrada. Infelizmente seus resultados em bancada não puderam ser computados em função de alguns problemas no protótipo desenvolvido e da falta de tempo para resolvê-los. Um dos problemas encontrados ocorreu durante os testes do chaveamento dos relés dos *taps* com uma carga resistiva. No momento da comutação, verificou-se um ruído conduzido que fazia os relés mudarem de estado várias vezes até o sistema atuar uma proteção e desligar. Um outro problema foi que no momento da inicialização do conversor híbrido ocorria uma sobrecarga que rompia alguma trilha do sistema. Buscou-se isolar o problema através de testes com alimentação CC no conversor CC–CA, e com uma tensão fixa na saída do estabilizador (sem o chaveamento dos relés), mas ainda assim o problema persistia.

Com isto, sugere-se como melhoria e continuação do trabalho, a revisão do protótipo com vistas a tornar o fluxo de sinais mais controlável, no sentido de se conseguir verificar os sinais em mais pontos. Verificar possíveis problemas com ruído conduzido, principalmente no comando de chaveamento dos relés. Construir mais mecanismos de proteção em *firmware*, para que se tenha certeza de que cada parte

do programa entra em operação no momento em que uma anterior já esteja estável. E criar funções para obtenção de arquivos de *log* do sistema, para, posteriormente aos testes, verificar como estão as formas de onda dos sinais internos ao microcontrolador.

Ainda, para continuação do trabalho, sugere-se teste de transitório de carga com cargas resistivas e posteriormente indutivas. Testes de transitório de entrada, chaveamento dos relés e o teste com o protótipo completo verificando sua tensão e corrente de saída.

REFERÊNCIAS

AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA. *Procedimentos de distribuição de energia elétrica no sistema elétrico nacional — PRODIST: Módulo 8 — qualidade da energia elétrica*. [S.l.], 2018. 88 p. Citado na página 21.

ALMEIDA, B. R. *Controle Digital de um Condicionador de Tensão Alternada*. 120 f. Monografia (Trabalho de Conclusão de Curso) — Curso Superior de Tecnologia em Sistemas Eletrônicos, Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina, Florianópolis, 2009. Citado 2 vezes nas páginas 21 e 41.

ANDRADE, J. M. de. *Desenvolvimento de um sistema de potência configurável para ensaio de componentes magnéticos*. 174 f. Monografia (Trabalho de Conclusão de Curso) — Curso Superior de Tecnologia em Sistemas Eletrônicos, Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina, Florianópolis, 2015. Citado 3 vezes nas páginas 69, 70 e 103.

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. *NBR 14373: Estabilizadores de tensão de corrente alternada — potências até 3 kva/3 kw*. Rio de Janeiro, 2006. 66 p. Citado 2 vezes nas páginas 16 e 21.

BARBI, I. *Eletrônica de potência: projetos de fontes chaveadas*. Florianópolis: Ed. do Autor, 2007. 334 p. Citado na página 23.

ERICKSON, R. *Power Electronics*. 5. ed. Rio de Janeiro: [s.n.], 2000. Citado 3 vezes nas páginas 27, 28 e 29.

GIL, A. C. *Como elaborar projetos de pesquisa*. São Paulo: Atlas, 2007. Citado na página 45.

GOMES, C. E. M. *Controle digital de um condicionador de tensão alternada usando PLL para obtenção do sinal de referência*. 132 f. Tese (Mestrado em Engenharia Elétrica) — Universidade Federal de Santa Catarina, Florianópolis, 2007. Citado 3 vezes nas páginas 41, 42 e 43.

HART, D. W. *Eletrônica de Potência: Análise e projetos de circuitos*. Porto Alegre: AMGH, 2012. 480 p., 25 cm. ISBN 978-85-8055-045-0. Citado na página 23.

IGLESIAS, P. A. *Eigenvalue placement using state feedback*. Baltimore: [s.n.], 2013. PDF das notas de aula da unidade curricular Control Systems Design. Disponível em: <<https://www.ece.jhu.edu/~pi/Courses/454/Notes5.pdf>>. Acesso em: 16 nov. 2018. Citado 2 vezes nas páginas 32 e 33.

KARK, J. *Active low-pass filter design*. Dallas: Texas Instruments, 2002. Application report SLOA049B. Citado 2 vezes nas páginas 71 e 72.

LATHI, B. P. *Sinais e sistemas lineares*. Porto Alegre: Boohman, 2007. 856 p. ISBN 85-60031-13-8. Citado 2 vezes nas páginas 40 e 71.

MARTINS, D. C.; BARBI, I. *Introdução ao estudo dos conversores CC–CA*. Florianópolis: Ed. dos Autores, 2005. 394 p. Citado 7 vezes nas páginas 24, 25, 26, 60, 61, 62 e 63.

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. *Power Electronics: Converters, applications and design*. Hoboken: WILEY, 2002. 824 p. ISBN 978-0-471-22693-2. Citado 2 vezes nas páginas 22 e 25.

OGATA, K. *Engenharia de controle moderno*. São Paulo: Pearson Prentice Hall, 2010. Citado 8 vezes nas páginas 30, 31, 32, 34, 35, 36, 37 e 38.

PETRY, C. A. *Estabilizadores de tensão alternada para alimentação de cargas não lineares: estudo de variações topológicas e métodos de controle*. 259 f. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal de Santa Catarina, Florianópolis, 2005. Citado na página 39.

PETRY, C. A. Metodologia de projeto de retificadores com filtro capacitivo. *Ilha Digital* — Revista Ilha Digital IFSC, Florianópolis, v. 3, p. 77–85, 2012. Citado na página 54.

PETRY, C. A. *Modulação PWM senoidal*. Florianópolis: [s.n.], 2013. PDF dos slides de aula da unidade curricular Eletrônica de Potência. Disponível em: <http://www.professorpetry.com.br/Ensino/Repositorio/Docencia_CEFET/Eletronica_Potencia/2013_2/Apresentacao_Aula_19.pdf>. Acesso em: 02 nov. 2018. Citado na página 25.

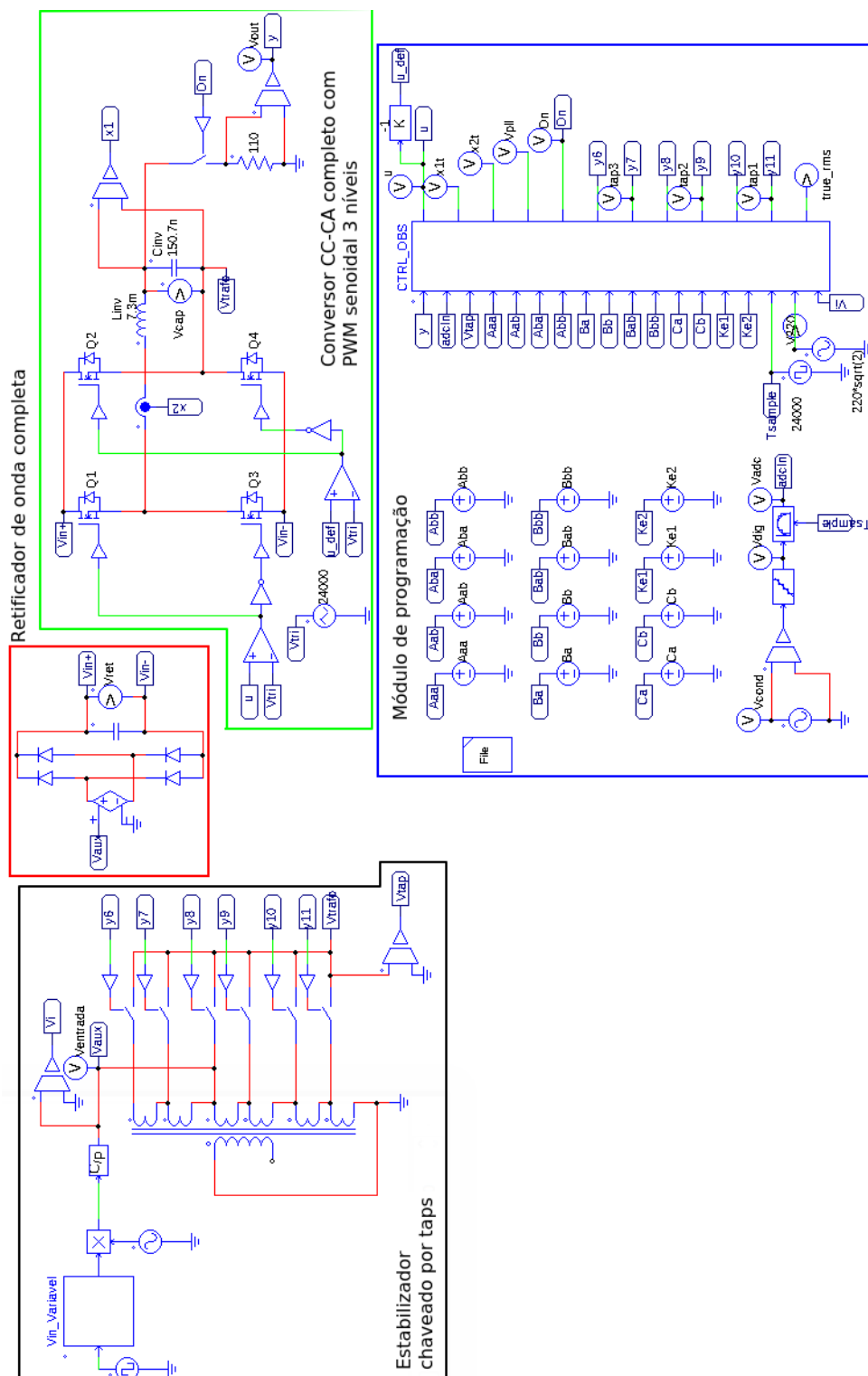
PETRY, C. A. et al. Desenvolvimento de conversores estáticos ca–ca híbridos. Florianópolis, p. 1–6, nov. 2016. Citado 2 vezes nas páginas 17 e 19.

THE INSTITUT OF ELECTRICAL AND ELECTRONICS ENGINEERS. *IEEE Standards on Transition, Pulses, and Related Waveforms*. New York, 2003. 63 p. Citado na página 40.

Apêndices

APÊNDICE A – CIRCUITO COMPLETO DE SIMULAÇÃO DO CONVERSOR HÍBRIDO CONTROLADO

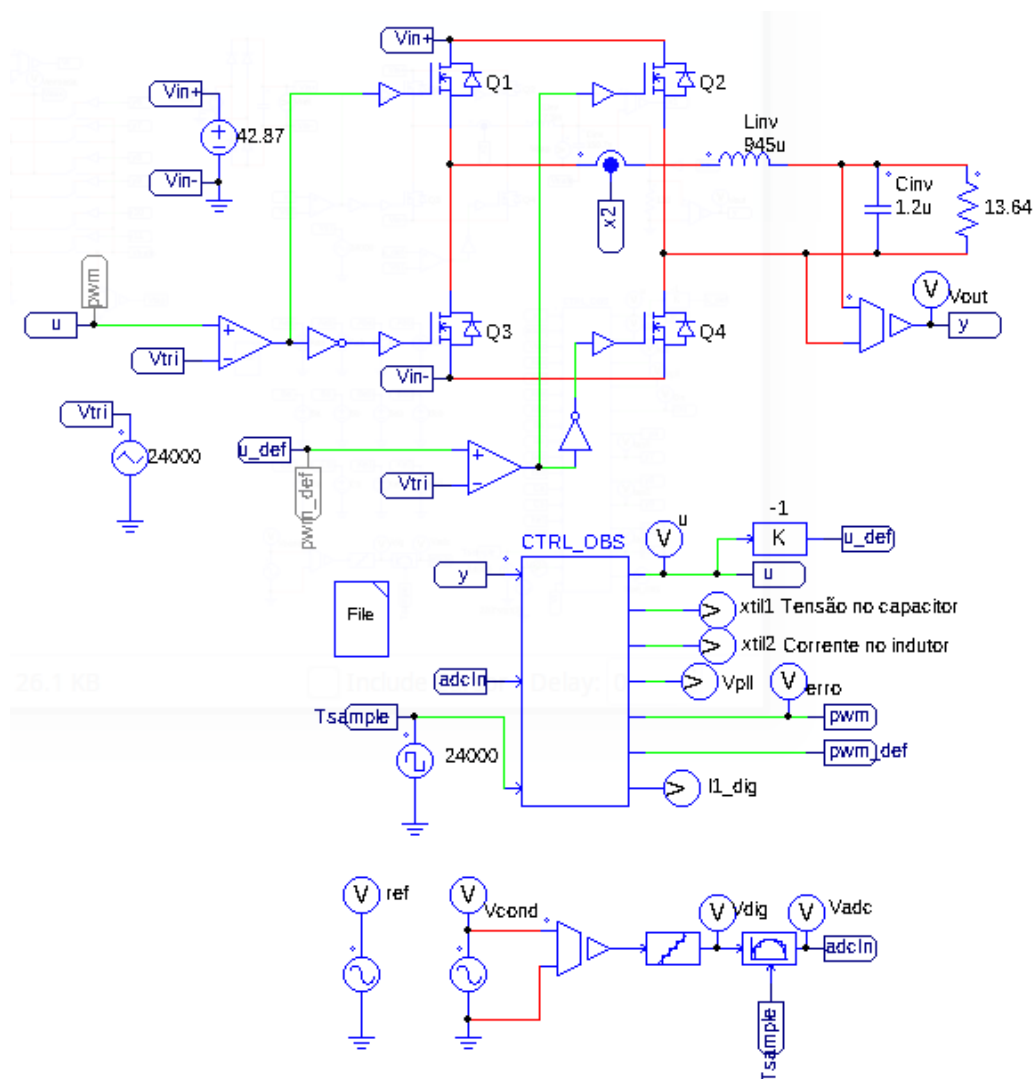
Figura 68 – Circuito de simulação completo do conversor híbrido controlado.



Fonte: Elaboração própria (2018).

APÊNDICE B – CIRCUITO COMPLETO DE SIMULAÇÃO DO CONVERSOR CC-CA CONTROLADO

Figura 69 – Circuito de simulação completo do conversor CC-CA controlado.



Fonte: Elaboração própria (2018).

APÊNDICE C – PROGRAMAÇÃO BÁSICA DO TMS320F28335

```

1 #include "DSP2833x_Device.h"
2 #include "stdlib.h"
3 #include "math.h"
4
5 // Defines
6 #define MSG_LEN      5           // Serial Communication
7 #define BUF_LEN      400        // RMS calc input buffer
8 #define AVG_LEN      12000      // RMS calc average buffer
9 #define SLOPE         0.198     // Angular coef. of line equation to
    normalize input data
10 #define INTERCEPT  398.848986 // Linear coef. of line equation to
    normalize input data
11 #define TRANS         3./4095.  // Constant of ADC conversion
12
13 // External Function prototypes
14 extern void InitAdc(void);
15 extern void InitSysCtrl(void);
16 extern void InitPieCtrl(void);
17 extern void InitPieVectTable(void);
18 extern void InitCpuTimers(void);
19 extern void ConfigCpuTimer(struct CPUTIMER_VARS *, float, float);
20 extern void InitFlash(void);
21
22 // Symbols used as parameter for "memcpy()" as externals
23 extern unsigned int  RamfuncsLoadStart;
24 extern unsigned int  RamfuncsLoadEnd;
25 extern unsigned int  RamfuncsRunStart;
26
27 // Prototype statements for functions found within this file.
28 void Gpio_select(void);
29 void SCIA_init(void);
30 void Config_ADC(void);
31 void Setup_ePWM1(void);
32 interrupt void cpu_timer0_isr(void); // Prototype for Timer 0 Interrupt
    Service Routine
33 interrupt void SCIA_TX_isr(void);    // SCI-A Transmit Interrupt Service
34 interrupt void adc_isr(void);        // ADC End of Sequence ISR
35 float RMS_calc(void);
36 void PLL_calc(void);
37 void Controlador(void);
38 void Controlador_senoidal(void);
39 void Controlador_estabilizador(void);
40 void Controlador_offset(void);

```

```

41
42 // Global Variables
43 char message[MSG_LEN];
44 int index =0;           // index variable into message
45 float valor = 0;
46 int sci_flag=0;
47
48 //                      main code
49
50 void main(void)
51 {
52     InitSysCtrl(); // Basic Core Initialization
53                 // SYSCLK=150MHz, HISPCLK=75MHz, LSPCLK=37.5MHz
54     memcpy(&RamfuncsRunStart, &RamfuncsLoadStart, &RamfuncsLoadEnd - &
RamfuncsLoadStart);
55     InitFlash(); // call InitFlash in RAM (SARAM - L0)
56     EALLOW;
57     SysCtrlRegs.WDCR= 0x00AF; // Re-enable the watchdog
58     EDIS; // 0x00E8 to disable the Watchdog , Prescaler = 1
59           // 0x00AF to NOT disable the Watchdog, Prescaler = 64
60     Gpio_select();
61     InitPieCtrl(); // default status of PIE; in DSP2833x_PieCtrl.c
62     InitPieVectTable(); // init PIE vector table; in DSP2833x_PieVect.c
63     InitAdc(); // Basic ADC setup, incl. calibration
64     Config_ADC(); // Configuration of ADC channels and start
65     Setup_ePWM1(); // init of ePWM1
66     // re-map PIE - entry for Timer 0 Interrupt and SCI-A-TX
67     EALLOW;
68     PieVectTable.TINT0 = &cpu_timer0_isr;
69     PieVectTable.SCITXINTA = &SCIA_TX_isr;
70     PieVectTable.ADCINT = &adc_isr;
71     EDIS;
72     InitCpuTimers(); // Function in: DSP2833x_CpuTimers.c
73     ConfigCpuTimer(&CpuTimer0, 150, 100); // DSP2833x_CpuTimers.c
74     SCIA_init(); // Initialize SCI
75     PieCtrlRegs.PIEIER1.bit.INTx7 = 1; // Cpu Timer 0 isr
76     PieCtrlRegs.PIEIER1.bit.INTx6 = 1; // ADC
77     PieCtrlRegs.PIEIER9.bit.INTx2 = 1; // SCI-A-TX-isr
78     IER = 0x101; // Enable CPU INT1 (CPU-Timer 0) and INT9 (SCIA-TX):
79     // Enable global Interrupts and higher priority real-time debug events:
80     EINT; // Enable Global interrupt INTM
81     ERTM; // Enable Global realtime interrupt DBGM
82     CpuTimer0Regs.TCR.bit.TSS = 0; // Start T0
83     while(1)
84     {
85         SciaRegs.SCITXBUF=message[index++]; // send first character
86

```

```
87     while (CpuTimer0.InterruptCount < 5000)    // 5000 * 100us = 0.5 sec
88     {
89         EALLOW;
90         SysCtrlRegs.WDKEY = 0xAA;              // Service watchdog #2
91         EDIS;
92     }
93     Itoa (valor ,message);
94     index =0;
95     CpuTimer0.InterruptCount = 0;
96     GpioDataRegs.GPBTOGGLE.bit.GPIO49 = 1; // toggle LED at GPIO49
97 }
98 }
```

APÊNDICE D – PROGRAMAÇÃO DO *TRUE RMS* E DO CHAVEAMENTO DOS *TAPS*

```

1 float RMS_calc(void)
2 {
3     static unsigned int n = 0;
4     static unsigned int flag = 0, count = 0;
5     static float Vi = 0;
6     static float buffer[BUF_LEN];
7     static float adder_square = 0;
8     static float true_rms = 0;
9
10    if (flag == 0) {
11        count++;
12        if (count >= 60000) flag = 1;
13    } else {
14
15        if (GpioDataRegs.GPADAT.bit.GPIO24 == 0) { // Start/Stop
16
17            Vi = (SLOPE * AdcMirror.ADCRESULT0) - INTERCEPT;
18            adder_square = adder_square + (Vi*Vi) - buffer[n];
19            buffer[n] = (Vi*Vi);
20            true_rms = sqrt(adder_square/BUF_LEN);
21            n++;
22            if (n > (BUF_LEN-1)) n = 0;
23
24            if ( (true_rms > 180) && (true_rms < 268) ){
25                GpioDataRegs.GPASET.bit.GPIO10 = 1;
26
27                if ( (true_rms > 180) && (true_rms < 207) ){
28                    //Vtap = true_rms*1.0703*sqrt(2)*cosf(theta1));
29                    GpioDataRegs.GPACLEAR.bit.GPIO4 = 1;
30                    GpioDataRegs.GPASET.bit.GPIO11 = 1;
31                }
32                else if ( (true_rms > 203) && (true_rms < 236) ){
33                    //Vtap = true_rms*0.9372*sqrt(2)*cosf(theta1));
34                    GpioDataRegs.GPACLEAR.bit.GPIO4 = 1;
35                    GpioDataRegs.GPACLEAR.bit.GPIO11 = 1;
36                }
37                else if ( (true_rms > 232) && (true_rms < 268) ){
38                    //Vtap = true_rms*0.8207*sqrt(2)*cosf(theta1));
39                    GpioDataRegs.GPASET.bit.GPIO11 = 1;
40                    GpioDataRegs.GPASET.bit.GPIO4 = 1;
41                }
42            } else {

```

```
43         GpioDataRegs.GPACLEAR.bit.GPIO10 = 1;
44     }
45
46     } else {
47         n = 0; Vi = 0;
48         adder_square = 0; true_rms = 0;
49         GpioDataRegs.GPACLEAR.bit.GPIO4 = 1;
50         GpioDataRegs.GPACLEAR.bit.GPIO10 = 1;
51         GpioDataRegs.GPACLEAR.bit.GPIO11 = 1;
52         for (n=0; n<(BUF_LEN);n++){
53             buffer[n]=0;
54         }
55     }
56 }
57 return true_rms;
58 }
```

APÊNDICE E – PROGRAMAÇÃO DO DPLL

```

1 void PLL_calc(void)
2 {
3     static float ptri1 = 0.0;
4     static float ptri0 = 0.0;
5     static float theta1 = 0.0;
6     static float theta0 = 0.0;
7     static float u1 = 0.0;
8     static float u0 = 377.0;
9     static float Vin = 0.0;
10
11     if (GpioDataRegs.GPADAT.bit.GPIO24 == 0) { // Start/Stop
12         //GpioDataRegs.GPBCLEAR.bit.GPIO60 = 1;
13         Vin = (AdcRegs.ADCRESULT0>>4)*TRANS -1.4974;
14
15         ptri1 = Vin*sinf(theta1) + 0.5*sinf(2*theta1); // potencia
16         //trifasica
17         u1 = 116.0729f*ptri1 - 115.927f*ptri0 + u0; // controle PI
18         theta1 = (20.833e-6)*(u1 + u0) + theta0; // integrador
19         if (theta1 > 6.283184) theta1 = 0.0; // limites entre 0 e 2pi
20         if (theta1 < 0.0) theta1 = 0.0; // limites entre 0 e 2pi
21         //EPwm1Regs.CMPA.half.CMPA = ((Vref+1.0)*EPwm1Regs.TBPRD)/2;
22         EPwm1Regs.CMPA.half.CMPA = (0.5 + 0.45*cosf(theta1))*EPwm1Regs.
23         TBPRD;
24         EPwm4Regs.CMPA.half.CMPA = (0.5 + 0.45*cosf(theta1 + 3.141592))*
25         EPwm4Regs.TBPRD;
26
27         ptri0 = ptri1;
28         u0 = u1;
29         theta0 = theta1;
30
31         //GpioDataRegs.GPBCLEAR.bit.GPIO60 = 1;
32     } else {
33         ptri1 = 0.0; ptri0 = 0.0;
34         theta1 = 0.0; theta0 = 0.0;
35         u1 = 0.0; u0 = 377.0;
36         Vin = 0.0;
37         EPwm1Regs.CMPA.half.CMPA = 1562;
38         EPwm4Regs.CMPA.half.CMPA = 1562;
39     }
40 }

```

APÊNDICE F – PROGRAMAÇÃO DO CONTROLADOR DO CONVERSOR HÍBRIDO

```

1 void Controlador_estabilizador(void)
2 {
3     static float y = 0.0;
4     static float ref = 0.0;
5     static float Vtap;
6     static float u = 0.0;
7     static float Wo = -1.421223033756867e+05;
8     static float erro = 0.0;
9     static float xtil1 = 0.0;
10    static float xtil2 = 0.0;
11
12    static float Aaa = -6.060606060606061e+04;
13    static float Aab = 6.666666666666667e+06;
14    static float Aba = -1.371742112482853e+02;
15    static float Abb = 0.0;
16    static float Ba = 0.0;
17    static float Bb = 5.880658436213992e+03;
18    static float Bab = -6.060606060606061e+04;
19    static float Bbb = 0.0;
20    static float Ca = 1.0;
21    static float Cb = 0.0;
22
23    static float Ke1 = -3.180606060606061e+04;
24    static float Ke2 = -48.169404990847916;
25
26    static float Kch1 = -0.002869612280688;
27    static float Kch2 = 1.066465394080616;
28    static float KI = 6.667328581483899e+04;
29    static float KII = 55.788492935957734;
30
31    static float v1 = 0.0;      // v(k)
32    static float v0 = 0.0;      // v(k-1)
33    static float w0 = 0.0;      // w(k-1)
34    static float w1 = 0.0;      // w(k)
35    static float p1 = 0.0;      // p(k)
36    static float p0 = 0.0;      // p(k-1)
37    static float q0 = 0.0;      // q(k-1)
38    static float q1 = 0.0;      // q(k)
39
40    static float n1 = 0.0;      // n(k)
41    static float n0 = 0.0;      // n(k-1)
42    static float m1 = 0.0;      // m(k)

```

```

43 static float m0 = 0.0;          // m(k-1)
44 static float l1 = 0.0;          // l(k)
45 static float l0 = 0.0;          // l(k-1)
46
47 if (GpioDataRegs.GPADAT.bit.GPIO24 == 0) { // Start/Stop
48     y = SLOPE*(AdcRegs.ADCRESULT1>>4) - INTERCEPT;
49     if (flag == 0) {
50         count++;
51         if (count >= 2800) flag = 1;
52     } else {
53         ref = 311.13*cosf(theta1);
54         v1 = (4.1667e-5)*w0 + v0; // integrador 1 do observador
55         p1 = (4.1667e-5)*q0 + p0; // integrador 2 do observador
56         n1 = (4.1667e-5)*m0 + n0; // integrador 2 da entrada
57         m1 = (4.1667e-5)*l0 + m0; // integrador 1 da entrada
58         xtil1 = v1;
59         xtil2 = p1;
60         u = n1*KI + m1*KII - xtil1*Kch1 - xtil2*Kch2;
61         if (u < -1.0) u = -1.0;
62         if (u > 1.0) u = 1.0;
63
64         EPwm1Regs.CMPA.half.CMPA = (Uint16)((1+u)*EPwm1Regs.TBPRD/2);
65         EPwm4Regs.CMPA.half.CMPA = (Uint16)((1-u)*EPwm4Regs.TBPRD/2);
66
67         l1 = ref - y + Wo*n1;
68         erro = y - (Vtap + Ca*v1 + Cb*p1);
69         w1 = Aaa*v1 + Aab*p1 + Ba*u + Bab*Vtap + Ke1*erro;
70         q1 = Aba*v1 + Abb*p1 + Bb*u + Bbb*Vtap + Ke2*erro;
71
72         v0 = v1;
73         p0 = p1;
74         w0 = w1;
75         q0 = q1;
76         n0 = n1;
77         m0 = m1;
78         l0 = l1;
79     }
80 } else {
81     u = 0.0; ref = 0.0; y = 0.0;
82     xtil1 = 0; xtil2 = 0;
83     v1 = 0; v0 = 0; w1 = 0; w0 = 0;
84     n1 = 0; n0 = 0; m1 = 0; m0 = 0; l1 = 0; l0 = 0;
85     EPwm1Regs.CMPA.half.CMPA = 1562;
86     EPwm4Regs.CMPA.half.CMPA = 1562;
87     flag = 0; count = 0;
88 }
89 }

```

APÊNDICE G – PROGRAMAÇÃO DO CONTROLADOR DO CONVERSOR CC-CA

```

1 void Controlador_senoidal(void)
2 {
3     static float y = 0.0;
4     static float ref = 0.0;
5
6     static float u = 0.0;
7
8     static float xtil1 = 0.0;
9     static float xtil2 = 0.0;
10
11     static float Ach = -6000; // -2000; // -1200;
12     static float Bch = -6.615183602538443e+02; //
13     static float Fch = 4.536507936507936e+04;
14     static float Dch2 = 0.0072; // 0.0024; // 0.00144; //
15
16     static float Kch1 = 0.004069268790361; // 0.003860985697360;
17     static float Kch2 = 8.921074032551632e-04; // 0.007309387635846;
18     static float KI = 1.796386394527969e+05; // 1.831224549506055e+05;
19     static float KII = 87.676668985579184; // 88.937371247302437;
20
21     static float v1 = 0.0; // v(k)
22     static float v0 = 0.0; // v(k-1)
23     static float w0 = 0.0; // w(k-1)
24     static float w1 = 0.0; // w(k)
25
26     static float n1 = 0.0; // n(k)
27     static float n0 = 0.0; // n(k-1)
28     static float m1 = 0.0; // m(k)
29     static float m0 = 0.0; // m(k-1)
30     static float l1 = 0.0; // l(k)
31     static float l0 = 0.0; // l(k-1)
32
33     if (GpioDataRegs.GPADAT.bit.GPIO24 == 0) { // Start/Stop
34
35         y = 0.0303566*(AdcRegs.ADCRESULT1>>4) - 61.851586;
36
37         ref = 38.56*cosf(theta1);
38
39         v1 = 0.00004167*w0 + v0; // integrador do observador
40         n1 = 0.00004167*m0 + n0; // integrador 2 da entrada
41         m1 = 0.00004167*l0 + m0; // integrador 1 da entrada

```

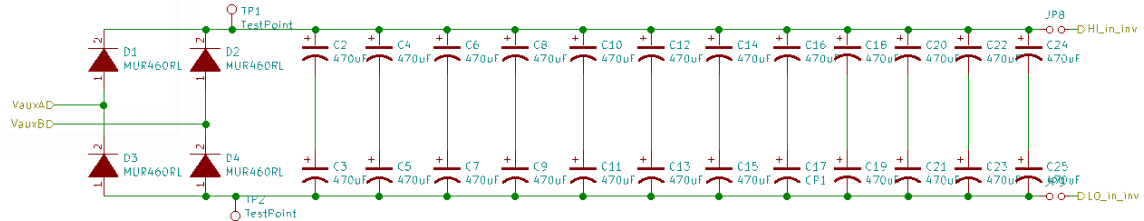
```

42     xtil1 = y;
43     xtil2 = v1 + y*Dch2;
44     u = n1*KI + m1*KII - xtil1*Kch1 - xtil2*Kch2;
45     if (u < -1.0) u = -1.0;
46     if (u > 1.0) u = 1.0;
47
48     EPwm1Regs.CMPA.half.CMPA = (Uint16)((1+u)*EPwm1Regs.TBPRD/2);
49     EPwm4Regs.CMPA.half.CMPA = (Uint16)((1-u)*EPwm4Regs.TBPRD/2);
50
51     l1 = ref - y + Wo*n1;
52     w1 = u*Fch + y*Bch + v1*Ach;
53
54     v0 = v1;
55     w0 = w1;
56     n0 = n1;
57     m0 = m1;
58     l0 = l1;
59
60 } else {
61     u = 0.0; ref = 0.0; y = 0.0;
62     xtil1 = 0; xtil2 = 0;
63     v1 = 0; v0 = 0; w1 = 0; w0 = 0;
64     n1 = 0; n0 = 0; m1 = 0; m0 = 0; l1 = 0; l0 = 0;
65     Vin = 0.0;
66     EPwm1Regs.CMPA.half.CMPA = 1562;
67     EPwm4Regs.CMPA.half.CMPA = 1562;
68 }
69 }

```

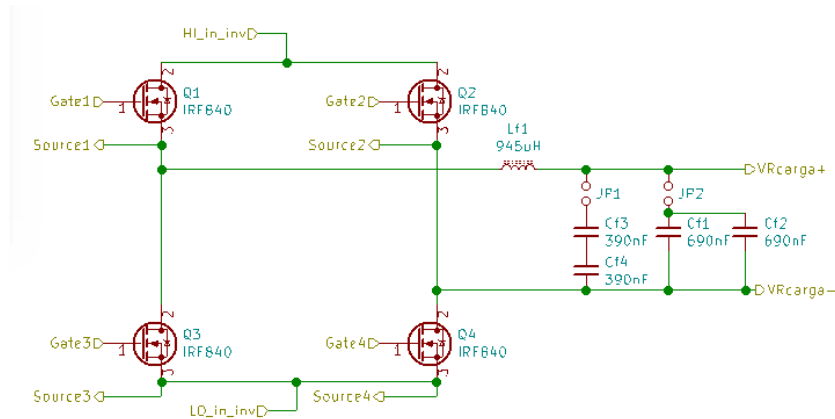
APÊNDICE H – ESQUEMÁTICOS E LEIAUTE FINAL DO PROTÓTIPO

Figura 70 – Esquemático do retificador de onda completa.



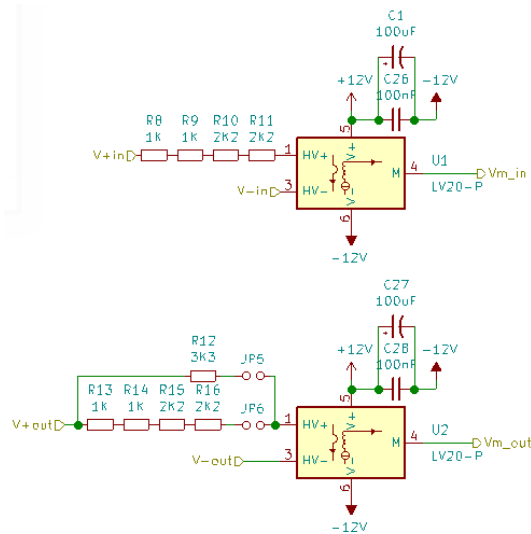
Fonte: Elaboração própria (2018).

Figura 71 – Esquemático do conversor CC-CA.



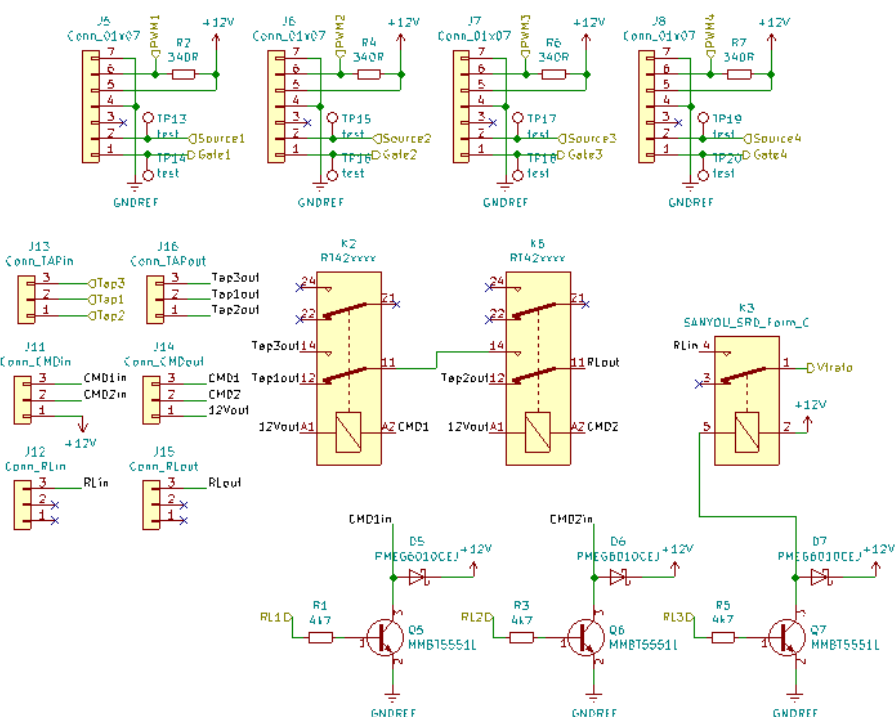
Fonte: Elaboração própria (2018).

Figura 72 – Esquemático dos circuitos dos sensores.



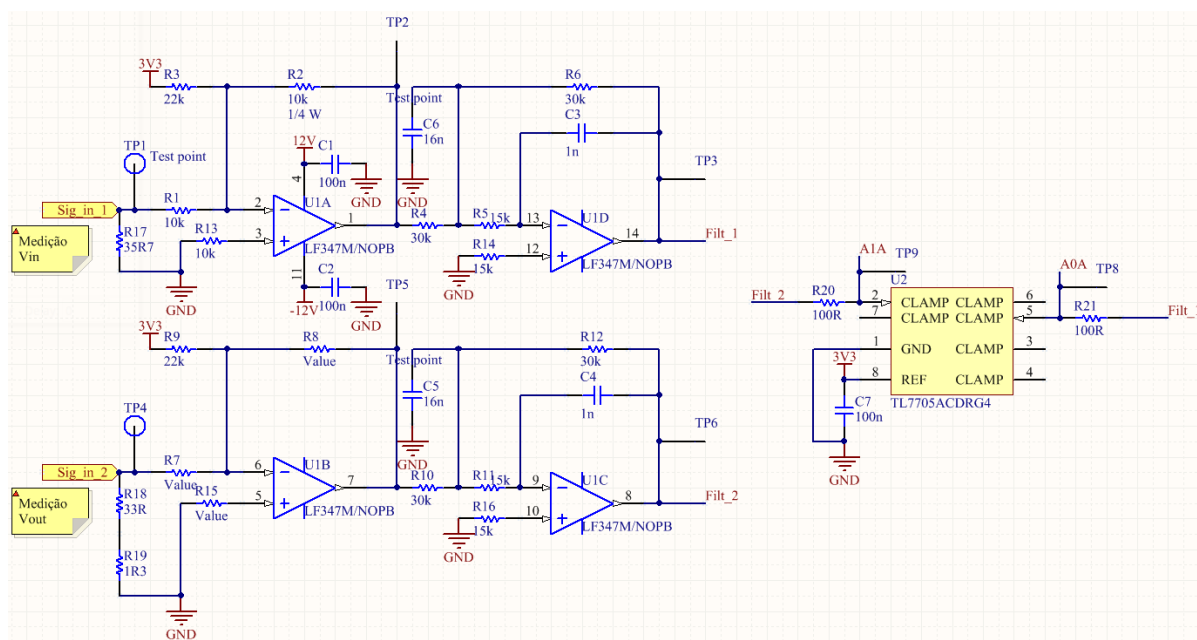
Fonte: Elaboração própria (2018).

Figura 73 – Esquemático dos circuitos de comando.



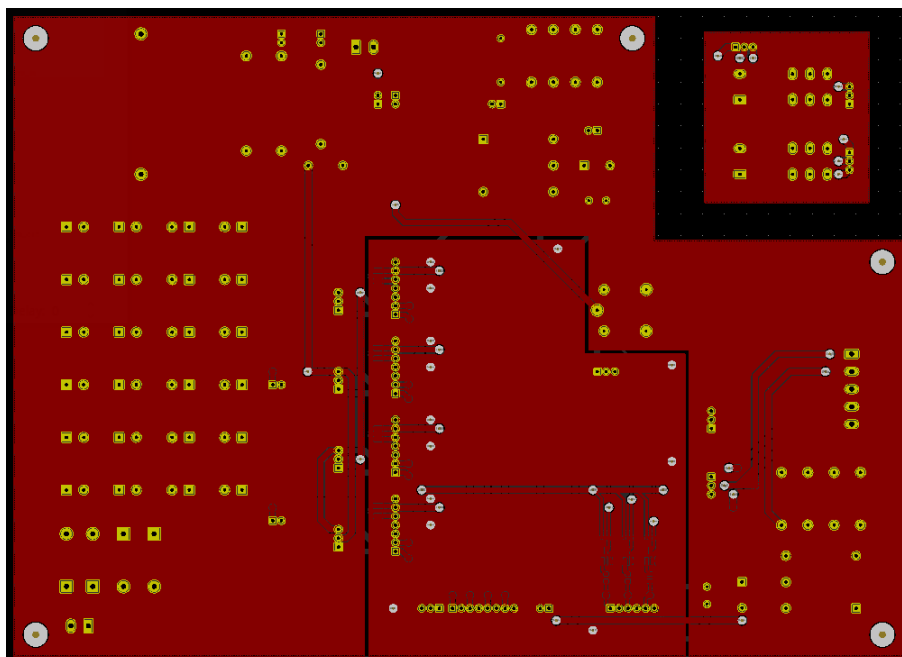
Fonte: Elaboração própria (2018).

Figura 74 – Esquemático dos filtros de condicionamento de sinais.



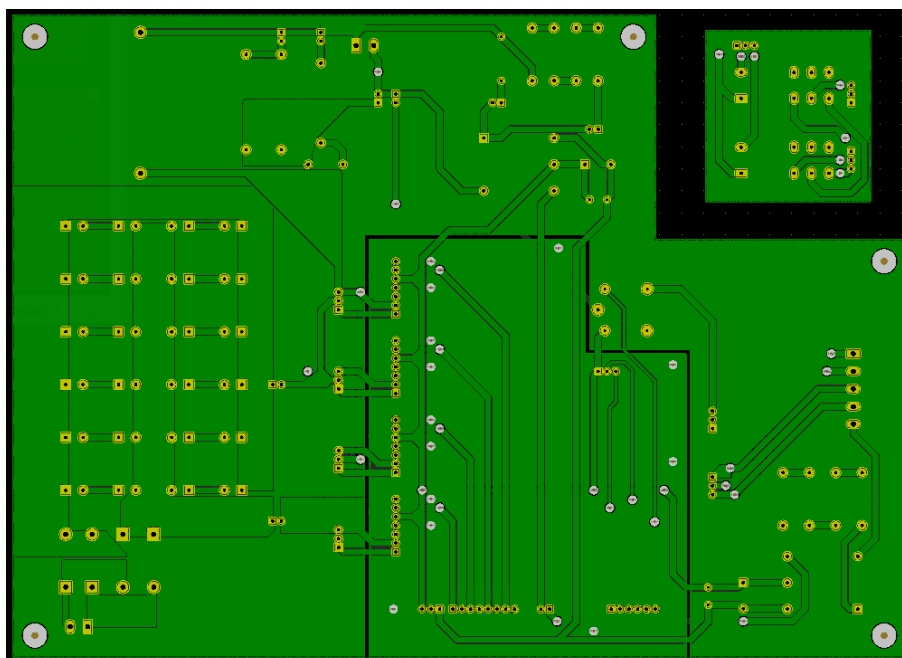
Fonte: Elaboração própria (2018).

Figura 75 – Leiaute lado *top*.



Fonte: Elaboração própria (2018).

Figura 76 – Leiaute lado *bottom*.



Fonte: Elaboração própria (2018).